



**乾芯科技**  
STARRYSTONETECH

# QXS320F28P650数字信号控制器

数据手册

v1.1

合肥乾芯科技有限公司

表 1：版本历史

版本号	修订日期	修订内容
1.0	2025/08/11	初稿
1.1	2025/08/15	



# 目 录

1 特性 .....	8
2 应用 .....	10
3 说明 .....	11
3.1 功能框图 .....	12
3.2 产品编码 .....	13
4 器件特性 .....	14
5 终端配置与功能 .....	16
5.1 引脚图 .....	16
5.2 引脚说明 .....	17
5.3 带有内部上拉和下拉的引脚 .....	44
5.4 引脚复用 .....	45
5.4.1 GPIO 多路复用引脚表 .....	45
5.4.2 ADC 引脚上的数字输入和输出 (AGPIO) .....	55
5.4.3 高速SPI引脚多路复用 .....	57
5.5 未使用引脚的连接 .....	58
6 规格 .....	59
6.1 绝对最大值范围 <sup>(1)(2)</sup> .....	59
6.2 产品 ESD 范围 .....	60
6.3 推荐工作条件 .....	60
6.4 耗电概述 .....	62
6.4.1 系统电流消耗（外部电源） .....	62
6.4.2 工作模式测试描述 .....	63
6.4.3 减少电流消耗 .....	63
6.5 电气特性 .....	66
6.6 热阻特征 .....	67
6.6.1 PK封装的热阻特性 .....	67
6.6.2 PZ 封装的热阻特性 .....	68
6.6.3 PM 封装的热阻特性 .....	69

6.6.4 RSH 封装的热阻特性 .....	70
6.7 散热设计注意事项.....	71
6.8 模拟外设.....	72
6.8.1 模拟子系统模块 .....	72
6.8.1.1 方框图 .....	72
6.8.1 模数转换器 (ADC) .....	74
6.8.1.1 结果寄存器映射 .....	76
6.8.1.2 ADC 配置 .....	76
6.8.1.3 ADC 电气数据与时序 .....	77
6.8.2 温度传感器 .....	82
6.8.2.1 温度传感器电气数据和时序 .....	82
6.8.3 缓冲数模数模转换器(DAC).....	83
6.8.3.1 Buffered DAC 电气数据和时序.....	84
6.8.4 比较器子系统(CMPSS) .....	86
6.8.4.1 CMPSS 电气数据与时序 .....	87
6.8.4.1.1比较器电气特性.....	87
6.9 控制外设.....	87
6.9.1 增强型捕获(eCAP) .....	88
6.9.1.1 eCAP 同步 .....	90
6.9.1.2 eCAP电气数据和时序 .....	91
6.9.1.3 高分辨率捕捉 (HRCAP).....	91
6.9.2 增强脉冲宽度调制(ePWM) .....	92
6.9.2.1 控制外设同步 .....	95
6.9.2.2 ePWM电气数据和时序 .....	95
6.9.2.3 外部ADC转换脉冲开始的电气数据和时序 .....	97
6.9.3 高分辨率脉冲宽度调制器(HRPWM) .....	97
6.9.3.1 HRPWM 电气数据和时序 .....	97
6.9.4 增强型正交编码器脉冲(eQEP) .....	98
6.9.4.1 eQEP电气数据和时序 .....	98
6.9.5 $\Sigma$ - $\Delta$ 滤波器模块(SDFM).....	100

6.9.5.2 SDFM电气数据和时序（同步GPIO） .....	104
6.9.5.2.1 使用同步GPIO(SYNC)选项时的SDFM时序要求.....	104
6.10 通信外设.....	106
6.10.1 控制局域网(CAN).....	106
6.10.2 内置集成电路(I2C) .....	108
6.10.2.1 I2C电气数据和时序 .....	109
6.10.3 串行外设接口(SPI) .....	113
6.10.3.1 SPI 主模式时序 .....	114
6.10.3.2 SPI 从模式时序 .....	118
6.10.3.2.1 SPI 从模式时序要求 .....	118
6.10.3.2.2 SPI 从模式开关特性 .....	118
6.10.3.2.3 SPI 从模式时序图.....	119
6.10.4 电源管理总线(PMBus)接口.....	120
6.10.4.1.1 PMBus 电气特性.....	121
6.10.4.1.2 PMBus 快速模式的开关特性 .....	122
6.10.5 串行通信接口(SCI) .....	123
6.10.6 本地互连网络(LIN).....	125
6.11 系统.....	128
6.11.1 电源管理.....	128
6.11.1.1 概述.....	128
6.11.1.2 概述.....	128
6.11.1.3 I/O POR（上电复位）监视器 .....	129
6.11.1.4 I/O BOR（上电复位）监视器 .....	129
6.11.1.5 VDD POR（上电复位）监视器 .....	130
6.11.1.6 外部监控器使用情况.....	130
6.11.1.7 延迟块 .....	130
6.11.1.8 内部 VDD LDO 稳压器 (VREG) .....	130
6.11.1.9 VREGENZ.....	130
6.11.1.10 电源时序.....	131
6.11.1.10.1 电源引脚联动 .....	131

6.11.1.10.2 信号引脚电源序列 .....	131
6.11.1.10.3 信号引脚电源序列 .....	131
6.11.1.10.3.1 外部 VREG/VDD 模式序列 .....	131
6.11.1.10.3.2 内部 VREG/VDD 模式序列 .....	132
6.11.1.11 复位 .....	133
6.11.2 时钟规范 .....	134
6.11.2.1 时钟资源 .....	134
6.11.2.2 时钟频率、要求和特性 .....	136
6.11.2.3 输入时钟 .....	138
7 详细描述 .....	139
7.1 概述 .....	139
7.2 功能框图 .....	140
7.3 内存 .....	141
7.3.1 内存映射 .....	141
7.3.2 Flash 内存映射 .....	149
7.3.2.1 Flash 扇区地址 .....	149
7.3.3.2 外设寄存器内存映射 .....	150
7.3.3.3 CPU共享数据 RAM (GSDx RAM) .....	157
7.3.3.4 IPC共享 RAM (IPC CPUx_RAM) .....	157
7.3.3.5 CPU共享指令RAM (GSIx RAM) .....	157
7.3.3.6 CPU共享指令RAM (BOOT RAM) .....	157
7.4 总线架构-外设连接 .....	158
7.6 C28x 处理器 .....	158
7.6.1 介绍 .....	158
7.6.2 特点 .....	159
7.6.3 浮点单元(FPU) .....	159
7.6.4 三角数学单元(TMU) .....	160
7.6.5 Viterbi、复数和循环冗余校验单元 (VCU) .....	160
7.6.5.1 Viterbi运算 .....	160
7.6.5.2 循环冗余校验 (CRC) .....	160

7.6.5.3 复数运算.....	161
7.6.6 增强型整数除法单元 (EINTDIV) .....	161
7.7 直接内存访问(DMA) .....	162
7.8 看门狗 .....	163
7.9 C28x 计时器 .....	165
8 开发支持 .....	166
8.1 集成开发环境QX-IDE .....	166
8.2 仿真器 .....	167
8.2.1 简介 .....	167
8.2.2 结构 .....	167
8.2.2.1 宿主机 .....	167
8.2.2.2 目标机 .....	168
8.2.2.3 接口卡 .....	168
9 封装外形尺寸 .....	169
9.1 HLQFP176 PIN .....	169
10 订货信息 .....	170
10.1 封装信息 .....	170
10.2 封装概览 .....	170
关于乾芯科技 .....	171

# 1 特性

- 32位双核CPU
  - 250 MHz
  - IEEE-754 双精度 (64位) 浮点单元 (FPU)
  - 三角函数加速器 (TMU)
  - Viterbi/复杂数学单元 (VCU-I)
- Control Law Accelerator (CLA)
  - IEEE 754单精度浮点
  - 独立于CPU执行代码
- 片上存储器
  - 2MB FLASH (ECC 保护)
  - 2MB SRAM (ECC保护/奇偶校验保护)
    - 768KB 数据/指令共享RAM
    - 1280KB 指令RAM
- 时钟和控制
  - 两个内部零引脚 10MHz 振荡器
  - 片上晶振振荡器和外部时钟输入
    - 片上 10MHz 振荡器
    - 外部晶振频率最高支持 20MHz
  - 看门狗计时器模块
  - 丢失时钟检测电路
- 电源电压: 1.2V 内核、3.3V I/O
  - 欠压复位 (BOR) 电路
- 系统外设
  - 一个支持 ASRAM 和 SDRAM 的外部存储器接口 (EMIF)
  - 两个6通道直接存储器存取 (DMA) 控制器
  - 106个独立可编程多路复用GPIO引脚
  - 增强型外设中断扩展 (ePIE) 模块
  - 持多个具有外部唤醒功能的低功耗模式 (LPM)
  - 嵌入式实时分析和诊断 (ERAD)
  - Background CRC (BGCR)
- 6个与UART兼容的串行通信接口 (SCI)
- 模拟系统
  - 8个12/16位模数转换器 (ADC)
    - 多达36个单端或者18个差分外部通道
    - 每个ADC集成4个后处理模块 (PPB)
    - 每个ADC上都有独立的采样保持 (S/H) 功能, 可实现同步测量
    - 硬件过采样 (高达128倍) 和欠采样模式, 具有累加、平均和异常值抑制功能
    - 自动比较功能安全应用的转换结果
    - 自动比较功能安全应用的转换结果
  - 3个12位缓冲数模转换器 (DAC)
  - 11个带12位参考数模转换器 (DAC) 的窗口比较器 (CMPSS)
    - 内部温度传感器和ADC基准电压源的连接选项
    - 具有斜率补偿功能的DAC-支持峰值电流和谷值电流模式控制
- 增强型控制外设
  - 36个具有增强特性的ePWM通道
    - 36个高分辨率 (45ps) HRPWM通道
    - 具有高分辨率的集成死区支持
    - 具有硬件跳闸区域 (TZ)
    - 无需额外的外部逻辑即可支持矩阵转换器、多电平转换器和谐振转换器
    - 无需额外的外部逻辑即可支持矩阵转换器、多电平转换器和谐振转换器
  - 7个增强型捕捉 (eCAP) 模块
    - 七个eCAP模块中有两个提供高分辨率采集 (HRCAP) 功能
    - 两个新的边沿、脉冲宽度和周期监控单元, 可与ePWM选通和跳闸事件耦合
    - 增加了256个输入, 用于更多捕获选项

- 通信外设
  - EtherCAT®从属设备（或子设备）控制器（ESC）
  - 快速串行接口（FSI），可实现高达200Mbps的隔离数据交换
  - 2个内部集成电路（I2C）接口
  - 4个串行外设接口（SPI）端口支持QSPI
  - 两个本地互连网络（LIN）模块
  - 电源管理总线（PMBus）接口（支持I2C）
  - 一个控制器局域网（CAN2.0）
  - 两个具有灵活数据速率的CANFD控制器区域网络
- 新的ADC SOC生成功能
  - 6个CW/CCW运行模式的增强型正交编码器脉冲（eQEP）模块
  - 16条 $\Sigma$ - $\Delta$ 滤波器模块（SDFM）输入通道可配置逻辑模块（CLB）
- 封装
  - 176 引脚LQFP
- 温度
  - -40°C至125°C结温



## 2 应用

- 交流充电桩
- 直流充电桩
- 电动汽车充电站电源模块
- 车辆无线充电模块
- 能量存储电源转换系统（PCS）
- 中央逆变器
- 太阳能电源优化器
- 串式逆变器
- 直流/交流转换器
- 逆变器和电机控制
- 伺服驱动器控制模块
- 交流BLDC电机驱动器
- 直流BLDC电机驱动器
- 工业交流/直流电源
- 三相UPS
- 商用网络和服务器PSU
- 商用通信电源整流器



### 3 说明

QXM320F28P650是一款对标TI公司的TMS320F28P65x系列的32位处理器。主要针对实时控制应用（如工业电机驱动、光伏逆变器和数字电源、电动汽车的电机控制以及空调变频等）。

QXM320F28P650拥有对标TI C28x的自主研发的32位CPU内核，可提供250MHz的处理能力。QXM320F28P650内部同样集成了FPU，TMU和VCU扩展指令集，FPU可以提供64位浮点加速指令，TMU可快速执行包含变换和扭矩环路计算中常见三角运算的算法，VCU扩展指令集能够降低编码应用中常见复杂数学运算的延迟。

QXM320F28P650采用双核加CLA架构，CPU0和CPU1可独立并行运行，也可以相互通信。每个核都具有其独立的存储资源，都可以独立访问典型控制系统中所需的主要外设。双核之间可以通过中断，特殊寄存器和共享内存三种方式通信。

QXM320F28P650还集成了高性能模拟外设和增强型控制外设，8个独立的12/16位常规ADC，采样率在12bit模式下为4MSPS，16bit模式下可达到2M以上，从而最终提高系统吞吐量。11个模拟比较器模块可以针对跳闸情况对输入电压电平进行持续监控。先进的控制外设（具有独立于频率的ePWM/HRPWM/HHRPWM和eCAP），可对系统进行出色的控制。内置的16通道 SDFM 允许在隔离层上无缝集成过采样 $\Sigma-\Delta$ 调制器。

通过各种业界通用通信端口（如ESC、SPI、SCI、I2C 和 CAN2.0, CAN FD）支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。

QXM320F28P650支持高达768KB可配置的指令RAM或数据RAM以及额外的1.28MB指令RAM和2MB Flash存储，能够适应大部分嵌入场景。QXM320F28P650还支持16KB的bootloader指令RAM，灵活配置启动过程。

### 3.1 功能框图

功能框图展示了CPU 系统及关联的外设。

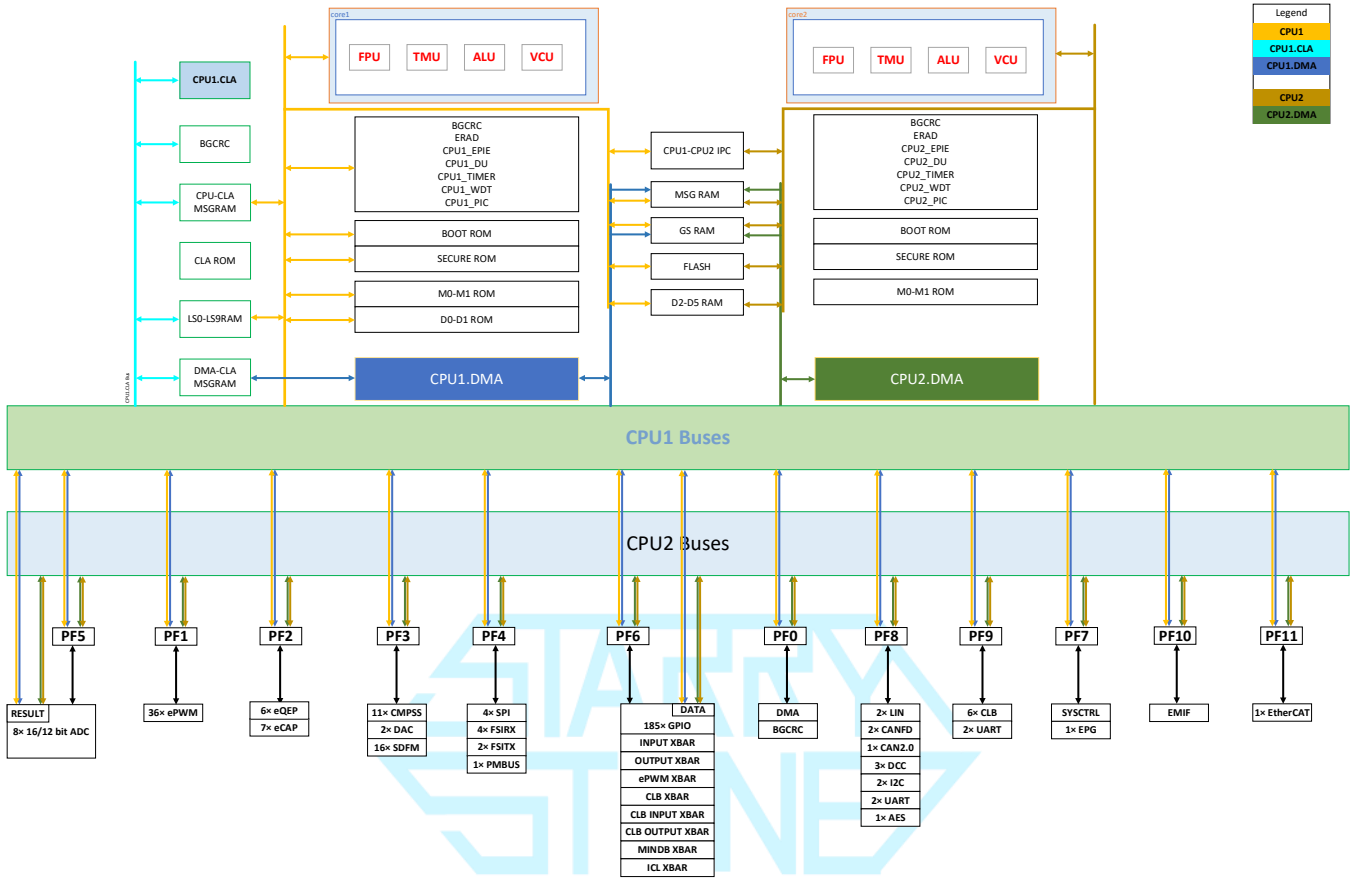


图 3-1 功能框图

### 3.2 产品编码

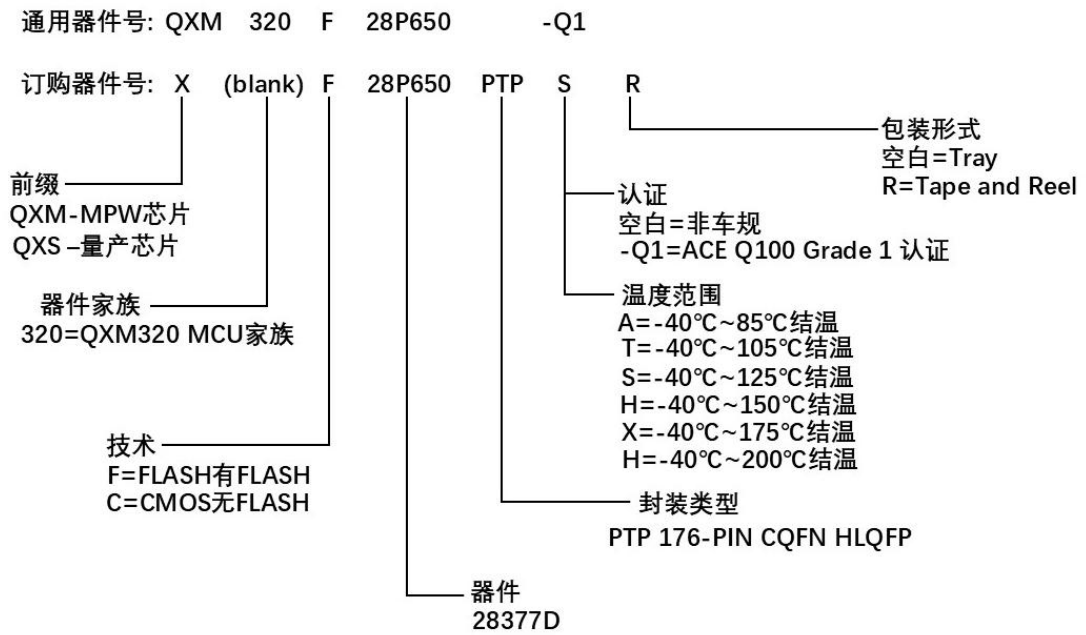


图 3-2 器件命名规则图



## 4 器件特性

功能		QXS320F28P650
时钟主频		250 MHz
内核数		双核
IEEE754双精度浮点单元 (FPU)		支持
三角函数加速器 (TMU)		支持
复杂数学单元 (VCU-I)		支持
指令存储IRAM		双核共享2MB
数据存储DRAM		双核共享768KB
片上FLASH		2MB
高速DMA 模块通道		12 (每个核支持6个)
32位CPU 定时器		6 (每个核支持3个)
窗口看门狗定时器		2 (每个核支持1个)
IO引脚	GPIO	106
	AGPIO	22
嵌入式实时分析和诊断 (ERAD)		有
外部中断		10 (每个核支持5个)
12-bit ADC	数量	8
	采样率	4M
	通道数	36/18
	输入模式	单端/差分
	后处理 (PPB)	4
16-bit ADC	数量	8
	采样率	2M
	通道数	36/18
	输入模式	单端/差分
	后处理 (PPB)	4
比较子系 (CMPSS)	数量	11
	DAC	12bit
12-bit DAC		3
PMBUS		1
I2C		2
CAN2.0		1
CAN FD(兼容CAN2.0)		2
SPI		4
SCI		6
LIN		2
FSI		2FSITX + 4FSIRX
16bit/32bit EMIF		1
uPP		1
EtherCat		1
EPWM	EPWM通道	36
	HRPWM (110ps)	36
	HHRPWM(45ps)	36
eCAP		7
HRCAP		2

eQEP	6
$\Sigma$ - $\Delta$ 滤波器模块 (SDFM)	16
工作温度 (AT)	-40°C~125°C
封装	176 LQFP



## 5 终端配置与功能

### 5.1 引脚图

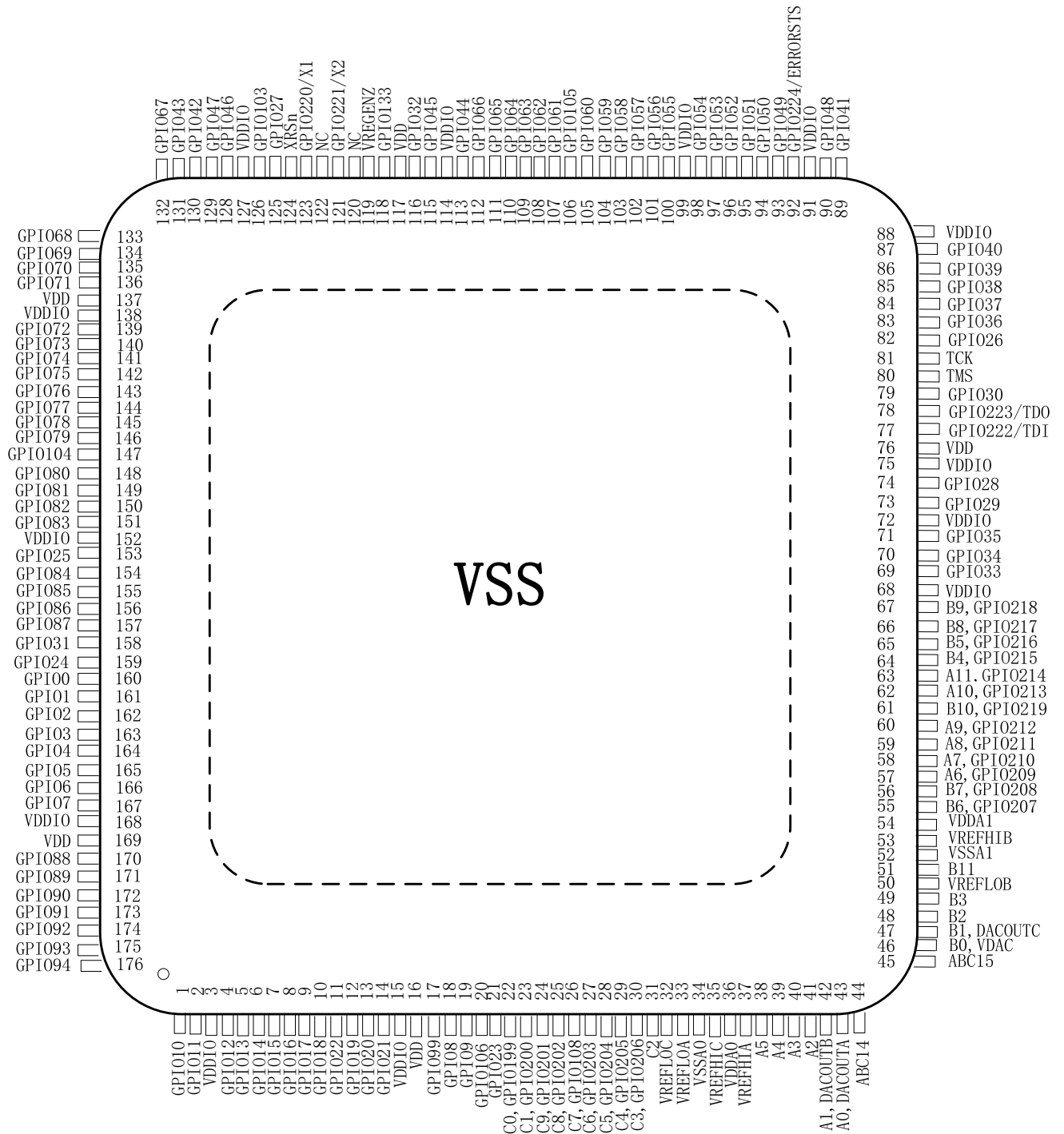


图 5-1.PTP (176-Pin)

## 5.2 引脚说明

表 5-1.引脚属性

名称	终端			I/O/Z(1)	说明
	多路复用器位置	ZWT焊球编号	PTP引脚编号		
<b>ADC、DAC 和比较器信号</b>					
VREFHIA			37	I	ADC-A 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 10μF 电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间且尽可能靠近器件。 <b>注意：</b> 请勿从外部加载此引脚。
VREFHIB			53	I	ADC-B 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 10μF 电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间且尽可能靠近器件。 <b>注意：</b> 请勿从外部加载此引脚。
VREFHIC			35	I	ADC-C 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 10μF 电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引脚之间且尽可能靠近器件。 <b>注意：</b> 请勿从外部加载此引脚。
VREFLOA			33	I	ADC-A 低基准电压。 在 PZP 封装上，引脚 17 双键连接至 VSSA 和 VREFLOA。在 PZP 封装上，引脚 17 必须连接到系统板上的 VSSA。
VREFLOB			50	I	ADC-B 低基准电压
VREFLOC			32	I	ADC-C 低基准电压
ABC14 CMPIN4_HP0 CMPIN4_LP0 AIO225	0,4,8,12		44	I	到所有 ADC 的输入 14 比较器 4 高端正输入 0 比较器 4 低端正输入 0 用于数字输入的模拟引脚 225
ABC15 CMPIN4_HN0 CMPIN4_HP3 CMPIN4_LN0 AIO226	0,4,8,12		45	I	到所有 ADC 的输入 15 比较器 4 高端负输入 0 比较器 4 高端正输入 3 比较器 4 低端负输入 0 用于数字输入的模拟引脚 226
A0 DACOUTA CMPIN1_HP1 CMPIN1_LP1 CMPIN9_HN0 CMPIN9_LN0 AIO227	0,4,8,12		43	I O	ADC-A 输入 0 比较器 1 高端正输入 1 比较器 1 低端正输入 1 比较器 9 高端负输入 0 比较器 9 低端负输入 0 用于数字输入的模拟引脚 227
A1 CMPIN1_HN1 CMPIN1_HP2 CMPIN1_LN1 CMPIN1_LP2 AIO228	0,4,8,12		42	I	ADC-A 输入 1 比较器 1 高端负输入 1 比较器 1 高端正输入 2 比较器 1 低端负输入 1 比较器 1 低端正输入 2 用于数字输入的模拟引脚 228
A2 CMPIN1_HP0 CMPIN1_LP0 CMPIN2_HN1 CMPIN2_LN1 AIO229	0,4,8,12		41	I	ADC-A 输入 2 比较器 1 高端正输入 0 比较器 1 低端正输入 0 比较器 2 高端负输入 1 比较器 2 低端负输入 1 用于数字输入的模拟引脚 229
A3 CMPIN1_HN0 CMPIN1_HP3 CMPIN1_LN0 AIO230	0,4,8,12		40	I	ADC-A 输入 3 比较器 1 高端负输入 0 比较器 1 高端正输入 3 比较器 1 低端负输入 0 用于数字输入的模拟引脚 230

表 5-1.引脚属性 (续)

名称	终端				I/O/Z(1)	说明
	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
A4 CMPIN2_HP0 CMPIN2_LP0 AIO231	0,4,8,12		39		     	ADC-A 输入 4 比较器 2 高端正输入 0 比较器 2 低端正输入 0 用于数字输入的模拟引脚 231
A5 CMPIN2_HN0 CMPIN2_HP3 CMPIN2_LN0 CMPIN9_LP2 AIO232	0,4,8,12		38		         	ADC-A 输入 5 比较器 2 高端负输入 0 比较器 2 高端正输入 3 比较器 2 低端负输入 0 比较器 9 低端正输入 2 用于数字输入的模拟引脚 232
A6 CMPIN7_HP0 CMPIN7_LP0 GPIO209			57		     I/O	ADC-A 输入 6 比较器 7 高端正输入 0 比较器 7 低端正输入 0 通用输入输出 209 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
A7 CMPIN4_LP3 CMPIN7_HN0 CMPIN7_LN0 CMPIN9_HP2 GPIO210			58		         I/O	ADC-A 输入 7 比较器 4 低端正输入 3 比较器 7 高端负输入 0 比较器 7 低端负输入 0 比较器 9 高端正输入 2 通用输入输出 210 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
A8 CMPIN8_HP0 CMPIN8_LP0 GPIO211			59		     I/O	ADC-A 输入 8 比较器 8 高端正输入 0 比较器 8 低端正输入 0 通用输入输出 211 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
A9 CMPIN5_LP3 CMPIN8_HN0 CMPIN8_LN0 GPIO212			60		     I/O	ADC-A 输入 9 比较器 5 低端正输入 3 比较器 8 高端负输入 0 比较器 8 低端负输入 0 通用输入输出 212 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
A10 CMPIN8_HN1 CMPIN8_HP1 CMPIN8_LN1 CMPIN8_LP1 GPIO213			62		         I/O	ADC-A 输入 10 比较器 8 高端负输入 1 比较器 8 高端正输入 1 比较器 8 低端负输入 1 比较器 8 低端正输入 1 通用输入输出 213 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
A11 CMPIN8_HP2 CMPIN8_LP2 GPIO214			63		     I/O	ADC-A 输入 11 比较器 8 高端正输入 2 比较器 8 低端负输入 2 通用输入输出 214 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
B0 CMPIN3_HP1 CMPIN3_LP1 CMPIN11_HN0 CMPIN11_LN0 VDAC AIO233	0,4,8,12		46		           	ADC-B 输入 0 比较器 3 高端正输入 1 比较器 3 低端正输入 1 比较器 11 高端负输入 0 比较器 11 低端负输入 0 片上 DAC 的可选外部基准电压 用于数字输入的模拟引脚 233
B1 CMPIN3_HP2 CMPIN3_LP2 DACOUTC AIO234	0,4,8,12		47		     O 	ADC-B 输入 1 比较器 3 高端正输入 2 比较器 3 低端正输入 2 DAC-C 输出 用于数字输入的模拟引脚 234
B2 CMPIN3_HP0 CMPIN3_LP0 AIO235	0,4,8,12		48		     	ADC-B 输入 2 比较器 3 高端正输入 0 比较器 3 低端正输入 0 用于数字输入的模拟引脚 235

表 5-1.引脚属性 (续)

名称	终端				I/O/Z(1)	说明
	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
B3 CMPIN1_LP3 CMPIN3_HN0 CMPIN3_LN0 AIO236	0,4,8,12		49		I I I I I	ADC-B 输入 3 比较器 1 低端正输入 3 比较器 3 高端负输入 0 比较器 3 低端负输入 0 用于数字输入的模拟引脚 236
B4 CMPIN5_HN1 CMPIN5_HP1 CMPIN5_LN1 CMPIN5_LP1 GPIO215			64		I I I I I I/O	ADC-B 输入 4 比较器 5 高端负输入 1 比较器 5 高端正输入 1 比较器 5 低端负输入 1 比较器 5 低端正输入 1 通用输入输出 215 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
B5 CMPIN5_HP2 CMPIN5_LP2 GPIO216			65		I I I I/O	ADC-B 输入 5 比较器 5 高端正输入 2 比较器 5 低端正输入 2 通用输入输出 216 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
B6 CMPIN7_HN1 CMPIN7_HP1 CMPIN7_LN1 CMPIN7_LP1 GPIO207			55		I I I I I I/O	ADC-B 输入 6 比较器 7 高端负输入 1 比较器 7 高端正输入 1 比较器 7 低端负输入 1 比较器 7 低端正输入 1 通用输入输出 207 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
B7 CMPIN3_HN1 CMPIN3_LN1 CMPIN7_HP2 CMPIN7_LP2 GPIO208			56		I I I I I I/O	ADC-B 输入 7 比较器 3 高端负输入 1 比较器 3 低端负输入 1 比较器 7 高端正输入 2 比较器 7 低端正输入 2 通用输入输出 208 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
B8 CMPIN2_HP1 CMPIN2_LP1 CMPIN10_HN0 CMPIN10_LN0 GPIO217			66		I I I I I I/O	ADC-B 输入 8 比较器 2 高端正输入 1 比较器 2 低端正输入 1 比较器 10 高端负输入 0 比较器 10 低端负输入 0 通用输入输出 217 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
B9 CMPIN2_HP2 CMPIN2_LP2 CMPIN9_HN1 CMPIN9_LN1 GPIO218			67		I I I I I I/O	ADC-B 输入 9 比较器 2 高端正输入 2 比较器 2 低端正输入 2 比较器 9 高端负输入 1 比较器 9 低端负输入 1 通用输入输出 218 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
B10 CMPIN4_HN1 CMPIN4_HP1 CMPIN4_LN1 CMPIN4_LP1 GPIO219			61		I I I I I I/O	ADC-B 输入 10 比较器 4 高端负输入 1 比较器 4 高端正输入 1 比较器 4 低端负输入 1 比较器 4 低端正输入 1 通用输入输出 219 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
B11 CMPIN4_HP2 CMPIN4_LP2 AIO240	0,4,8,12		51		I I I I	ADC-B 输入 11 比较器 4 高端正输入 2 比较器 4 高端正输入 2 用于数字输入的模拟引脚 240

表 5-1.引脚属性 (续)

名称	终端				I/O/Z(1)	说明
	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
C0 CMPIN6_HN1 CMPIN6_HP1 CMPIN6_LN1 CMPIN6_LP1 GPIO199			22		I I I I I I/O	ADC-C 输入 0 比较器 6 高端负输入 1 比较器 6 高端正输入 1 比较器 6 低端负输入 1 比较器 6 低端正输入 1 通用输入输出 199 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
C1 CMPIN6_HP2 CMPIN6_LP2 GPIO200			23		I I I I/O	ADC-C 输入 1 比较器 6 高端正输入 2 比较器 6 低端正输入 2 通用输入输出 200 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
C2 CMPIN6_HP0 CMPIN6_LP0 AIO237	0,4,8,12		31		I I I I	ADC-C 输入 2 比较器 6 高端正输入 0 比较器 6 低端正输入 0 用于数字输入的模拟引脚 237
C3 CMPIN3_LP3 CMPIN6_HN0 CMPIN6_LN0 GPIO206			30		I I I I I/O	ADC-C 输入 3 比较器 3 低端正输入 3 比较器 6 高端负输入 0 比较器 6 低端负输入 0 通用输入输出 206 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
C4 CMPIN5_HP0 CMPIN5_LP0 CMPIN10_HN1 CMPIN10_LN1 GPIO205			29		I I I I I I/O	ADC-C 输入 4 比较器 5 高端正输入 0 比较器 5 低端正输入 0 比较器 10 高端负输入 1 比较器 10 低端负输入 1 通用输入输出 205 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
C5 CMPIN2_LP3 CMPIN5_HN0 CMPIN5_LN0 GPIO204			28		I I I I I/O	ADC-C 输入 5 比较器 2 低端正输入 3 比较器 5 高端负输入 0 比较器 5 低端负输入 0 通用输入输出 204 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
C6 CMPIN10_HP1 CMPIN10_LP1 GPIO203			27		I I I I I/O	ADC-C 输入 6 比较器 10 高端正输入 1 比较器 10 低端正输入 1 通用输入输出 203 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
C7 CMPIN11_HP1 CMPIN11_LP1 GPIO198			26		I I I I I/O	ADC-C 输入 7 比较器 11 高端正输入 1 比较器 11 低端正输入 1 通用输入输出 198 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
C8 CMPIN10_HP2 CMPIN10_LP2 GPIO202			25		I I I I I/O	ADC-C 输入 8 比较器 10 高端正输入 2 比较器 10 低端正输入 2 通用输入输出 202 此引脚还具有本表 GPIO 部分所述的数字多路复用功能
C9 CMPIN11_HP2 CMPIN11_LP2 GPIO201			24		I I I I I/O	ADC-C 输入 9 比较器 11 高端正输入 2 比较器 11 低端正输入 2 通用输入输出 201 此引脚还具有本表 GPIO 部分所述的数字多路复用功能

表 5-1.引脚属性 (续)

名称	终端				I/O/Z(1)	说明
	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
<b>GPIO 和外设信号</b>						
GPIO0	0、4、8、12				I/O	通用输入/输出 0
EPWM1_A	1				O	增强型 PWM1 输出 A (支持 HRPWM)
CLB_OUTPUTXBAR1	5		160		O	CLB 输出 XBAR 的输出 1
I2CA_SDA	6				I/OD	I2C-A 数据漏极开路双向接口
EMIF1_A13	9				O	外部存储器接口 1 地址线 13
ESC_GPI0	10				I	EtherCAT 通用输入 0
FSITXA_D0	13				O	FSITX-A 主要数据输出
GPIO1	0、4、8、12				I/O	通用输入/输出 1
EPWM1_B	1				O	ePWM-1 输出 B
CLB_OUTPUTXBAR2	5		161		O	CLB 输出 X-BAR 输出 2
I2CA_SCL	6				I/OD	I2C-A 开漏双向时钟
EMIF1_A14	9				O	外部存储器接口 1 地址线 14
ESC_GPI1	10				I	EtherCAT 通用输入 1
FSITXA_D1	13				O	FSITX-A 可选附加数据输出
GPIO2	0、4、8、12				I/O	通用输入/输出 2
EPWM2_A	1				O	ePWM-2 输出 A
OUTPUTXBAR1	5		162		O	输出 X-BAR 输出 1
I2CB_SDA	6				I/OD	I2C-B 开漏双向数据
UARTA_TX	7				I/O	UART-A 串行数据发送
EMIF1_A15	9				O	外部存储器接口 1 地址线 15
ESC_GPI2	10				I	EtherCAT 通用输入 2
FSITXA_CLK	13				O	FSITX-A 输出时钟
GPIO3	0、4、8、12				I/O	通用输入/输出 3
EPWM2_B	1				O	ePWM-2 输出 B
OUTPUTXBAR2	2、5		163		O	输出 X-BAR 输出 2
I2CB_SCL	6				I/OD	I2C-B 开漏双向时钟
UARTA_RX	7				I/O	UART-A 串行数据接收
ESC_GPI3	10				I	EtherCAT 通用输入 3
FSIRXA_D0	13				I	FSIRX-A 主数据输入
GPIO4	0、4、8、12				I/O	通用输入/输出 4
EPWM3_A	1				O	ePWM-3 输出 A
OUTPUTXBAR3	5		164		O	输出 X-BAR 输出 3
CANA_TX	6				O	CAN-A 发送
MCANA_TX	9				O	CAN/CAN FD-A 传输
ESC_GPI4	10				I	EtherCAT 通用输入 4
FSIRXA_D1	13				I	FSIRX-A 可选附加数据输入
GPIO5	0、4、8、12				I/O	通用输入/输出 5
EPWM3_B	1				O	ePWM-3 输出 B
OUTPUTXBAR3	3		165		O	输出 X-BAR 输出 3
CLB_OUTPUTXBAR3	5				O	CLB 输出 X-BAR 输出 3
CANA_RX	6				I	CAN-A 接收
MCANA_RX	9				I	CAN/CAN FD-A 接收
ESC_GPI5	10				I	EtherCAT 通用输入 5
FSIRXA_CLK	13				I	FSIRX-A 输入时钟
GPIO6	0、4、8、12				I/O	通用输入/输出 6
EPWM4_A	1				O	ePWM-4 输出 A
OUTPUTXBAR4	2		166		O	输出 X-BAR 输出 4
EXTSYNCOUT	3				O	外部 ePWM 同步脉冲
EQEP3_A	5				I	eQEP-3 输入 A
MCANB_TX	6				O	CAN/CAN FD-B 传输
LINA_TX	7				O	LIN-A 发送
EMIF1_DQM0	9				O	外部存储器接口 1 字节 0 的输入/输出掩码
ESC_GPI6	10				I	EtherCAT 通用输入 6
FSITXB_D0	13				O	FSITX-B 主数据输出

表 5-1.引脚属性 (续)

终端					I/O/Z(1)	说明
名称	多路复用器位置	ZWT 焊球编号	PTP 引脚编号	PZP 引脚编号		
GPIO7	0、4、8、12				I/O	通用输入/输出 7
EPWM4_B	1				O	ePWM-4 输出 B
OUTPUTXBAR5	3		167		O	输出 X-BAR 输出 5
EQEP3_B	5				I	eQEP-3 输入 B
MCANB_RX	6				I	CAN/CAN FD-B 接收
LINA_RX	7				I	LIN-A 接收
EMIF1_DQM1	9				O	外部存储器接口 1 字节 1 的输入/输出掩码
ESC_GPI7	10				I	EtherCAT 通用输入 7
FSITXB_D1	13				O	FSITX-B 可选附加数据输出
GPIO8	0、4、8、12				I/O	通用输入/输出 8
EPWM5_A	1				O	ePWM-5 输出 A
EMIF1_RAS	2				O	外部存储器接口 1 行地址选通
ADCSOCAO	3				O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 A 输出
EQEP3_STROBE	5		18		I/O	eQEP-3 选通
SCIA_TX	6				O	SCI-A 发送数据
CLB_OUTPUTXBAR4	7				O	CLB 输出 X-BAR 输出 4
MCANA_TX	9				O	CAN/CAN FD-A 传输
ESC_GPO0	10				O	EtherCAT 通用输出 0
FSITXB_CLK	13				O	FSITX-B 输出时钟
FSITXA_D1	14				O	FSITX-A 可选附加数据输出
FSIRXA_D0	15				I	FSIRX-A 主数据输入
GPIO9	0、4、8、12				I/O	通用输入/输出 9
EPWM5_B	1				O	ePWM-5 输出 B
SCIB_TX	2				O	SCI-B 发送数据
OUTPUTXBAR6	3		19		O	输出 X-BAR 输出 6
EQEP3_INDEX	5				I/O	eQEP-3 索引
SCIA_RX	6				I	SCI-A 接收数据
ESC_GPO1	10				O	EtherCAT 通用输出 1
FSIRXB_D0	13				I	FSIRX-B 主数据输入
FSITXA_D0	14				O	FSITX-A 主数据输出
FSIRXA_CLK	15				I	FSIRX-A 输入时钟
GPIO10	0、4、8、12				I/O	通用输入/输出 10
EPWM6_A	1				O	ePWM-6 输出 A
EMIF1_CAS	2				O	外部存储器接口 1 列地址选通
ADCSOCBO	3				O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 B 输出
EQEP1_A	5		1		I	eQEP-1 输入 A
SCIB_TX	6				O	SCI-B 发送数据
SD4_C1	7				I	SDFM-4 通道 1 时钟输入
MCANA_RX	9				I	CAN/CAN FD-A 接收
CLB_OUTPUTXBAR5	10				O	CLB 输出 X-BAR 输出 5
ESC_TX0_DATA0	11				O	EtherCAT MII 发送 0 数据 0
FSIRXB_D1	13				I	FSIRX-B 可选附加数据输入
FSITXA_CLK	14				O	FSITX-A 输出时钟
FSIRXA_D1	15				I	FSIRX-A 可选附加数据输入
GPIO11	0、4、8、12				I/O	通用输入/输出 11
EPWM6_B	1				O	ePWM-6 输出 B
SCIB_RX	2、6				I	SCI-B 接收数据
OUTPUTXBAR7	3				O	输出 X-BAR 输出 7
EQEP1_B	5		2		I	eQEP-1 输入 B
SD4_D1	7				I	SDFM-4 通道 1 数据输入
ESC_GPO3	10				O	EtherCAT 通用输出 3
ESC_TX0_DATA1	11				O	EtherCAT MII 发送 0 数据 1
FSIRXB_CLK	13				I	FSIRX-B 输入时钟
FSIRXA_D1	14				I	FSIRX-A 可选附加数据输入
PMBUSA_ALERT	15				I/OD	PMBus-A 开漏双向警报信号

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号		
GPIO12	0、4、8、12				I/O 通用输入/输出 12
EPWM7_A	1				O ePWM-7 输出 A
CLB_OUTPUTXBAR6	2				O CLB 输出 X-BAR 输出 6
ADCSOCAO	3				O 外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 A 输出
EQEP1_STROBE	5				I/O eQEP-1 选通
SCIA_TX	6				O SCI-A 发送数据
SD4_C2	7		4		I SDFM-4 通道 2 时钟输入
EMIF1_A1	9				O 外部存储器接口 1 地址线 1
ESC_GPO4	10				O EtherCAT 通用输出 4
ESC_TX0_DATA2	11				O EtherCAT MII 发送 0 数据 2
FSIRXC_D0	13				I FSIRX-C 主数据输入
FSIRXA_D0	14				I FSIRX-A 主数据输入
PMBUSA_CTL	15				I/O PMBus-A 控制信号 - 目标输入/控制器输出
GPIO13	0、4、8、12				I/O 通用输入/输出 13
EPWM7_B	1				O ePWM-7 输出 B
CLB_OUTPUTXBAR7	2				O CLB 输出 X-BAR 输出 7
EQEP5_STROBE	3				I/O eQEP-5 选通
EQEP1_INDEX	5				I/O eQEP-1 索引
SCIA_RX	6				I SCI-A 接收数据
SD4_D2	7		5		I SDFM-4 通道 2 数据输入
EMIF1_CS0n	9				O 外部存储器接口 1 芯片选择 0
ESC_GPO5	10				O EtherCAT 通用输出 5
ESC_TX0_DATA3	11				O EtherCAT MII 发送 0 数据 3
FSIRXC_D1	13				I FSIRX-C 可选附加数据输入
FSIRXA_CLK	14				I FSIRX-A 输入时钟
PMBUSA_SDA	15				I/OD PMBus-A 开漏双向数据
GPIO14	0、4、8、12				I/O 通用输入/输出 14
EPWM8_A	1				O ePWM-8 输出 A
SCIB_TX	2				O SCI-B 发送数据
EQEP5_INDEX	3				I/O eQEP-5 索引
LINA_TX	5				O LIN-A 发送
OUTPUTXBAR3	6				O 输出 X-BAR 输出 3
OUTPUTXBAR8	7		6		O 输出 X-BAR 输出 8
ESC_GPO6	10				O EtherCAT 通用输出 6
ESC_PHY1_LINKSTATUS	11				I EtherCAT PHY-1 链路状态
FSIRXC_CLK	13				I FSIRX-C 输入时钟
EMIF1_D17	14				I/O 外部存储器接口 1 数据线 17
PMBUSA_SCL	15				I/OD PMBus-A 开漏双向时钟
GPIO15	0、4、8、12				I/O 通用输入/输出 15
EPWM8_B	1				O ePWM-8 输出 B
SCIB_RX	2				I SCI-B 接收数据
LINA_RX	5				I LIN-A 接收
OUTPUTXBAR4	6				O 输出 X-BAR 输出 4
CLB_OUTPUTXBAR8	7		7		O CLB 输出 X-BAR 输出 8
ESC_GPO7	10				O EtherCAT 通用输出 7
EQEP5_A	11				I eQEP-5 输入 A
FSIRXD_D0	13				I FSIRX-D 主数据输入
EMIF1_DQM2	15				O 外部存储器接口 1 字节 2 的输入/输出掩码
GPIO16	0、4、8、12				I/O 通用输入/输出 16
SPIA_PICO	1				I/O SPI-A 外设输入控制器输出 (PICO)
OUTPUTXBAR7	3				O 输出 X-BAR 输出 7
EPWM9_A	5				O ePWM-9 输出 A
SD1_D1	7		8		I SDFM-1 通道 1 数据输入
EQEP5_B	11				I eQEP-5 输入 B
FSIRXD_D1	13				I FSIRX-D 可选附加数据输入
ESC_RX1_CLK	15				I EtherCAT MII 接收 1 时钟

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号		
GPIO17 SPIA_POCI OUTPUTXBAR8 EPWM9_B SD1_C1 EQEP5_STROBE FSIRXD_CLK ESC_RX1_DV	0、4、8、12 1 3 5 7 11 13 15		9		I/O I/O O O I I/O I I 通用输入/输出 17 SPI-A 外设输出控制器输入 (POCI) 输出 X-BAR 输出 8 ePWM-9 输出 B SDFM-1 通道 1 时钟输入 eQEP-5 选通 FSIRX-D 输入时钟 EtherCAT MII 接收 1 数据有效
GPIO18 SPIA_CLK SCIB_TX CAN_A_RX EPWM10_A SD1_D2 MCAN_A_RX EMIF1_CS2n EQEP5_INDEX ESC_RX1_ERR	0、4、8、12 1 2 3 5 7 9 10 11 15		10		I/O I/O O I O I I O I/O I 通用输入/输出 18 SPI-A 时钟 SCI-B 发送数据 CAN-A 接收 ePWM-10 输出 A SDFM-1 通道 2 数据输入 CAN/CAN FD-A 接收 外部存储器接口 1 芯片选择 2 eQEP-5 索引 EtherCAT MII 接收 1 错误
GPIO19 SPIA_PTE SCIB_RX CAN_A_TX EPWM10_B SD1_C2 MCAN_A_TX EMIF1_CS3n ESC_TX1_DATA3	0、4、8、12 1 2 3 5 7 9 10 15		12		I/O I/O I O O I O O O 通用输入/输出 19 SPI-A 外设发送使能 (PTE) SCI-B 接收数据 CAN-A 发送 ePWM-10 输出 B SDFM-1 通道 2 时钟输入 CAN/CAN FD-A 传输 外部存储器接口 1 芯片选择 3 EtherCAT MII 发送 1 数据 3
GPIO20 EQEP1_A EPWM11_A SD1_D3 MCANB_TX EMIF1_BA0 SPIC_PICO ESC_TX1_DATA2	0、4、8、12 1 5 7 9 10 14 15		13		I/O I O I O O I/O O 通用输入/输出 20 eQEP-1 输入 A ePWM-11 输出 A SDFM-1 通道 3 数据输入 CAN/CAN FD-B 传输 外部存储器接口 1 存储库地址 0 SPI-C 外设输入控制器输出 (PICO) EtherCAT MII 发送 1 数据 2

表 5-1.引脚属性 (续)

终端					I/O/Z(1)	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO21 EQEP1_B EPWM11_B SD1_C3 MCANB_RX EMIF1_BA1 SPIC_POCI ESC_TX1_DATA1	0、4、8、12 1 5 7 9 10 14 15		14		I/O   O     O I/O O	通用输入/输出 21 eQEP-1 输入 B ePWM-11 输出 B SDFM-1 通道 3 时钟输入 CAN/CAN FD-B 接收 外部存储器接口 1 存储库地址 1 SPI-C 外设输出控制器输入 (POCI) EtherCAT MII 发送 1 数据 1
GPIO22 EQEP1_STROBE SCIB_TX EPWM12_A SPIB_CLK SD1_D4 MCANA_TX EMIF1_RAS SPIC_CLK ESC_TX1_DATA0	0、4、8、12 1 3 5 6 7 9 10 14 15		22		I/O I/O O O I/O   O O I/O O	通用输入/输出 22 eQEP-1 选通 SCI-B 发送数据 ePWM-12 输出 A SPI-B 时钟 SDFM-1 通道 4 数据输入 CAN/CAN FD-A 传输 外部存储器接口 1 行地址选通 SPI-C 时钟 EtherCAT MII 发送 1 数据 0
GPIO23 EQEP1_INDEX SCIB_RX EPWM12_B SPIB_PTE SD1_C4 MCANA_RX EMIF1_CAS SPIC_PTE ESC_PHY_RESETn	0、4、8、12 1 3 5 6 7 9 10 14 15		23		I/O I/O   O I/O     O I/O O	通用输入/输出 23 eQEP-1 索引 SCI-B 接收数据 ePWM-12 输出 B SPI-B 外设发送使能 (PTE) SDFM-1 通道 4 时钟输入 CAN/CAN FD-A 接收 外部存储器接口 1 列地址选通 SPI-C 外设发送使能 (PTE) EtherCAT PHY 低电平有效复位
GPIO24 OUTPUTXBAR1 EQEP2_A LINB_TX SPIB_PICO SD2_D1 PMBUSA_SCL EMIF1_DQM0 EPWM13_A ESC_RX0_DATA1 ESC_RX0_CLK	0、4、8、12 1 2 5 6 7 9 10 13 14 15		24		I/O O   O I/O   I/OD O O   	通用输入/输出 24 输出 X-BAR 输出 1 eQEP-2 输入 A LIN-B 发送 SPI-B 外设输入控制器输出 (PICO) SDFM-2 通道 1 数据输入 PMBus-A 开漏双向时钟 外部存储器接口 1 字节 0 的输入/输出掩码 ePWM-13 输出 A EtherCAT MII 接收 0 数据 1 EtherCAT MII 接收 0 时钟
GPIO25 OUTPUTXBAR2 EQEP2_B LINB_RX SPIB_POCI SD2_C1 PMBUSA_SDA EMIF1_DQM1 EQEP5_B EPWM13_B FSITXA_D1 ESC_RX0_DV	0、4、8、12 1 2 5 6 7 9 10 11 13 14 15		25		I/O O     I/O   I/OD O   O O O 	通用输入/输出 25 输出 X-BAR 输出 2 eQEP-2 输入 B LIN-B 接收 SPI-B 外设输出控制器输入 (POCI) SDFM-2 通道 1 时钟输入 PMBus-A 开漏双向数据 外部存储器接口 1 字节 1 的输入/输出掩码 eQEP-5 输入 B ePWM-13 输出 B FSITX-A 可选附加数据输出 EtherCAT MII 接收 0 数据有效

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明	
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号			PZP 引脚编号
GPIO26 OUTPUTXBAR3 EQEP2_INDEX SPIB_CLK SD2_D2 PMBUSA_ALERT EMIF1_DQM2 ESC_MDIO_CLK EPWM14_A FSITXA_D0 ESC_RX0_ERR	0、4、8、12 1、5 2 6 7 9 10 11 13 14 15		27		I/O O I/O I/O I I/OD O O O O I	通用输入/输出 26 输出 X-BAR 输出 3 eQEP-2 索引 SPI-B 时钟 SDFM-2 通道 2 数据输入 PMBus-A 开漏双向警报信号 外部存储器接口 1 字节 2 的输入/输出掩码 EtherCAT MDIO 时钟 ePWM-14 输出 A FSITXA-A 主数据输出 EtherCAT MII 接收 0 错误
GPIO27 OUTPUTXBAR4 EQEP2_STROBE SPIB_PTE SD2_C2 PMBUSA_CTL EMIF1_DQM3 ESC_MDIO_DATA EPWM14_B FSITXA_CLK ESC_RX0_DATA0	0、4、8、12 1、5 2 6 7 9 10 11 13 14 15		28		I/O O I/O I/O I I/O O I/O O O I	通用输入/输出 27 输出 X-BAR 输出 4 eQEP-2 选通 SPI-B 外设发送使能 (PTE) SDFM-2 通道 2 时钟输入 PMBus-A 控制信号 - 目标输入/控制器输出 外部存储器接口 1 字节 3 的输入/输出掩码 EtherCAT MDIO 数据 ePWM-14 输出 B FSITXA-A 输出时钟 EtherCAT MII 接收 0 数据 0
GPIO28 SCIA_RX EMIF1_CS4n UARTA_RX OUTPUTXBAR5 EQEP3_A SD2_D3 EMIF1_CS2n EPWM15_A ESC_RX0_DATA1	0、4、8、12 1 2 3 5 6 7 9 13 15		64		I/O I O I/O O I I O O I	通用输入/输出 28 SCI-A 接收数据 外部存储器接口 1 芯片选择 4 UART-A 串行数据接收 输出 X-BAR 输出 5 eQEP-3 输入 A SDFM-2 通道 3 数据输入 外部存储器接口 1 芯片选择 2 ePWM-15 输出 A EtherCAT MII 接收 0 数据 1
GPIO29 SCIA_TX EMIF1_SDCKE UARTA_TX OUTPUTXBAR6 EQEP3_B SD2_C3 EMIF1_CS3n ESC_LATCH0 ESC_I2C_SDA EPWM15_B ESC_SYNC0 ESC_RX0_DATA2	0、4、8、12 1 2 3 5 6 7 9 10 11 13 14 15		65		I/O O O I/O O I I O I/OC O O I	通用输入/输出 29 SCI-A 发送数据 外部存储器接口 1 SDRAM 时钟使能 UART-A 串行数据发送 输出 X-BAR 输出 6 eQEP-3 输入 B SDFM-2 通道 3 时钟输入 外部存储器接口 1 芯片选择 3 EtherCAT 门锁信号输入 0 EtherCAT I2C 数据 ePWM-15 输出 B EtherCAT 同步信号输出 0 EtherCAT MII 接收 0 数据 2
GPIO30 CAN_A_RX EMIF1_CLK MCAN_A_RX OUTPUTXBAR7 EQEP3_STROBE SD2_D4 EMIF1_CS4n ESC_LATCH1 ESC_I2C_SCL EPWM16_A ESC_SYNC1 SPID_PICO	0、4、8、12 1 2 3 5 6 7 9 10 11 13 14 15		63		I/O I O I O I/O I I/OC O O I/O	通用输入/输出 30 CAN-A 接收 外部存储器接口 1 时钟 CAN/CAN FD-A 接收 输出 X-BAR 输出 7 eQEP-3 选通 SDFM-2 通道 4 数据输入 外部存储器接口 1 芯片选择 4 EtherCAT 门锁信号输入 1 EtherCAT I2C 时钟 ePWM-16 输出 A EtherCAT 同步信号输出 1 SPI-D 外设输入控制器输出 (PICO)

表 5-1.引脚属性 (续)

名称	终端				I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号	PZP 引脚编号		
GPIO31 CAN_A_TX EMIF1_WEn MCAN_A_TX OUTPUTXBAR8 EQEP3_INDEX SD2_C4 EMIF1_RNW I2CA_SDA EPWM16_B SPID_POCI	0、4、8、12 1 2 3 5 6 7 9 10 13 15		66		I/O O O O O I/O I O I/OD O I/O	通用输入/输出 31 CAN-A 发送 外部存储器接口 1 写入使能 CAN/CAN FD-A 传输 输出 X-BAR 输出 8 eQEP-3 索引 SDFM-2 通道 4 时钟输入 外部存储器接口 1 读/不写 I2C-A 开漏双向数据 ePWM-16 输出 B SPI-D 外设输出控制器输入 (POCI)
GPIO32 I2CA_SDA EMIF1_CS0n SPIA_PICO EQEP4_A LINB_TX CLB_OUTPUTXBAR1 EMIF1_OEn I2CA_SCL SPID_CLK	0、4、8、12 1 2 3 5 6 7 9 10 15		67		I/O I/OD O I/O I O O O I/OD I/O	通用输入/输出 32 I2C-A 开漏双向数据 外部存储器接口 1 芯片选择 0 SPI-A 外设输入控制器输出 (PICO) eQEP-4 输入 A LIN-B 发送 CLB 输出 X-BAR 输出 1 外部存储器接口 1 输出使能 I2C-A 开漏双向时钟 SPI-D 时钟
GPIO33 I2CA_SCL EMIF1_RNW SPIA_POCI EQEP4_B CLB_OUTPUTXBAR2 EMIF1_BA0 ESC_LED_ERR SPID_PTE	0、4、8、12 1 2 3 5 7 9 11 15		69		I/O I/OD O I/O I O O O I/O	通用输入/输出 33 I2C-A 开漏双向时钟 外部存储器接口 1 读/不写 SPI-A 外设输出控制器输入 (POCI) eQEP-4 输入 B CLB 输出 X-BAR 输出 2 外部存储器接口 1 存储库地址 0 EtherCAT 错误 LED SPI-D 外设发送使能 (PTE)
GPIO34 OUTPUTXBAR1 EMIF1_CS2n SPIA_CLK EQEP4_STROBE I2CB_SDA CLB_OUTPUTXBAR3 EMIF1_BA1 ESC_LATCH0 EPWM18_A SCIA_TX ESC_SYNC0	0、4、8、12 1 2 3 5 6 7 9 10 11 13 14		70		I/O O O I/O I/O I/OD O O I O O O	通用输入/输出 34 输出 X-BAR 输出 1 外部存储器接口 1 芯片选择 2 SPI-A 时钟 eQEP-4 选通 I2C-B 开漏双向数据 CLB 输出 X-BAR 输出 3 外部存储器接口 1 存储库地址 1 EtherCAT 门锁信号输入 0 ePWM-18 输出 A SCI-A 发送数据 EtherCAT 同步信号输出 0
GPIO35 SCIA_RX EMIF1_CS3n SPIA_PTE EQEP4_INDEX I2CB_SCL CLB_OUTPUTXBAR4 EMIF1_A0 ESC_LATCH1 EPWM18_B ESC_SYNC1	0、4、8、12 1、13 2 3 5 6 7 9 10 11 14		71		I/O I O I/O I/O I/OD O O I O O	通用输入/输出 35 SCI-A 接收数据 外部存储器接口 1 芯片选择 3 SPI-A 外设发送使能 (PTE) eQEP-4 索引 I2C-B 开漏双向时钟 CLB 输出 X-BAR 输出 4 外部存储器接口 1 地址线 0 EtherCAT 门锁信号输入 1 ePWM-18 输出 B EtherCAT 同步信号输出 1
GPIO36 SCIA_TX EMIF1_WAIT CAN_A_RX CLB_OUTPUTXBAR5 EMIF1_A1 MCAN_A_RX SD1_D1 EMIF1_WEn	0、4、8、12 1 2 6 7 9 10 13 14		83		I/O O I I O O I I O	通用输入/输出 36 SCI-A 发送数据 外部存储器接口 1 异步 SRAM WAIT CAN-A 接收 CLB 输出 X-BAR 输出 5 外部存储器接口 1 地址线 1 CAN/CAN FD-A 接收 SDFM-1 通道 1 数据输入 外部存储器接口 1 写入使能

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明	
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号			PZP 引脚编号
GPIO37	0、4、8、12				I/O	通用输入/输出 37
OUTPUTXBAR2	1				O	输出 X-BAR 输出 2
EMIF1_OEn	2				O	外部存储器接口 1 输出使能
EPWM18_A	3				O	ePWM-18 输出 A
CANA_TX	6		84		O	CAN-A 发送
CLB_OUTPUTXBAR6	7				O	CLB 输出 X-BAR 输出 6
EMIF1_A2	9				O	外部存储器接口 1 地址线 2
MCANA_TX	10				O	CAN/CAN FD-A 传输
SD1_D2	13				I	SDFM-1 通道 2 数据输入
EMIF1_D24	14				I/O	外部存储器接口 1 数据线 24
GPIO38	0、4、8、12				I/O	通用输入/输出 38
EMIF1_A0	2				O	外部存储器接口 1 地址线 0
EPWM18_B	3				O	ePWM-18 输出 B
UARTA_TX	5			85	I/O	UART-A 串行数据发送
SCIB_TX	6				O	SCI-B 发送数据
CLB_OUTPUTXBAR7	7				O	CLB 输出 X-BAR 输出 7
EMIF1_A3	9				O	外部存储器接口 1 地址线 3
SD1_D3	13				I	SDFM-1 通道 3 数据输入
EMIF1_CS2n	14				O	外部存储器接口 1 芯片选择 2
GPIO39	0、4、8、12				I/O	通用输入/输出 39
EMIF1_A1	2				O	外部存储器接口 1 地址线 1
UARTA_RX	5				I/O	UART-A 串行数据接收
SCIB_RX	6				I	SCI-B 接收数据
CLB_OUTPUTXBAR8	7			86	O	CLB 输出 X-BAR 输出 8
EMIF1_A4	9				O	外部存储器接口 1 地址线 4
ESC_MDIO_DATA	10				I/O	EtherCAT MDIO 数据
ESC_LED_RUN	11				O	EtherCAT 运行 LED
SD1_D4	13				I	SDFM-1 通道 4 数据输入
FSIRXD_CLK	14				I	FSIRX-D 输入时钟
GPIO40	0、4、8、12				I/O	通用输入/输出 40
EMIF1_A2	2				O	外部存储器接口 1 地址线 2
EPWM13_A	3				O	ePWM-13 输出 A
MCANB_RX	5				I	CAN/CAN FD-B 接收
I2CB_SDA	6			87	I/OD	I2C-B 开漏双向数据
SD4_C3	7				I	SDFM-4 通道 3 时钟输入
ESC_GPO2	9				O	EtherCAT 通用输出 2
CLB_OUTPUTXBAR1	10				O	CLB 输出 X-BAR 输出 1
SD2_C1	13				I	SDFM-2 通道 1 时钟输入
ESC_I2C_SDA	14				I/OC	EtherCAT I2C 数据
GPIO41	0、4、8、12				I/O	通用输入/输出 41
EMIF1_A3	2				O	外部存储器接口 1 地址线 3
EPWM13_B	3				O	ePWM-13 输出 B
MCANB_TX	5				O	CAN/CAN FD-B 传输
I2CB_SCL	6			89	I/OD	I2C-B 开漏双向时钟
SD4_D3	7				I	SDFM-4 通道 3 数据输入
CLB_OUTPUTXBAR2	10				O	CLB 输出 X-BAR 输出 2
SD2_D1	13				I	SDFM-2 通道 1 数据输入
ESC_I2C_SCL	14				I/OC	EtherCAT I2C 时钟
FSIRXD_CLK	15				I	FSIRX-D 输入时钟
GPIO42	0、4、8、12				I/O	通用输入/输出 42
EPWM14_A	3				O	ePWM-14 输出 A
EQEP4_A	5				I	eQEP-4 输入 A
I2CA_SDA	6				I/OD	I2C-A 开漏双向数据
SD4_C4	7				I	SDFM-4 通道 4 时钟输入
CLB_OUTPUTXBAR5	10			130	O	CLB 输出 X-BAR 输出 5
UARTA_TX	11				I/O	UART-A 串行数据发送
FSIRXD_D0	14				I	FSIRX-D 主数据输入
SCIA_TX	15				O	SCI-A 发送数据
USB0DM	ALT				O	USB-0 PHY 差分数据

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号		
GPIO43	0、4、8、12				I/O 通用输入/输出 43
EPWM14_B	3				O ePWM-14 输出 B
EQEP4_B	5				I eQEP-4 输入 B
I2CA_SCL	6		131		I/OD I2C-A 开漏双向时钟
SD4_D4	7				I SDFM-4 通道 4 数据输入
CLB_OUTPUTXBAR6	10				O CLB 输出 X-BAR 输出 6
UARTA_RX	11				I/O UART-A 串行数据接收
FSIRXD_D1	14				I FSIRX-D 可选附加数据输入
SCIA_RX	15				I SCIA 接收数据
GPIO44	0、4、8、12				I/O 通用输入/输出 44
SPIID_POCI	1				I/O SPI-D 外设输出控制器输入 (POCI)
EMIF1_A4	2				O 外部存储器接口 1 地址线 4
MCANB_RX	3		113		I CAN/CAN FD-B 接收
SD3_C4	6				I SDFM-3 通道 4 时钟输入
UARTB_TX	7				I/O UART-B 串行数据发送
CLB_OUTPUTXBAR6	10				O CLB 输出 X-BAR 输出 6
FSIRXD_CLK	13				I FSIRX-D 输入时钟
ESC_TX1_CLK	14				I EtherCAT MII 发送 1 时钟
GPIO45	0、4、8、12				I/O 通用输入/输出 45
SPIID_PTE	1				I/O SPI-D 外设发送使能 (PTE)
EMIF1_A5	2				O 外部存储器接口 1 地址线 5
MCANB_TX	3		115		O CAN/CAN FD-B 传输
SD3_D4	6				I SDFM-3 通道 4 数据输入
UARTB_RX	7				I/O UART-B 串行数据接收
CLB_OUTPUTXBAR7	10				O CLB 输出 X-BAR 输出 7
ESC_TX1_ENA	14				I/O EtherCAT MII 发送 1 使能
GPIO46	0、4、8、12				I/O 通用输入/输出 46
EPWM4_A	1				O ePWM-4 输出 A
EMIF1_A6	2				O 外部存储器接口 1 地址线 6
EPWM14_A	3		128		O ePWM-14 输出 A
SCIA_RX	6				I SCIA 接收数据
SD3_C4	7				I SDFM-3 通道 4 时钟输入
ESC_MDIO_CLK	14				O EtherCAT MDIO 时钟
GPIO47	0、4、8、12				I/O 通用输入/输出 47
EPWM4_B	1				O ePWM-4 输出 B
EMIF1_A7	2				O 外部存储器接口 1 地址线 7
EPWM14_B	3		129		O ePWM-14 输出 B
SCIA_TX	6				O SCIA 发送数据
SD4_C3	7				I SDFM-4 通道 3 时钟输入
ESC_MDIO_DATA	14				I/O EtherCAT MDIO 数据
GPIO48	0、4、8、12				I/O 通用输入/输出 48
OUTPUTXBAR3	1				O 输出 X-BAR 输出 3
EMIF1_A8	2				O 外部存储器接口 1 地址线 8
SCIA_TX	6		90		O SCIA 发送数据
SD1_D1	7				I SDFM-1 通道 1 数据输入
SD2_C2	13				I SDFM-2 通道 2 时钟输入
ESC_PHY_CLK	14				O EtherCAT PHY 时钟
GPIO49	0、4、8、12				I/O 通用输入/输出 49
OUTPUTXBAR4	1				O 输出 X-BAR 输出 4
EMIF1_A9	2				O 外部存储器接口 1 地址线 9
SCIA_RX	6				I SCIA 接收数据
SD1_C1	7		93		I SDFM-1 通道 1 时钟输入
EMIF1_A5	9				O 外部存储器接口 1 地址线 5
SD2_D1	13				I SDFM-2 通道 1 数据输入
FSITXA_D0	14				O FSITX-A 主数据输出

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号		
GPIO50	0、4、8、12				通用输入/输出 50
EQEP1_A	1			I/O	eQEP-1 输入 A
EMIF1_A10	2			O	外部存储器接口 1 地址线 10
EPWM15_A	3			O	ePWM-15 输出 A
SPIC_PICO	6		94	I/O	SPI-C 外设输入控制器输出 (PICO)
SD1_D2	7			I	SDFM-1 通道 2 数据输入
EMIF1_A6	9			O	外部存储器接口 1 地址线 6
ESC_LATCH0	11			I	EtherCAT 闩锁信号输入 0
SD2_D2	13			I	SDFM-2 通道 2 数据输入
FSITXA_D1	14			O	FSITX-A 可选附加数据输出
GPIO51	0、4、8、12				通用输入/输出 51
EQEP1_B	1			I/O	eQEP-1 输入 B
EMIF1_A11	2			O	外部存储器接口 1 地址线 11
EPWM15_B	3			O	ePWM-15 输出 B
SPIC_POCI	6		95	I/O	SPI-C 外设输出控制器输入 (POCI)
SD1_C2	7			I	SDFM-1 通道 2 时钟输入
EMIF1_A7	9			O	外部存储器接口 1 地址线 7
ESC_LATCH1	11			I	EtherCAT 闩锁信号输入 1
SD2_D3	13			I	SDFM-2 通道 3 数据输入
FSITXA_CLK	14			O	FSITX-A 输出时钟
GPIO52	0、4、8、12				通用输入/输出 52
EQEP1_STROBE	1			I/O	eQEP-1 选通
EMIF1_A12	2			O	外部存储器接口 1 地址线 12
EPWM16_A	3			O	ePWM-16 输出 A
SPIC_CLK	6		96	I/O	SPI-C 时钟
SD1_D3	7			I	SDFM-1 通道 3 数据输入
EMIF1_A8	9			O	外部存储器接口 1 地址线 8
ESC_MDIO_CLK	11			O	EtherCAT MDIO 时钟
SD2_D4	13			I	SDFM-2 通道 4 数据输入
FSIRXA_D0	14			I	FSIRX-A 主数据输入
GPIO53	0、4、8、12				通用输入/输出 53
EQEP1_INDEX	1			I/O	eQEP-1 索引
EMIF1_D31	2			I/O	外部存储器接口 1 数据线 31
SPIC_PTE	6		97	I/O	SPI-C 外设发送使能 (PTE)
SD1_C3	7			I	SDFM-1 通道 3 时钟输入
EMIF1_A9	9			O	外部存储器接口 1 地址线 9
ESC_MDIO_DATA	11			I/O	EtherCAT MDIO 数据
SD1_C1	13			I	SDFM-1 通道 1 时钟输入
FSIRXA_D1	14			I	FSIRX-A 可选附加数据输入
GPIO54	0、4、8、12				通用输入/输出 54
SPIA_PICO	1			I/O	SPI-A 外设输入控制器输出 (PICO)
EMIF1_D30	2			I/O	外部存储器接口 1 数据线 30
EQEP2_A	5			I	eQEP-2 输入 A
SCIB_TX	6		98	O	SCI-B 发送数据
SD1_D4	7			I	SDFM-1 通道 4 数据输入
EMIF1_A10	9			O	外部存储器接口 1 地址线 10
ESC_PHY_CLK	11			O	EtherCAT PHY 时钟
SD1_C2	13			I	SDFM-1 通道 2 时钟输入
FSIRXA_CLK	14			I	FSIRX-A 输入时钟
GPIO55	0、4、8、12				通用输入/输出 55
SPIA_POCI	1			I/O	SPI-A 外设输出控制器输入 (POCI)
EMIF1_D29	2			I/O	外部存储器接口 1 数据线 29
EPWM16_B	3			O	ePWM-16 输出 B
EQEP2_B	5			I	eQEP-2 输入 B
SCIB_RX	6		100	I	SCI-B 接收数据
SD1_C4	7			I	SDFM-1 通道 4 时钟输入
EMIF1_D0	9			I/O	外部存储器接口 1 数据线 0
ESC_PHY0_LINKSTATU	11			I	EtherCAT PHY-0 链路状态
S	13			I	SDFM-1 通道 3 时钟输入
SD1_C3	13			I	SDFM-1 通道 3 时钟输入
FSITXB_D0	14			O	FSITX-B 主数据输出

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号		
GPIO56 SPIA_CLK EMIF1_D28 EPWM17_A EQEP2_STROBE SD2_D1 EMIF1_D1 I2CA_SDA ESC_TX0_ENA SD1_C4 FSITXB_CLK	0、4、8、12 1 2 3 5 7 9 10 11 13 14		101		I/O I/O I/O O I/O I I/O I/OD I/O I O 通用输入/输出 56 SPI-A 时钟 外部存储器接口 1 数据线 28 ePWM-17 输出 A eQEP-2 选通 SDFM-2 通道 1 数据输入 外部存储器接口 1 数据线 1 I2C-A 开漏双向数据 EtherCAT MII 发送 0 使能 SDFM-1 通道 4 时钟输入 FSITX-B 输出时钟
GPIO57 SPIA_PTE EMIF1_D27 EPWM17_B EQEP2_INDEX SD2_C1 EMIF1_D2 I2CA_SCL ESC_TX0_CLK SD3_D3 FSITXB_D1	0、4、8、12 1 2 3 5 7 9 10 11 13 14		102		I/O I/O I/O O I/O I I/O I/OD I I O 通用输入/输出 57 SPI-A 外设发送使能 (PTE) 外部存储器接口 1 数据线 27 ePWM-17 输出 B eQEP-2 索引 SDFM-2 通道 1 时钟输入 外部存储器接口 1 数据线 2 I2C-A 开漏双向时钟 EtherCAT MII 发送 0 时钟 SDFM-3 通道 3 数据输入 FSITX-B 可选附加数据输出
GPIO58 SPIA_PICO EMIF1_D26 EPWM8_A OUTPUTXBAR1 SPIB_CLK SD2_D2 EMIF1_D3 ESC_LED_LINK0_ACTIV E CANA_RX SD2_C2 FSIRXB_D0	0、4、8、12 1、15 2 3 5 6 7 9 10 11 13 14		103		I/O I/O I/O O O I/O I I/O O I I I 通用输入/输出 58 SPI-A 外设输入控制器输出 (PICO) 外部存储器接口 1 数据线 26 ePWM-8 输出 A 输出 X-BAR 输出 1 SPI-B 时钟 SDFM-2 通道 2 数据输入 外部存储器接口 1 数据线 3 EtherCAT Link-0 有效 CAN-A 接收 SDFM-2 通道 2 时钟输入 FSIRX-B 主数据输入
GPIO59 EPWM5_A EMIF1_D25 EPWM8_B OUTPUTXBAR2 SPIB_PTE SD2_C2 EMIF1_D4 ESC_LED_LINK1_ACTIV E CANA_TX SD2_C3 FSIRXB_D1 SPIA_POCI	0、4、8、12 1 2 3 5 6 7 9 10 11 13 14 15		104		I/O O I/O O O I/O I I/O O O I I I/O 通用输入/输出 59 ePWM-5 输出 A 外部存储器接口 1 数据线 25 ePWM-8 输出 B 输出 X-BAR 输出 2 SPI-B 外设发送使能 (PTE) SDFM-2 通道 2 时钟输入 外部存储器接口 1 数据线 4 EtherCAT Link-1 有效 CAN-A 发送 SDFM-2 通道 3 时钟输入 FSIRX-B 可选附加数据输入 SPI-A 外设输出控制器输入 (POCI)

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明	
	多路复用器位置	ZWT焊球编号	PTP引脚编号			PZP引脚编号
GPIO60 EPWM3_B EMIF1_D24 ESC_LATCH0 OUTPUTXBAR3 SPIB_PICO SD2_D3 EMIF1_D5 ESC_LED_ERR SD2_C4 FSIRXB_CLK SPIA_CLK	0、4、8、12 1 2 3 5 6 7 9 10 13 14 15		105		I/O O I/O I O I/O I I/O O I I I/O	通用输入/输出 60 ePWM-3 输出 B 外部存储器接口 1 数据线 24 EtherCAT 门锁信号输入 0 输出 X-BAR 输出 3 SPI-B 外设输入控制器输出 (PICO) SDFM-2 通道 3 数据输入 外部存储器接口 1 数据线 5 EtherCAT 错误 LED SDFM-2 通道 4 时钟输入 FSIRX-B 输入时钟 SPI-A 时钟
GPIO61 EPWM17_B EMIF1_D23 ESC_LATCH1 OUTPUTXBAR4 SPIB_POCI SD2_C3 EMIF1_D6 ESC_LED_RUN CAN_A_RX SPIA_PTE	0、4、8、12 1 2 3 5 6 7 9 10 14 15		107		I/O O I/O I O I/O I I/O O I I/O	通用输入/输出 61 ePWM-17 输出 B 外部存储器接口 1 数据线 23 EtherCAT 门锁信号输入 1 输出 X-BAR 输出 4 SPI-B 外设输出控制器输入 (POCI) SDFM-2 通道 3 时钟输入 外部存储器接口 1 数据线 6 EtherCAT 运行 LED CAN-A 接收 SPI-A 外设发送使能 (PTE)
GPIO62 SCIA_RX EMIF1_D22 ESC_MDIO_CLK EQEP3_A CAN_A_RX SD2_D4 EMIF1_D7 ESC_LED_STATE_RUN CAN_A_TX	0、4、8、12 1 2 3 5 6 7 9 10 14		108		I/O I I/O O I I I I/O O O	通用输入/输出 62 SCI-A 接收数据 外部存储器接口 1 数据线 22 EtherCAT MDIO 时钟 eQEP-3 输入 A CAN-A 接收 SDFM-2 通道 4 数据输入 外部存储器接口 1 数据线 7 EtherCAT LED 状态运行 CAN-A 发送
GPIO63 SCIA_TX EMIF1_D21 EPWM9_A EQEP3_B CAN_A_TX SD2_C4 EMIF1_RNW EMIF1_BA0 SD1_D1 ESC_RX1_DATA0 SPIB_PICO	0、4、8、12 1 2 3 5 6 7 9 10 13 14 15		109		I/O O I/O O I O I O O I I I/O	通用输入/输出 63 SCI-A 发送数据 外部存储器接口 1 数据线 21 ePWM-9 输出 A eQEP-3 输入 B CAN-A 发送 SDFM-2 通道 4 时钟输入 外部存储器接口 1 读/不写 外部存储器接口 1 存储库地址 0 SDFM-1 通道 1 数据输入 EtherCAT MII 接收 1 数据 0 SPI-B 外设输入控制器输出 (PICO)
GPIO64 EMIF1_D20 EPWM9_B EQEP3_STROBE SCIA_RX EMIF1_WAIT EMIF1_BA1 SD1_C1 ESC_RX1_DATA1 SPIB_POCI	0、4、8、12 2 3 5 6 9 10 13 14 15		110		I/O I/O O I/O I I O I I I/O	通用输入/输出 64 外部存储器接口 1 数据线 20 ePWM-9 输出 B eQEP-3 选通 SCI-A 接收数据 外部存储器接口 1 异步 SRAM WAIT 外部存储器接口 1 存储库地址 1 SDFM-1 通道 1 时钟输入 EtherCAT MII 接收 1 数据 1 SPI-B 外设输出控制器输入 (POCI)

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号		
GPIO65	0、4、8、12				I/O 通用输入/输出 65
EMIF1_D19	2				I/O 外部存储器接口 1 数据线 19
EPWM10_A	3				O ePWM-10 输出 A
EQEP3_INDEX	5				I/O eQEP-3 索引
SCIA_TX	6		111		O SCI-A 发送数据
EMIF1_WEn	9				O 外部存储器接口 1 写入使能
FSITXB_CLK	11				O FSITX-B 输出时钟
SD1_D2	13				I SDFM-1 通道 2 数据输入
ESC_RX1_DATA2	14				I EtherCAT MII 接收 1 数据 2
SPIB_CLK	15				I/O SPI-B 时钟
GPIO66	0、4、8、12				I/O 通用输入/输出 66
EQEP6_B	1				I eQEP-6 输入 B
EMIF1_D18	2				I/O 外部存储器接口 1 数据线 18
EPWM10_B	3				O ePWM-10 输出 B
I2CB_SDA	6		112		I/OD I2C-B 开漏双向数据
EMIF1_OEn	9				O 外部存储器接口 1 输出使能
FSITXB_D1	11				O FSITX-B 可选附加数据输出
SD1_C2	13				I SDFM-1 通道 2 时钟输入
ESC_RX1_DATA3	14				I EtherCAT MII 接收 1 数据 3
SPIB_PTE	15				I/O SPI-B 外设发送使能 (PTE)
GPIO67	0、4、8、12				I/O 通用输入/输出 67
EMIF1_D17	2				I/O 外部存储器接口 1 数据线 17
EPWM17_A	3		132		O ePWM-17 输出 A
LINB_TX	5				O LIN-B 发送
ESC_I2C_SDA	11				I/OC EtherCAT I2C 数据
SD1_D3	13				I SDFM-1 通道 3 数据输入
GPIO68	0、4、8、12				I/O 通用输入/输出 68
EMIF1_D16	2				I/O 外部存储器接口 1 数据线 16
EPWM17_B	3				O ePWM-17 输出 B
LINB_RX	5		133		I LIN-B 接收
ESC_I2C_SCL	11				I/OC EtherCAT I2C 时钟
SD1_C3	13				I SDFM-1 通道 3 时钟输入
ESC_PHY1_LINKSTATUS	14				I EtherCAT PHY-1 链路状态
GPIO69	0、4、8、12				I/O 通用输入/输出 69
EMIF1_D15	2				I/O 外部存储器接口 1 数据线 15
EPWM11_A	3				O ePWM-11 输出 A
I2CB_SCL	6		134		I/OD I2C-B 开漏双向时钟
FSITXB_D0	11				O FSITX-B 主数据输出
SD1_D4	13				I SDFM-1 通道 4 数据输入
ESC_RX1_CLK	14				I EtherCAT MII 接收 1 时钟
SPIC_PICO	15				I/O SPI-C 外设输入控制器输出 (PICO)
GPIO70	0、4、8、12				I/O 通用输入/输出 70
EMIF1_D14	2				I/O 外部存储器接口 1 数据线 14
EPWM11_B	3				O ePWM-11 输出 B
CANA_RX	5				I CAN-A 接收
SCIB_TX	6				O SCI-B 发送数据
UARTB_TX	7		135		I/O UART-B 串行数据发送
MCANA_RX	9				I CAN/CAN FD-A 接收
FSIRXB_D0	11				I FSIRX-B 主数据输入
SD1_C4	13				I SDFM-1 通道 4 时钟输入
ESC_RX1_DV	14				I EtherCAT MII 接收 1 数据有效
SPIC_POCI	15				I/O SPI-C 外设输出控制器输入 (POCI)

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号		
GPIO71	0、4、8、12				I/O 通用输入/输出 71
EMIF1_D13	2				I/O 外部存储器接口 1 数据线 13
EPWM12_A	3				O ePWM-12 输出 A
CANA_TX	5				O CAN-A 发送
SCIB_RX	6		136		I SCI-B 接收数据
UARTB_RX	7				I/O UART-B 串行数据接收
MCANA_TX	9				O CAN/CAN FD-A 传输
SD3_D1	13				I SDFM-3 通道 1 数据输入
ESC_RX1_ERR	14				I EtherCAT MII 接收 1 错误
SPIC_CLK	15				I/O SPI-C 时钟
GPIO72	0、4、8、12				I/O 通用输入/输出 72
EQEP6_STROBE	1				I/O eQEP-6 选通
EMIF1_D12	2				I/O 外部存储器接口 1 数据线 12
EPWM12_B	3				O ePWM-12 输出 B
OUTPUTXBAR8	5		139		O 输出 X-BAR 输出 8
UARTA_TX	6				I/O UART-A 串行数据发送
MCANB_RX	9				I CAN/CAN FD-B 接收
SD3_C1	13				I SDFM-3 通道 1 时钟输入
ESC_TX1_DATA3	14				O EtherCAT MII 发送 1 数据 3
SPIC_PTE	15				I/O SPI-C 外设发送使能 (PTE)
GPIO73	0、4、8、12				I/O 通用输入/输出 73
EQEP6_INDEX	1				I/O eQEP-6 索引
EMIF1_D11	2				I/O 外部存储器接口 1 数据线 11
XCLKOUT	3				O 外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
OUTPUTXBAR6	5		140		O 输出 X-BAR 输出 6
UARTA_RX	6				I/O UART-A 串行数据接收
EPWM5_B	7				O ePWM-5 输出 B
MCANB_TX	9				O CAN/CAN FD-B 传输
SD4_D4	10				I SDFM-4 通道 4 数据输入
SD2_D2	13				I SDFM-2 通道 2 数据输入
ESC_TX1_DATA2	14				O EtherCAT MII 发送 1 数据 2
GPIO74	0、4、8、12				I/O 通用输入/输出 74
EPWM8_A	1				O ePWM-8 输出 A
EMIF1_D10	2				I/O 外部存储器接口 1 数据线 10
EQEP5_A	6		141		I eQEP-5 输入 A
MCANA_TX	9				O CAN/CAN FD-A 传输
SD1_D4	10				I SDFM-1 通道 4 数据输入
SD2_C2	13				I SDFM-2 通道 2 时钟输入
ESC_TX1_DATA1	14				O EtherCAT MII 发送 1 数据 1
GPIO75	0、4、8、12				I/O 通用输入/输出 75
EPWM8_B	1				O ePWM-8 输出 B
EMIF1_D9	2				I/O 外部存储器接口 1 数据线 9
EQEP5_B	6		142		I eQEP-5 输入 B
SPID_CLK	7				I/O SPI-D 时钟
MCANA_RX	9				I CAN/CAN FD-A 接收
CLB_OUTPUTXBAR8	10				O CLB 输出 X-BAR 输出 8
SD2_D3	13				I SDFM-2 通道 3 数据输入
ESC_TX1_DATA0	14				O EtherCAT MII 发送 1 数据 0
GPIO76	0、4、8、12				I/O 通用输入/输出 76
EPWM9_A	1				O ePWM-9 输出 A
EMIF1_D8	2				I/O 外部存储器接口 1 数据线 8
EQEP5_STROBE	6		143		I/O eQEP-5 选通
SD3_C1	7				I SDFM-3 通道 1 时钟输入
SD4_D4	10				I SDFM-4 通道 4 数据输入
SD2_C3	13				I SDFM-2 通道 3 时钟输入
ESC_PHY_RESETn	14				O EtherCAT PHY 低电平有效复位
GPIO77	0、4、8、12				I/O 通用输入/输出 77
EPWM9_B	1				O ePWM-9 输出 B
EMIF1_D7	2				I/O 外部存储器接口 1 数据线 7
EQEP5_INDEX	6		144		I/O eQEP-5 索引
SD3_D1	7				I SDFM-3 通道 1 数据输入
SD1_D4	10				I SDFM-1 通道 4 数据输入
SD2_D4	13				I SDFM-2 通道 4 数据输入
ESC_RX0_CLK	14				I EtherCAT MII 接收 0 时钟



表 5-1.引脚属性 (续)

终端					I/O/Z(1)	说明
名称	多路复用器位置	ZWT 焊球编号	PTP 引脚编号	PZP 引脚编号		
GPIO86	0、4、8、12				I/O	通用输入/输出 86
EPWM13_B	1				O	ePWM-13 输出 B
EMIF1_A13	2				O	外部存储器接口 1 地址线 13
EMIF1_CAS	3		156		O	外部存储器接口 1 列地址选通
SCIB_TX	5				O	SCI-B 发送数据
EQEP6_STROBE	6				I/O	eQEP-6 选通
SD3_C3	13				I	SDFM-3 通道 3 时钟输入
ESC_PHY0_LINKSTATUS	14				I	EtherCAT PHY-0 链路状态
GPIO87	0、4、8、12				I/O	通用输入/输出 87
EPWM14_A	1				O	ePWM-14 输出 A
EMIF1_A14	2				O	外部存储器接口 1 地址线 14
EMIF1_RAS	3		157		O	外部存储器接口 1 行地址选通
SCIB_RX	5				I	SCI-B 接收数据
EQEP6_INDEX	6				I/O	eQEP-6 索引
EMIF1_DQM3	9				O	外部存储器接口 1 字节 3 的输入/输出掩码
SD3_D4	13				I	SDFM-3 通道 4 数据输入
ESC_TX0_DATA0	14				O	EtherCAT MII 发送 0 数据 0
GPIO88	0、4、8、12				I/O	通用输入/输出 88
EPWM14_B	1				O	ePWM-14 输出 B
EMIF1_A15	2				O	外部存储器接口 1 地址线 15
EMIF1_DQM0	3		170		O	外部存储器接口 1 字节 0 的输入/输出掩码
EMIF1_DQM1	9				O	外部存储器接口 1 字节 1 的输入/输出掩码
SD3_C4	13				I	SDFM-3 通道 4 时钟输入
ESC_TX0_DATA1	14				O	EtherCAT MII 发送 0 数据 1
GPIO89	0、4、8、12				I/O	通用输入/输出 89
EPWM15_A	1				O	ePWM-15 输出 A
EMIF1_A16	2				O	外部存储器接口 1 地址线 16
EMIF1_DQM1	3		171		O	外部存储器接口 1 字节 1 的输入/输出掩码
SD1_D3	7				I	SDFM-1 通道 3 数据输入
EMIF1_CAS	9				O	外部存储器接口 1 列地址选通
SD4_D1	13				I	SDFM-4 通道 1 数据输入
ESC_TX0_DATA2	14				O	EtherCAT MII 发送 0 数据 2
SPI_D_PTE	15				I/O	SPI-D 外设发送使能 (PTE)
GPIO90	0、4、8、12				I/O	通用输入/输出 90
EPWM15_B	1				O	ePWM-15 输出 B
EMIF1_A17	2				O	外部存储器接口 1 地址线 17
EMIF1_DQM2	3		172		O	外部存储器接口 1 字节 2 的输入/输出掩码
SD1_C3	7				I	SDFM-1 通道 3 时钟输入
EMIF1_RAS	9				O	外部存储器接口 1 行地址选通
SD4_C1	13				I	SDFM-4 通道 1 时钟输入
ESC_TX0_DATA3	14				O	EtherCAT MII 发送 0 数据 3
SPI_D_CLK	15				I/O	SPI-D 时钟
GPIO91	0、4、8、12				I/O	通用输入/输出 91
EPWM16_A	1				O	ePWM-16 输出 A
EMIF1_A18	2				O	外部存储器接口 1 地址线 18
EMIF1_DQM3	3		173		O	外部存储器接口 1 字节 3 的输入/输出掩码
I2CA_SDA	6				I/OD	I2C-A 开漏双向数据
SD4_D2	7				I	SDFM-4 通道 2 数据输入
EMIF1_DQM2	9				O	外部存储器接口 1 字节 2 的输入/输出掩码
PMBUS_A_SCL	10				I/OD	PMBus-A 开漏双向时钟
CLB_OUTPUTXBAR1	14				O	CLB 输出 X-BAR 输出 1
SPI_D_PICO	15				I/O	SPI-D 外设输入控制器输出 (PICO)
GPIO92	0、4、8、12				I/O	通用输入/输出 92
EPWM16_B	1				O	ePWM-16 输出 B
EMIF1_A19	2				O	外部存储器接口 1 地址线 19
EMIF1_BA1	3				O	外部存储器接口 1 存储库地址 1
I2CA_SCL	6		174		I/OD	I2C-A 开漏双向时钟
SD4_C2	7				I	SDFM-4 通道 2 时钟输入
EMIF1_DQM0	9				O	外部存储器接口 1 字节 0 的输入/输出掩码
PMBUS_A_SDA	10				I/OD	PMBus-A 开漏双向数据
FSIRXD_CLK	11				I	FSIRX-D 输入时钟
CLB_OUTPUTXBAR2	14				O	CLB 输出 X-BAR 输出 2
SPI_D_POCI	15				I/O	SPI-D 外设输出控制器输入 (POCI)

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号		
GPIO93	0、4、8、12				I/O 通用输入/输出 93
EPWM17_A	1				O ePWM-17 输出 A
EMIF1_BA0	3				O 外部存储器接口 1 存储库地址 0
SD4_D3	7		175		I SDFM-4 通道 3 数据输入
PMBUSA_ALERT	10				I/OD PMBus-A 开漏双向警报信号
ESC_TX1_CLK	11				I EtherCAT MII 发送 1 时钟
CLB_OUTPUTXBAR3	14				O CLB 输出 X-BAR 输出 3
SPID_CLK	15				I/O SPI-D 时钟
GPIO94	0、4、8、12				I/O 通用输入/输出 94
EPWM17_B	1				O ePWM-17 输出 B
SD4_C3	7		176		I SDFM-4 通道 3 时钟输入
EMIF1_BA1	9				O 外部存储器接口 1 存储库地址 1
PMBUSA_CTL	10				I/O PMBus-A 控制信号 - 目标输入/控制器输出
ESC_TX1_ENA	11				I/O EtherCAT MII 发送 1 使能
CLB_OUTPUTXBAR4	14				O CLB 输出 X-BAR 输出 4
SPID_PTE	15				I/O SPI-D 外设发送使能 (PTE)
GPIO99	0、4、8、12				I/O 通用输入/输出 99
EMIF1_DQM3	2				O 外部存储器接口 1 字节 3 的输入/输出掩码
EPWM8_A	3		17		O ePWM-8 输出 A
EQEP1_INDEX	5				I/O eQEP-1 索引
SD4_D4	7				I SDFM-4 通道 4 数据输入
ESC_GPI21	10				I EtherCAT 通用输入 21
EMIF1_D17	14				I/O 外部存储器接口 1 数据线 17
GPIO103	0、4、8、12				I/O 通用输入/输出 103
EMIF1_BA0	2				O 外部存储器接口 1 存储库地址 0
EPWM8_B	3		126		O ePWM-8 输出 B
EQEP2_INDEX	5				I/O eQEP-2 索引
SPIC_PTE	6				I/O SPI-C 外设发送使能 (PTE)
SD4_C4	7				I SDFM-4 通道 4 时钟输入
ESC_GPI3	10				I EtherCAT 通用输入 3
FSIRXA_D0	13				I FSIRX-A 主数据输入
GPIO104	0、4、8、12				I/O 通用输入/输出 104
I2CA_SDA	1				I/OD I2C-A 开漏双向数据
EPWM18_A	2				O ePWM-18 输出 A
EQEP3_A	5		147		I eQEP-3 输入 A
SD3_D1	6				I SDFM-3 通道 1 数据输入
ESC_GPI4	10				I EtherCAT 通用输入 4
FSIRXA_D1	13				I FSIRX-A 可选附加数据输入
ESC_SYNC0	14				O EtherCAT 同步信号输出 0
GPIO105	0、4、8、12				I/O 通用输入/输出 105
I2CA_SCL	1				I/OD I2C-A 开漏双向时钟
EPWM18_B	2				O ePWM-18 输出 B
EQEP3_B	5		106		I eQEP-3 输入 B
SD3_C1	6				I SDFM-3 通道 1 时钟输入
ESC_GPI5	10				I EtherCAT 通用输入 5
FSIRXA_CLK	13				I FSIRX-A 输入时钟
ESC_SYNC1	14				O EtherCAT 同步信号输出 1
GPIO106	0、4、8、12				I/O 通用输入/输出 106
EPWM16_A	1				O ePWM-16 输出 A
EMIF1_A10	2				O 外部存储器接口 1 地址线 10
EQEP3_STROBE	5		20		I/O eQEP-3 选通
SD3_D2	6				I SDFM-3 通道 2 数据输入
ESC_GPI6	10				I EtherCAT 通用输入 6
FSITXB_D0	13				O FSITX-B 主数据输出
GPIO133	0、4、8、12				I/O 通用输入/输出 133
EMIF1_A11	1				O 外部存储器接口 1 地址线 11
EPWM9_A	2		118		O ePWM-9 输出 A
SD2_C2	7				I SDFM-2 通道 2 时钟输入
ESC_LED_STATE_RUN	11				O EtherCAT LED 状态运行

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号		
GPIO198 EQEP1_A EPWM9_B SPIA_PICO ESC_PDI_UC_IRQ	0、4、8、12 1 2 3 14		26		I/O I O I/O O 通用输入/输出 198。该引脚还具有模拟功能 eQEPE-1 输入 A ePWM-9 输出 B SPI-A 外设输入控制器输出 (PICO) EtherCAT PDI IRQ 中断线路
GPIO199 EQEP1_STROBE EPWM17_A SCIB_TX EPWM12_A SPIB_CLK SD1_D4 MCANA_TX EMIF1_RAS SPIC_CLK	0、4、8、12 1 2 3 5 6 7 9 10 14		22		I/O I/O O O O I/O I O O I/O 通用输入/输出 199。该引脚还具有模拟功能 “模拟”部分对这些功能进行了介绍。 eQEPE-1 选通 ePWM-17 输出 A SCI-B 发送数据 ePWM-12 输出 A SPI-B 时钟 SDFM-1 通道 4 数据输入 CAN/CAN FD-A 传输 外部存储器接口 1 行地址选通 SPI-C 时钟
GPIO200 EQEP1_INDEX EPWM17_B SCIB_RX EPWM12_B SPIB_PTE SD1_C4 MCANA_RX EMIF1_CAS ESC_TX1_DATA1 SPIC_PTE	0、4、8、12 1 2 3 5 6 7 9 10 11 14		23		I/O I/O O I O I/O I I O O I/O 通用输入/输出 200。该引脚还具有模拟功能 eQEPE-1 索引 ePWM-17 输出 B SCI-B 接收数据 ePWM-12 输出 B SPI-B 外设发送使能 (PTE) SDFM-1 通道 4 时钟输入 CAN/CAN FD-A 接收 外部存储器接口 1 列地址选通 EtherCAT MII 发送 1 数据 1 SPI-C 外设发送使能 (PTE)
GPIO201 OUTPUTXBAR1 EQEP2_A EPWM18_A LINB_TX SPIB_PICO SD2_D1 PMBUSA_SCL EMIF1_DQM0 ESC_TX1_DATA2 EPWM13_A	0、4、8、12 1 2 3 5 6 7 9 10 11 13		24		I/O O I O O I/O I I/O O O O 通用输入/输出 201。该引脚还具有模拟功能 输出 X-BAR 输出 1 eQEPE-2 输入 A ePWM-18 输出 A LIN-B 发送 SPI-B 外设输入控制器输出 (PICO) SDFM-2 通道 1 数据输入 PMBus-A 开漏双向时钟 外部存储器接口 1 字节 0 的输入/输出掩码 EtherCAT MII 发送 1 数据 2 ePWM-13 输出 A
GPIO202 OUTPUTXBAR2 EQEP2_B EPWM18_B LINB_RX SPIB_POCI SD2_C1 PMBUSA_SDA EMIF1_DQM1 ESC_TX1_DATA3 EPWM13_B FSITXA_D1	0、4、8、12 1 2 3 5 6 7 9 10 11 13 14		25		I/O O I O I I/O I I/O O O O 通用输入/输出 202。该引脚还具有模拟功能 输出 X-BAR 输出 2 eQEPE-2 输入 B ePWM-18 输出 B LIN-B 接收 SPI-B 外设输出控制器输入 (POCI) SDFM-2 通道 1 时钟输入 PMBus-A 开漏双向数据 外部存储器接口 1 字节 1 的输入/输出掩码 EtherCAT MII 发送 1 数据 3 ePWM-13 输出 B FSITX-A 可选附加数据输出
GPIO203 OUTPUTXBAR3 EQEP2_INDEX SPIA_POCI SPIB_CLK SD3_D1 PMBUSA_ALERT EMIF1_DQM2 ESC_MDIO_CLK EPWM14_A FSITXA_D0 EPWM8_B	0、4、8、12 1、5 2 3 6 7 9 10 11 13 14 15		27		I/O O I/O I/O I/O I I/O O O O O 通用输入/输出 203。该引脚还具有模拟功能 输出 X-BAR 输出 3 eQEPE-2 索引 SPI-A 外设输出控制器输入 (POCI) SPI-B 时钟 SDFM-3 通道 1 数据输入 PMBus-A 开漏双向警报信号 外部存储器接口 1 字节 2 的输入/输出掩码 EtherCAT MDIO 时钟 ePWM-14 输出 A FSITX-A 主数据输出 ePWM-8 输出 B

表 5-1.引脚属性 (续)

名称	终端				I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号	PZP 引脚编号		
GPIO204 OUTPUTXBAR4 EQEP2_STROBE SPIA_CLK SPIB_PTE SD2_C2 PMBUSA_CTL EMIF1_DQM3 ESC_MDIO_DATA EPWM14_B FSITXA_CLK SD1_D3	0、4、8、12 1、5 2 3 6 7 9 10 11 13 14 15		28		I/O O I/O I/O I/O I I/O O I/O O O I	通用输入/输出 204。该引脚还具有模拟功能 输出 X-BAR 输出 4 eQEP-2 选通 SPI-A 时钟 SPI-B 外设发送使能 (PTE) SDFM-2 通道 2 时钟输入 PMBus-A 控制信号 - 目标输入/控制器输出 外部存储器接口 1 字节 3 的输入/输出掩码 EtherCAT MDIO 数据 ePWM-14 输出 B FSITX-A 输出时钟 SDFM-1 通道 3 数据输入
GPIO205 EQEP1_INDEX EPWM10_A SPIA_PTE OUTPUTXBAR1 SD1_C3	0、4、8、12 1 2 3 11 15		29		I/O I/O O I/O O I	通用输入/输出 205。该引脚还具有模拟功能 eQEP-1 索引 ePWM-10 输出 A SPI-A 外设发送使能 (PTE) 输出 X-BAR 输出 1 SDFM-1 通道 3 时钟输入
GPIO206 EMIF1_A11 EPWM10_B EMIF1_WEn OUTPUTXBAR2 ESC_PHY_CLK ESC_LED_STATE_RUN	0、4、8、12 1 2 3 11 14 15		30		I/O O O O O O O	通用输入/输出 206。该引脚还具有模拟功能 外部存储器接口 1 地址线 11 ePWM-10 输出 B 外部存储器接口 1 写入使能 输出 X-BAR 输出 2 EtherCAT PHY 时钟 EtherCAT LED 状态运行
GPIO207 EQEP2_A EPWM11_A EXTSYNCOU CANA_TX SD4_D1 SCIA_RX LINA_RX I2CB_SCL OUTPUTXBAR3 ESC_RX1_CLK PMBUSA_ALERT	0、4、8、12 1 2 3 5 6 7 9 10 11 14 15		55		I/O I O O O I I I I/OD O I I/OD	通用输入/输出 207。该引脚还具有模拟功能 eQEP-2 输入 A ePWM-11 输出 A 外部 ePWM 同步脉冲 CAN-A 发送 SDFM-4 通道 1 数据输入 SCI-A 接收数据 LIN-A 接收 I2C-B 开漏双向时钟 输出 X-BAR 输出 3 EtherCAT MII 接收 1 时钟 PMBus-A 开漏双向报警信号
GPIO208 EQEP2_B EPWM11_B EMIF1_D13 SPIB_PICO SD4_C1 SCIA_TX OUTPUTXBAR4 ESC_RX1_DV PMBUSA_CTL	0、4、8、12 1 2 3 5 6 7 11 14 15		56		I/O I O I/O I/O I O O I I/O	通用输入/输出 208。该引脚还具有模拟功能 eQEP-2 输入 B ePWM-11 输出 B 外部存储器接口 1 数据线 13 SPI-B 外设输入控制器输出 (PICO) SDFM-4 通道 1 时钟输入 SCI-A 发送数据 输出 X-BAR 输出 4 EtherCAT MII 接收 1 数据有效 PMBus-A 控制信号 - 目标输入/控制器输出
GPIO209 EQEP2_STROBE EPWM12_A EMIF1_D14 SPIB_POCI SD4_D2 EPWM12_B LINB_RX OUTPUTXBAR5 ESC_RX1_ERR PMBUSA_SDA	0、4、8、12 1 2 3 5 6 7 10 11 14 15		57		I/O I/O O I/O I/O I O I O I I/OD	通用输入/输出 209。该引脚还具有模拟功能 eQEP-2 选通 ePWM-12 输出 A 外部存储器接口 1 数据线 14 SPI-B 外设输出控制器输入 (POCI) SDFM-4 通道 2 数据输入 ePWM-12 输出 B LIN-B 接收 输出 X-BAR 输出 5 EtherCAT MII 接收 1 错误 PMBus-A 开漏双向数据
GPIO210 EQEP2_INDEX EPWM12_B EMIF1_D15 SD4_C2 LINB_TX OUTPUTXBAR6 ESC_RX0_DATA2 PMBUSA_SCL	0、4、8、12 1 2 3 6 10 11 14 15		58		I/O I/O O I/O I O O I I/OD	通用输入/输出 210。该引脚还具有模拟功能 eQEP-2 索引 ePWM-12 输出 B 外部存储器接口 1 数据线 15 SDFM-4 通道 2 时钟输入 LIN-B 发送 输出 X-BAR 输出 6 EtherCAT MII 接收 0 数据 2 PMBus-A 开漏双向时钟

表 5-1.引脚属性 (续)

名称	终端				I/O/Z(1)	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号	PZP 引脚编号		
GPIO211 EQEP6_A EPWM14_A SD4_D3 OUTPUTXBAR7 ESC_LED_LINK0_ACTIVE	0、4、8、12 1 2 6 11 14		59		I/O I O I O O	通用输入/输出 211。该引脚还具有模拟功能 eQEP-6 输入 A ePWM-14 输出 A SDFM-4 通道 3 数据输入 输出 X-BAR 输出 7 EtherCAT Link-0 有效
GPIO212 EQEP6_B EPWM14_B SD4_C3 ESC_LED_LINK1_ACTIVE	0、4、8、12 1 2 6 14		60		I/O I O I O	通用输入/输出 212。该引脚还具有模拟功能 eQEP-6 输入 B ePWM-14 输出 B SDFM-4 通道 3 时钟输入 EtherCAT Link-1 有效
GPIO213 EQEP6_STROBE EPWM8_A SD4_D4 LINB_TX ESC_LED_ERR	0、4、8、12 1 2 6 10 14		62		I/O I/O O I O O	通用输入/输出 213。该引脚还具有模拟功能 eQEP-6 选通 ePWM-8 输出 A SDFM-4 通道 4 数据输入 LIN-B 发送 EtherCAT 错误 LED
GPIO214 CAN_A_RX EMIF1_CLK MCAN_A_RX OUTPUTXBAR7 EQEP3_STROBE SD2_D4 EMIF1_CS4n ESC_LATCH1 ESC_I2C_SCL EPWM16_A ESC_SYNC1 SPID_PICO	0、4、8、12 1 2 3 5 6 7 9 10 11 13 14 15		63		I/O I O I O I/O I O I/OC O O I/O	通用输入/输出 214。该引脚还具有模拟功能 CAN-A 接收 外部存储器接口 1 时钟 CAN/CAN FD-A 接收 输出 X-BAR 输出 7 eQEP-3 选通 SDFM-2 通道 4 数据输入 外部存储器接口 1 芯片选择 4 EtherCAT 门锁信号输入 1 EtherCAT I2C 时钟 ePWM-16 输出 A EtherCAT 同步信号输出 1 SPI-D 外设输入控制器输出 (PICO)
GPIO215 SCIA_RX EMIF1_CS4n CAN_A_RX OUTPUTXBAR5 EQEP3_A SD2_D3 EMIF1_CS2n I2CB_SDA SPIC_POCI EPWM15_A LINA_TX EMIF1_D12	0、4、8、12 1 2 3 5 6 7 9 10 11 13 14 15		64		I/O I O I O I O I/OD I/O O O O I/O	通用输入/输出 215。该引脚还具有模拟功能 SCI-A 接收数据 外部存储器接口 1 芯片选择 4 CAN-A 接收 输出 X-BAR 输出 5 eQEP-3 输入 A SDFM-2 通道 3 数据输入 外部存储器接口 1 芯片选择 2 I2C-B 开漏双向数据 SPI-C 外设输出控制器输入 (POCI) ePWM-15 输出 A LIN-A 发送 外部存储器接口 1 数据线 12
GPIO216 SCIA_TX EMIF1_SDCKE SPID_CLK OUTPUTXBAR6 EQEP3_B SD2_C3 EMIF1_CS3n ESC_LATCH0 ESC_I2C_SDA EPWM15_B ESC_SYNC0 EMIF1_D13	0、4、8、12 1 2 3 5 6 7 9 10 11 13 14 15		65		I/O O O I/O O I O I I/OC O O I/O	通用输入/输出 216。该引脚还具有模拟功能 SCI-A 发送数据 外部存储器接口 1 SDRAM 时钟使能 SPI-D 时钟 输出 X-BAR 输出 6 eQEP-3 输入 B SDFM-2 通道 3 时钟输入 外部存储器接口 1 芯片选择 3 EtherCAT 门锁信号输入 0 EtherCAT I2C 数据 ePWM-15 输出 B EtherCAT 同步信号输出 0 外部存储器接口 1 数据线 13
GPIO217 CAN_A_TX EMIF1_WEn MCAN_A_TX OUTPUTXBAR8 EQEP3_INDEX SD2_C4 EMIF1_RNW I2CA_SDA SPID_PTE EPWM16_B LINB_TX SPID_POCI	0、4、8、12 1 2 3 5 6 7 9 10 11 13 14 15		66		I/O O O O O I/O I O I/OD I/O O O I/O	通用输入/输出 217。该引脚还具有模拟功能 CAN-A 发送 外部存储器接口 1 写入使能 CAN/CAN FD-A 传输 输出 X-BAR 输出 8 eQEP-3 索引 SDFM-2 通道 4 时钟输入 外部存储器接口 1 读/不写 I2C-A 开漏双向数据 SPI-D 外设发送使能 (PTE) ePWM-16 输出 B LIN-B 发送 SPI-D 外设输出控制器输入 (POCI)

表 5-1.引脚属性 (续)

名称	终端			I/O/Z(1)	说明	
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号			PZP 引脚编号
GPIO218 I2CA_SDA EMIF1_CS0n SPIA_PICO EQEP4_A LINB_TX CLB_OUTPUTXBAR1 EMIF1_OEn I2CA_SCL SPID_CLK	0、4、8、12 1 2 3 5 6 7 9 10 15		67		I/O I/OD O I/O I O O O O I/OD I/O	通用输入/输出 218。该引脚还具有模拟功能 I2C-A 开漏双向数据 外部存储器接口 1 芯片选择 0 SPI-A 外设输入控制器输出 (PICO) eQEP-4 输入 A LIN-B 发送 CLB 输出 X-BAR 输出 1 外部存储器接口 1 输出使能 I2C-A 开漏双向时钟 SPI-D 时钟
GPIO219 EQEP6_INDEX EPWM8_B SD4_C4 ESC_LED_RUN	0、4、8、12 1 2 6 14		61		I/O I/O O I O	通用输入/输出 219。该引脚还具有模拟功能 eQEP-6 索引 ePWM-8 输出 B SDFM-4 通道 4 时钟输入 EtherCAT 运行 LED
GPIO220 EPWM6_A SPID_POCI OUTPUTXBAR2 SCIB_TX MCANA_TX PMBUSA_ALERT X1	0、4、8、12 2 3 5 6 7 15 ALT		123		I/O O I/O O O O I/OD I/O	通用输入/输出 220 ePWM-6 输出 A SPI-D 外设输出控制器输入 (POCI) 输出 X-BAR 输出 2 SCI-B 发送数据 CAN/CAN FD-A 传输 PMBus-A 开漏双向警报信号 晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。
GPIO221 EPWM6_B SPID_PTE OUTPUTXBAR3 SCIB_RX MCANA_RX PMBUSA_CTL X2	0、4、8、12 2 3 5 6 7 15 ALT		121		I/O O I/O O I I I/O I/O	通用输入/输出 221 ePWM-6 输出 B SPI-D 外设发送使能 (PTE) 输出 X-BAR 输出 3 SCI-B 接收数据 CAN/CAN FD-A 接收 PMBus-A 控制信号 - 目标输入/控制器输出 晶体振荡器输出。
GPIO222 TDI  EPWM7_A SPIA_PICO OUTPUTXBAR4 SCIA_RX UARTB_TX I2CA_SDA SPIC_CLK ESC_PDI_UC_IRQ PMBUSA_SDA	0、4、8、12 1  2 3 5 6 7 9 10 14 15		77		I/O I  O I/O O I I/O I/O O I/OD	通用输入/输出 222 带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器 (指令或数据) 中计时。 ePWM-7 输出 A SPI-A 外设输入控制器输出 (PICO) 输出 X-BAR 输出 4 SCI-A 接收数据 UART-B 串行数据发送 I2C-A 开漏双向数据 SPI-C 时钟 EtherCAT PDI IRQ 中断线路 PMBus-A 开漏双向数据
GPIO223 TDO  EPWM7_B EMIF1_A11 OUTPUTXBAR5 SCIA_TX UARTB_RX I2CA_SCL SPIC_PTE PMBUSA_SCL	0、4、8、12 1  2 3 5 6 7 9 10 15		78		I/O O  O O O I/O I/OD I/O I/OD	通用输入/输出 223 JTAG 扫描输出, 测试数据输出 (TDO)。所选寄存器 (指令或数据) 的内容在 TCK 下降沿从 TDO 移出。 ePWM-7 输出 B 外部存储器接口 1 地址线 11 输出 X-BAR 输出 5 SCI-A 发送数据 UART-B 串行数据接收 I2C-A 开漏双向时钟 SPI-C 外设发送使能 (PTE) PMBus-A 开漏双向时钟
GPIO224 ERRORSTS EMIF1_SDCKE XCLKOUT OUTPUTXBAR1 SD2_C1 ESC_PDI_UC_IRQ	0、4、8、12 1 2 3 5 13 14		92		I/O O O O O I O	通用输入/输出 224 错误状态输出。该信号需要一个外部下拉电阻。 外部存储器接口 1 SDRAM 时钟使能 外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。 输出 X-BAR 输出 1 SDFM-2 通道 1 时钟输入 EtherCAT PDI IRQ 中断线路

表 5-1.引脚属性 (续)

名称	终端				I/O/Z(1)	说明
	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
<b>复位</b>						
XRS			124		I/OD	器件复位 (输入) 和看门狗复位 (输出)。器件具有内置上电复位(POR)电路。在上电条件下, 此引脚由器件驱动为低电平。外部电路也可能驱动此引脚以使器件复位生效。当看门狗复位或 NMI 看门狗复位时, 此引脚也由 MCU 驱动为低电平。在看门狗复位期间, XRS 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRS 和 VDDIO 之间放置一个阻值为 2.2k $\Omega$ 至 10k $\Omega$ 的电阻器。如果在 XRS 和 VSS 之间放置一个电容器进行噪声滤除, 则该电容器的容值应为 100nF 或更小。当看门狗复位生效时, 这些值将能让看门狗在 512 个 OSCCLK 周期内正确地将 XRS 引脚驱动至 VOL。此引脚的输出缓冲器是一个有内部上拉电阻器的漏极开路。如果此引脚由外部器件驱动, 则应使用开漏器件进行驱动。
<b>无连接</b>						
NC			-			无连接。BGA 焊球处于电气开路状态, 未与裸片连接。
<b>JTAG, TEST</b>						
TCK			81		I	带有内部上拉电阻器的 JTAG 测试时钟
TMS			80		I	带有内部上拉电阻器的 JTAG 测试模式选择(TMS)。此串行控制输入在 TCK 上升沿被计时到 TAP 控制器。
VREGENZ			119		I	具有内部上拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。
<b>模拟、数字和 I/O 电源</b>						
VDD			16			1.2V 数字逻辑电源引脚。放置去耦电容器有两个选项。 • 选项 1 - 均匀分布: 以大约 20uF 的最小总电容在每个 VDD 引脚上均匀分配去耦电容。 • 选项 2 - 大容量电容: 在每个 VDD 引脚附近放置一个 1uF 电容器, 然后放置 20uF 的最小总电容的剩余部分, 作为 VDD 网络上的大容量电容。  去耦电容器的确切值应由您的系统电压调节解决方案确定。
			76			
			117			
			137			
VDDA			169			3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2 $\mu$ F 且连接至 VSSA 的去耦电容器。
			36			
			54			

表 5-1.引脚属性 (续)

终端					I/O/Z(1)	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
VDDIO			3			3.3V数字I/O电源引脚。在每个引脚上放置一个最小值为0.1μF的去耦电容器。去耦电容器的确切值应由您的系统电压调节解决方案决定。
			15			
			68			
			75			
			88			
			91			
			99			
			114			
			127			
			138			
			152			
	168					
VSS			PAD			数字接地
VSSA			34			模拟接地
			52			



### 5.3 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表5-2列出了拉动方向及其活动时间。默认情况下，GPIO引脚的上拉被禁用，可以通过软件启用。为了避免任何浮动的未绑定输入，引导ROM将在特定封装中对未绑定的GPIO引脚启用内部上拉。表5-2中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表 5-2. 带有内部上拉和下拉的引脚

引脚	复位 (XRS = 0)	器件引导	应用软件
GPIOx	禁用上拉	禁用上拉(1)	应用定义
GPIO222/TDI	禁用上拉		应用定义
GPIO223/TDO	禁用上拉		应用定义
TCK	上拉有效		
TMS	上拉有效		
XRSn	上拉有效		
其他引脚	上拉或下拉未存在		

(1)给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。



## 5.4 引脚复用

### 5.4.1 GPIO 多路复用引脚表

表 5-3 显示了GPIO多路复用引脚。每个引脚默认具有GPIO功能，可以通过设置 GPyGMUXn.GPIOz和GPyMUXn.GPIOz寄存器位来选择辅助功能。GPyGMUXn寄存器应在GPyMUXn之前配置，以避免交替的多路复用选择对GPIO产生瞬时脉冲。未显示栏和空白单元格保留为GPIO多路复用器设置。

表 5-3. GPIO 多路复用引脚

0,4,8,12	1	2	3	5	6	7	9	10	11	13	14	15	AL T
GPIO0(I/O)	EPWM1_A(O)			CLB_OUTPUTXBAR1(O)	I2CA_SDA(I/OD)		EMIF1_A13(O)	ESC_GPIO(I)		FSITXA_DO(O)			
GPIO1(I/O)	EPWM1_B(O)			CLB_OUTPUTXBAR2(O)	I2CA_SCL(I/OD)		EMIF1_A14(O)	ESC_GPIO1(I)		FSITXA_D1(O)			
GPIO2(I/O)	EPWM2_A(O)			OUTPUTXBAR1(O)	I2CB_SDA(I/OD)	UARTA_TX(I/O)	EMIF1_A15(O)	ESC_GPIO2(I)		FSITXA_CLK(O)			
GPIO3(I/O)	EPWM2_B(O)	OUTPUTXBAR2(O)		OUTPUTXBAR2(O)	I2CB_SCL(I/OD)	UARTA_RX(I/O)		ESC_GPIO3(I)		FSIRXA_D0(I)			
GPIO4(I/O)	EPWM3_A(O)			OUTPUTXBAR3(O)	CANA_TX(O)		MCANA_TX(O)	ESC_GPIO4(I)		FSIRXA_D1(I)			
GPIO5(I/O)	EPWM3_B(O)		OUTPUTXBAR3(O)	CLB_OUTPUTXBAR3(O)	CANA_RX(I)		MCANA_RX(I)	ESC_GPIO5(I)		FSIRXA_CLK(I)			
GPIO6(I/O)	EPWM4_A(O)	OUTPUTXBAR4(O)	EXTSYNC_OUT(O)	EQEP3_A(I)	MCANB_TX(O)	LINA_TX(O)	EMIF1_DQM0(O)	ESC_GPIO6(I)		FSITXB_DO(O)			
GPIO7(I/O)	EPWM4_B(O)		OUTPUTXBAR5(O)	EQEP3_B(I)	MCANB_RX(I)	LINA_RX(I)	EMIF1_DQM1(O)	ESC_GPIO7(I)		FSITXB_D1(O)			
GPIO8(I/O)	EPWM5_A(O)	EMIF1_RAS(O)	ADCSOCA(O)	EQEP3_STR_OBE(I/O)	SCIA_TX(O)	CLB_OUTPUTXBAR4(O)	MCANA_TX(O)	ESC_GPO0(O)		FSITXB_CLK(O)	FSITXA_D1(O)	FSIRXA_D0(I)	
GPIO9(I/O)	EPWM5_B(O)	SCIB_TX(O)	OUTPUTXBAR6(O)	EQEP3_IND_EX(I/O)	SCIA_RX(I)			ESC_GPO1(O)		FSIRXB_DO(I)	FSITXA_D0(O)	FSIRXA_CLK(I)	
GPIO10(I/O)	EPWM6_A(O)	EMIF1_CAS(O)	ADCSOCB(O)	EQEP1_A(I)	SCIB_TX(O)	SD4_C1(I)	MCANA_RX(I)	CLB_OUTPUTXBAR5(O)	ESC_TX0_DATA0(O)	FSIRXB_D1(I)	FSITXA_CLK(O)	FSIRXA_D1(I)	
GPIO11(I/O)	EPWM6_B(O)	SCIB_RX(I)	OUTPUTXBAR7(O)	EQEP1_B(I)	SCIB_RX(I)	SD4_D1(I)		ESC_GPO3(O)	ESC_TX0_DATA1(O)	FSIRXB_CLK(I)	FSIRXA_D1(I)	PMBUSA_ALERT(I/OD)	
GPIO12(I/O)	EPWM7_A(O)	CLB_OUTPUTXBAR6(O)	ADCSOCA(O)	EQEP1_STR_OBE(I/O)	SCIA_TX(O)	SD4_C2(I)	EMIF1_A1(O)	ESC_GPO4(O)	ESC_TX0_DATA2(O)	FSIRXC_DO(I)	FSIRXA_D0(I)	PMBUSA_CTL(I/O)	
GPIO13(I/O)	EPWM7_B(O)	CLB_OUTPUTXBAR7(O)	EQEP5_STROBE(I/O)	EQEP1_IND_EX(I/O)	SCIA_RX(I)	SD4_D2(I)	EMIF1_CS0n(O)	ESC_GPO5(O)	ESC_TX0_DATA3(O)	FSIRXC_D1(I)	FSIRXA_CLK(I)	PMBUSA_SDA(I/OD)	

GPIO14 (I/O)	EPWM8_A (O)	SCIB_TX(O)	EQEP5_IN DEX(I/O)	LINA_TX(O)	OUTPUTXB AR3(O)	OUTPUTXB AR8(O)		ESC_GPO6(O)	ESC_PHY1_LI NKSTATUS(I)	FSIRXC _CLK(I)	EMIF1_D17(I/O)	PMBUSA_SC L(I/OD)	
GPIO15 (I/O)	EPWM8_B(O)	SCIB_RX(I)		LINA_RX(I)	OUTPUTXB AR4(O)	CLB_OUTPU TXBAR8(O)		ESC_GPO7(O)	EQEP5_A(I)	FSIRXD _D0(I)		EMIF1_DQM 2(O)	
GPIO16 (I/O)	SPIA_PICO (I/O)		OUTPUTX BAR7(O)	EPWM9_A(O)		SD1_D1(I)			EQEP5_B(I)	FSIRXD _D1(I)		ESC_RX1_CL K(I)	
GPIO17 (I/O)	SPIA_POCI (I/O)		OUTPUTX BAR8(O)	EPWM9_B(O)		SD1_C1(I)			EQEP5_STRO BE(I/O)	FSIRXD _CLK(I)		ESC_RX1_DV (I)	
GPIO18 (I/O)	SPIA_CLK(I /O)	SCIB_TX(O)	CANA_RX(I)	EPWM10_A(O)		SD1_D2(I)	MCANA_RX (I)	EMIF1_CS2n(O)	EQEP5_INDE X(I/O)			ESC_RX1_ER R(I)	
GPIO19 (I/O)	SPIA_PTE(I /O)	SCIB_RX(I)	CANA_TX(O)	EPWM10_B(O)		SD1_C2(I)	MCANA_TX (O)	EMIF1_CS3n(O)				ESC_TX1_DA TA3(O)	
GPIO20 (I/O)	EQEP1_A(I )			EPWM11_A(O)		SD1_D3(I)	MCANB_TX (O)	EMIF1_BA0(O)			SPIC_PICO(I/O )	ESC_TX1_DA TA2(O)	
GPIO21 (I/O)	EQEP1_B(I)			EPWM11_B(O)		SD1_C3(I)	MCANB_RX (I)	EMIF1_BA1(O)			SPIC_POCI(I/O )	ESC_TX1_DA TA1(O)	
GPIO22 (I/O)	EQEP1_ST ROBE(I/O)		SCIB_TX(O )	EPWM12_A(O)	SPIB_CLK(I/ O)	SD1_D4(I)	MCANA_TX (O)	EMIF1_RAS(O)			SPIC_CLK(I/O)	ESC_TX1_DA TA0(O)	
GPIO23 (I/O)	EQEP1_IN DEX(I/O)		SCIB_RX(I)	EPWM12_B(O)	SPIB_PTE(I/ O)	SD1_C4(I)	MCANA_RX (I)	EMIF1_CAS(O)			SPIC_PTE(I/O)	ESC_PHY_RE SETn(O)	
GPIO24 (I/O)	OUTPUTX BAR1(O)	EQEP2_A(I)		LINB_TX(O)	SPIB_PICO(I /O)	SD2_D1(I)	PMBUSA_S CL(I/OD)	EMIF1_DQM0(O)		EPWM1 3_A(O)	ESC_RX0_DAT A1(I)	ESC_RX0_CL K(I)	
GPIO25 (I/O)	OUTPUTX BAR2(O)	EQEP2_B(I)		LINB_RX(I)	SPIB_POCI(I /O)	SD2_C1(I)	PMBUSA_S DA(I/OD)	EMIF1_DQM1(O)	EQEP5_B(I)	EPWM1 3_B(O)	FSITXA_D1(O)	ESC_RX0_DV (I)	
GPIO26 (I/O)	OUTPUTX BAR3(O)	EQEP2_IND EX(I/O)		OUTPUTXB AR3(O)	SPIB_CLK(I/ O)	SD2_D2(I)	PMBUSA_A LERT(I/OD)	EMIF1_DQM2(O)	ESC_MDIO_C LK(O)	EPWM1 4_A(O)	FSITXA_D0(O)	ESC_RX0_ER R(I)	
GPIO27 (I/O)	OUTPUTX BAR4(O)	EQEP2_STR OBE(I/O)		OUTPUTXB AR4(O)	SPIB_PTE(I/ O)	SD2_C2(I)	PMBUSA_C TL(I/O)	EMIF1_DQM3(O)	ESC_MDIO_D ATA(I/O)	EPWM1 4_B(O)	FSITXA_CLK(O )	ESC_RX0_DA TA0(I)	
GPIO28 (I/O)	SCIA_RX(I)	EMIF1_CS4n(O)	UARTA_RX (I/O)	OUTPUTXB AR5(O)	EQEP3_A(I)	SD2_D3(I)	EMIF1_CS2 n(O)			EPWM1 5_A(O)		ESC_RX0_DA TA1(I)	
GPIO29 (I/O)	SCIA_TX(O )	EMIF1_SDC KE(O)	UARTA_TX (I/O)	OUTPUTXB AR6(O)	EQEP3_B(I)	SD2_C3(I)	EMIF1_CS3 n(O)	ESC_LATCH0(I )	ESC_I2C_SDA (I/OC)	EPWM1 5_B(O)	ESC_SYNC0(O )	ESC_RX0_DA TA2(I)	
GPIO30 (I/O)	CANA_RX(I)	EMIF1_CLK(O)	MCANA_R X(I)	OUTPUTXB AR7(O)	EQEP3_STR OBE(I/O)	SD2_D4(I)	EMIF1_CS4 n(O)	ESC_LATCH1(I )	ESC_I2C_SCL( I/OC)	EPWM1 6_A(O)	ESC_SYNC1(O )	SPID_PICO(I/ O)	
GPIO31 (I/O)	CANA_TX(O)	EMIF1_WEn(O)	MCANA_T X(O)	OUTPUTXB AR8(O)	EQEP3_IND EX(I/O)	SD2_C4(I)	EMIF1_RN W(O)	I2CA_SDA(I/O D)		EPWM1 6_B(O)		SPID_POCI(I/ O)	
GPIO32 (I/O)	I2CA_SDA( I/OD)	EMIF1_CS0n(O)	SPIA_PICO (I/O)	EQEP4_A(I)	LINB_TX(O)	CLB_OUTPU TXBAR1(O)	EMIF1_OEn(O)	I2CA_SCL(I/O D)				SPID_CLK(I/ O)	
GPIO33 (I/O)	I2CA_SCL(I /OD)	EMIF1_RNW(O)	SPIA_POCI (I/O)	EQEP4_B(I)		CLB_OUTPU TXBAR2(O)	EMIF1_BA0(O)		ESC_LED_ERR (O)			SPID_PTE(I/O )	
GPIO34 (I/O)	OUTPUTX BAR1(O)	EMIF1_CS2n(O)	SPIA_CLK(I /O)	EQEP4_STR OBE(I/O)	I2CB_SDA(I/ OD)	CLB_OUTPU TXBAR3(O)	EMIF1_BA1(O)	ESC_LATCH0(I )	EPWM18_A(O)	SCIA_T X(O)	ESC_SYNC0(O )		

GPIO35 (I/O)	SCIA_RX(I)	EMIF1_CS3n (O)	SPIA_PTE(I /O)	EQEP4_IND EX(I/O)	I2CB_SCL(I/ OD)	CLB_OUTPU TXBAR4(O)	EMIF1_A0( O)	ESC_LATCH1(I )	EPWM18_B( O)	SCIA_R X(I)	ESC_SYNC1(O )		
GPIO36 (I/O)	SCIA_TX(O )	EMIF1_WAIT (I)			CANA_RX(I)	CLB_OUTPU TXBAR5(O)	EMIF1_A1( O)	MCANA_RX(I)		SD1_D1 (I)	EMIF1_WEn(O )		
GPIO37 (I/O)	OUTPUTX BAR2(O)	EMIF1_OEn( O)	EPWM18_ A(O)		CANA_TX( O)	CLB_OUTPU TXBAR6(O)	EMIF1_A2( O)	MCANA_TX(O )		SD1_D2 (I)	EMIF1_D24(I/ O)		
GPIO38 (I/O)		EMIF1_A0(O )	EPWM18_ B(O)	UARTA_TX(I /O)	SCIB_TX(O)	CLB_OUTPU TXBAR7(O)	EMIF1_A3( O)			SD1_D3 (I)	EMIF1_CS2n( O)		
GPIO39 (I/O)		EMIF1_A1(O )		UARTA_RX(I /O)	SCIB_RX(I)	CLB_OUTPU TXBAR8(O)	EMIF1_A4( O)	ESC_MDIO_D ATA(I/O)	ESC_LED_RU N(O)	SD1_D4 (I)	FSIRXD_CLK(I)		
GPIO40 (I/O)		EMIF1_A2(O )	EPWM13_ A(O)	MCANB_RX( I)	I2CB_SDA(I/ OD)	SD4_C3(I)	ESC_GPO2( O)	CLB_OUTPUT XBAR1(O)		SD2_C1 (I)	ESC_I2C_SDA( I/OC)		
GPIO41 (I/O)		EMIF1_A3(O )	EPWM13_ B(O)	MCANB_TX( O)	I2CB_SCL(I/ OD)	SD4_D3(I)		CLB_OUTPUT XBAR2(O)		SD2_D1 (I)	ESC_I2C_SCL(I /OC)	FSIRXD_CLK( I)	
GPIO42 (I/O)			EPWM14_ A(O)	EQEP4_A(I)	I2CA_SDA(I /OD)	SD4_C4(I)		CLB_OUTPUT XBAR5(O)	UARTA_TX(I/ O)		FSIRXD_D0(I)	SCIA_TX(O)	
GPIO43 (I/O)			EPWM14_ B(O)	EQEP4_B(I)	I2CA_SCL(I/ OD)	SD4_D4(I)		CLB_OUTPUT XBAR6(O)	UARTA_RX(I/ O)		FSIRXD_D1(I)	SCIA_RX(I)	
GPIO44 (I/O)	SPID_POCI (I/O)	EMIF1_A4(O )	MCANB_R X(I)		SD3_C4(I)	UARTB_TX(I /O)		CLB_OUTPUT XBAR6(O)		FSIRXD _CLK(I)	ESC_TX1_CLK( I)		
GPIO45 (I/O)	SPID_PTE(I /O)	EMIF1_A5(O )	MCANB_T X(O)		SD3_D4(I)	UARTB_RX(I /O)		CLB_OUTPUT XBAR7(O)			ESC_TX1_ENA (I/O)		
GPIO46 (I/O)	EPWM4_A (O)	EMIF1_A6(O )	EPWM14_ A(O)		SCIA_RX(I)	SD3_C4(I)					ESC_MDIO_CL K(O)		
GPIO47 (I/O)	EPWM4_B( O)	EMIF1_A7(O )	EPWM14_ B(O)		SCIA_TX(O)	SD4_C3(I)					ESC_MDIO_D ATA(I/O)		
GPIO48 (I/O)	OUTPUTX BAR3(O)	EMIF1_A8(O )			SCIA_TX(O)	SD1_D1(I)				SD2_C2 (I)	ESC_PHY_CLK( O)		
GPIO49 (I/O)	OUTPUTX BAR4(O)	EMIF1_A9(O )			SCIA_RX(I)	SD1_C1(I)	EMIF1_A5( O)			SD2_D1 (I)	FSITXA_D0(O)		
GPIO50 (I/O)	EQEP1_A(I )	EMIF1_A10( O)	EPWM15_ A(O)		SPIC_PICO(I /O)	SD1_D2(I)	EMIF1_A6( O)		ESC_LATCH0( I)	SD2_D2 (I)	FSITXA_D1(O)		
GPIO51 (I/O)	EQEP1_B(I)	EMIF1_A11( O)	EPWM15_ B(O)		SPIC_POCI(I /O)	SD1_C2(I)	EMIF1_A7( O)		ESC_LATCH1( I)	SD2_D3 (I)	FSITXA_CLK(O )		
GPIO52 (I/O)	EQEP1_ST ROBE(I/O)	EMIF1_A12( O)	EPWM16_ A(O)		SPIC_CLK(I/ O)	SD1_D3(I)	EMIF1_A8( O)		ESC_MDIO_C LK(O)	SD2_D4 (I)	FSIRXA_D0(I)		
GPIO53 (I/O)	EQEP1_IN DEX(I/O)	EMIF1_D31(I /O)			SPIC_PTE(I/ O)	SD1_C3(I)	EMIF1_A9( O)		ESC_MDIO_D ATA(I/O)	SD1_C1 (I)	FSIRXA_D1(I)		
GPIO54 (I/O)	SPIA_PICO (I/O)	EMIF1_D30(I /O)		EQEP2_A(I)	SCIB_TX(O)	SD1_D4(I)	EMIF1_A10( O)		ESC_PHY_CLK (O)	SD1_C2 (I)	FSIRXA_CLK(I)		
GPIO55 (I/O)	SPIA_POCI (I/O)	EMIF1_D29(I /O)	EPWM16_ B(O)	EQEP2_B(I)	SCIB_RX(I)	SD1_C4(I)	EMIF1_D0(I /O)		ESC_PHY0_LI NKSTATUS(I)	SD1_C3 (I)	FSITXB_D0(O)		

GPIO56 (I/O)	SPIA_CLK(I/O)	EMIF1_D28(I/O)	EPWM17_A(O)	EQEP2_STR_OBE(I/O)		SD2_D1(I)	EMIF1_D1(I/O)	I2CA_SDA(I/O D)	ESC_TX0_ENA(I/O)	SD1_C4 (I)	FSITXB_CLK(O)		
GPIO57 (I/O)	SPIA_PTE(I/O)	EMIF1_D27(I/O)	EPWM17_B(O)	EQEP2_IND_EX(I/O)		SD2_C1(I)	EMIF1_D2(I/O)	I2CA_SCL(I/O D)	ESC_TX0_CLK(I)	SD3_D3 (I)	FSITXB_D1(O)		
GPIO58 (I/O)	SPIA_PICO (I/O)	EMIF1_D26(I/O)	EPWM8_A(O)	OUTPUTXB_AR1(O)	SPIB_CLK(I/O)	SD2_D2(I)	EMIF1_D3(I/O)	ESC_LED_LINK0_ACTIVE(O)	CANA_RX(I)	SD2_C2 (I)	FSIRXB_D0(I)	SPIA_PICO(I/O)	
GPIO59 (I/O)	EPWM5_A(O)	EMIF1_D25(I/O)	EPWM8_B(O)	OUTPUTXB_AR2(O)	SPIB_PTE(I/O)	SD2_C2(I)	EMIF1_D4(I/O)	ESC_LED_LINK1_ACTIVE(O)	CANA_TX(O)	SD2_C3 (I)	FSIRXB_D1(I)	SPIA_POCI(I/O)	
GPIO60 (I/O)	EPWM3_B(O)	EMIF1_D24(I/O)	ESC_LATC_H0(I)	OUTPUTXB_AR3(O)	SPIB_PICO(I/O)	SD2_D3(I)	EMIF1_D5(I/O)	ESC_LED_ERR(O)		SD2_C4 (I)	FSIRXB_CLK(I)	SPIA_CLK(I/O)	
GPIO61 (I/O)	EPWM17_B(O)	EMIF1_D23(I/O)	ESC_LATC_H1(I)	OUTPUTXB_AR4(O)	SPIB_POCI(I/O)	SD2_C3(I)	EMIF1_D6(I/O)	ESC_LED_RUN(O)			CANA_RX(I)	SPIA_PTE(I/O)	
GPIO62 (I/O)	SCIA_RX(I)	EMIF1_D22(I/O)	ESC_MDIO_CLK(O)	EQEP3_A(I)	CANA_RX(I)	SD2_D4(I)	EMIF1_D7(I/O)	ESC_LED_STATE_RUN(O)			CANA_TX(O)		
GPIO63 (I/O)	SCIA_TX(O)	EMIF1_D21(I/O)	EPWM9_A(O)	EQEP3_B(I)	CANA_TX(O)	SD2_C4(I)	EMIF1_RNW(O)	EMIF1_BA0(O)		SD1_D1 (I)	ESC_RX1_DAT_A0(I)	SPIB_PICO(I/O)	
GPIO64 (I/O)		EMIF1_D20(I/O)	EPWM9_B(O)	EQEP3_STR_OBE(I/O)	SCIA_RX(I)		EMIF1_WAIT(I)	EMIF1_BA1(O)		SD1_C1 (I)	ESC_RX1_DAT_A1(I)	SPIB_POCI(I/O)	
GPIO65 (I/O)		EMIF1_D19(I/O)	EPWM10_A(O)	EQEP3_IND_EX(I/O)	SCIA_TX(O)		EMIF1_WEn(O)		FSITXB_CLK(O)	SD1_D2 (I)	ESC_RX1_DAT_A2(I)	SPIB_CLK(I/O)	
GPIO66 (I/O)	EQEP6_B(I)	EMIF1_D18(I/O)	EPWM10_B(O)		I2CB_SDA(I/OD)		EMIF1_OEn(O)		FSITXB_D1(O)	SD1_C2 (I)	ESC_RX1_DAT_A3(I)	SPIB_PTE(I/O)	
GPIO67 (I/O)		EMIF1_D17(I/O)	EPWM17_A(O)	LINB_TX(O)					ESC_I2C_SDA(I/OC)	SD1_D3 (I)			
GPIO68 (I/O)		EMIF1_D16(I/O)	EPWM17_B(O)	LINB_RX(I)					ESC_I2C_SCL(I/OC)	SD1_C3 (I)	ESC_PHY1_LI_NKSTATUS(I)		
GPIO69 (I/O)		EMIF1_D15(I/O)	EPWM11_A(O)		I2CB_SCL(I/OD)				FSITXB_D0(O)	SD1_D4 (I)	ESC_RX1_CLK(I)	SPIB_PICO(I/O)	
GPIO70 (I/O)		EMIF1_D14(I/O)	EPWM11_B(O)	CANA_RX(I)	SCIB_TX(O)	UARTB_TX(I/O)	MCANA_RX(I)		FSIRXB_D0(I)	SD1_C4 (I)	ESC_RX1_DV(I)	SPIB_POCI(I/O)	
GPIO71 (I/O)		EMIF1_D13(I/O)	EPWM12_A(O)	CANA_TX(O)	SCIB_RX(I)	UARTB_RX(I/O)	MCANA_TX(O)			SD3_D1 (I)	ESC_RX1_ERR(I)	SPIB_CLK(I/O)	
GPIO72 (I/O)	EQEP6_STROBE(I/O)	EMIF1_D12(I/O)	EPWM12_B(O)	OUTPUTXB_AR8(O)	UARTA_TX(I/O)		MCANB_RX(I)			SD3_C1 (I)	ESC_TX1_DAT_A3(O)	SPIB_PTE(I/O)	
GPIO73 (I/O)	EQEP6_INDEX(I/O)	EMIF1_D11(I/O)	XCLKOUT(O)	OUTPUTXB_AR6(O)	UARTA_RX(I/O)	EPWM5_B(O)	MCANB_TX(O)	SD4_D4(I)		SD2_D2 (I)	ESC_TX1_DAT_A2(O)		
GPIO74 (I/O)	EPWM8_A(O)	EMIF1_D10(I/O)			EQEP5_A(I)		MCANA_TX(O)	SD1_D4(I)		SD2_C2 (I)	ESC_TX1_DAT_A1(O)		
GPIO75 (I/O)	EPWM8_B(O)	EMIF1_D9(I/O)			EQEP5_B(I)	SPID_CLK(I/O)	MCANA_RX(I)	CLB_OUTPUT_XBAR8(O)		SD2_D3 (I)	ESC_TX1_DAT_A0(O)		
GPIO76 (I/O)	EPWM9_A(O)	EMIF1_D8(I/O)			EQEP5_STR_OBE(I/O)	SD3_C1(I)		SD4_D4(I)		SD2_C3 (I)	ESC_PHY_RES ETn(O)		

GPIO77 (I/O)	EPWM9_B(O)	EMIF1_D7(I/O)			EQEP5_IND EX(I/O)	SD3_D1(I)		SD1_D4(I)		SD2_D4 (I)	ESC_RX0_CLK(I)		
GPIO78 (I/O)	EPWM10_A(O)	EMIF1_D6(I/O)			EQEP2_A(I)	SD3_C2(I)		SD4_D4(I)		SD2_C4 (I)	ESC_RX0_DV(I)		
GPIO79 (I/O)	EPWM10_B(O)	EMIF1_D5(I/O)		ERRORSTS(O)	EQEP2_B(I)	SD3_D2(I)				SD2_D1 (I)	ESC_RX0_ERR(I)		
GPIO80 (I/O)	EPWM11_A(O)	EMIF1_D4(I/O)		ERRORSTS(O)	EQEP2_STR OBE(I/O)	SD3_C3(I)		SD1_D4(I)		SD2_C1 (I)	ESC_RX0_DAT A0(I)		
GPIO81 (I/O)	EPWM11_B(O)	EMIF1_D3(I/O)			EQEP2_IND EX(I/O)	SD3_D3(I)					ESC_RX0_DAT A1(I)		
GPIO82 (I/O)	EPWM12_A(O)	EMIF1_D2(I/O)								SD3_C2 (I)	ESC_RX0_DAT A2(I)		
GPIO83 (I/O)	EPWM12_B(O)	EMIF1_D1(I/O)								SD3_D2 (I)	ESC_RX0_DAT A3(I)		
GPIO84 (I/O)	EPWM12_B(O)	EMIF1_D1(I/O)	EMIF1_CS 4n(O)	SCIA_TX(O)	EQEP6_A(I)		SD3_D2(I)		UARTA_TX(I/O)	SD3_C2 (I)	ESC_TX0_ENA (I/O)	ESC_RX0_DA TA3(I)	
GPIO85 (I/O)	EPWM13_A(O)	EMIF1_D0(I/O)		SCIA_RX(I)	EQEP6_B(I)	SD3_D1(I)			UARTA_RX(I/O)	SD3_D3 (I)	ESC_TX0_CLK(I)	EMIF1_DQM 2(O)	
GPIO86 (I/O)	EPWM13_B(O)	EMIF1_A13(O)	EMIF1_CAS(O)	SCIB_TX(O)	EQEP6_STR OBE(I/O)					SD3_C3 (I)	ESC_PHY0_LI NKSTATUS(I)		
GPIO87 (I/O)	EPWM14_A(O)	EMIF1_A14(O)	EMIF1_RAS(O)	SCIB_RX(I)	EQEP6_IND EX(I/O)		EMIF1_DQ M3(O)			SD3_D4 (I)	ESC_TX0_DAT A0(O)		
GPIO88 (I/O)	EPWM14_B(O)	EMIF1_A15(O)	EMIF1_DQ M0(O)				EMIF1_DQ M1(O)			SD3_C4 (I)	ESC_TX0_DAT A1(O)		
GPIO89 (I/O)	EPWM15_A(O)	EMIF1_A16(O)	EMIF1_DQ M1(O)			SD1_D3(I)	EMIF1_CAS(O)			SD4_D1 (I)	ESC_TX0_DAT A2(O)	SPID_PTE(I/O)	
GPIO90 (I/O)	EPWM15_B(O)	EMIF1_A17(O)	EMIF1_DQ M2(O)			SD1_C3(I)	EMIF1_RAS(O)			SD4_C1 (I)	ESC_TX0_DAT A3(O)	SPID_CLK(I/O)	
GPIO91 (I/O)	EPWM16_A(O)	EMIF1_A18(O)	EMIF1_DQ M3(O)		I2CA_SDA(I/OD)	SD4_D2(I)	EMIF1_DQ M2(O)	PMBUSA_SCL(I/OD)			CLB_OUTPUT XBAR1(O)	SPID_PICO(I/O)	
GPIO92 (I/O)	EPWM16_B(O)	EMIF1_A19(O)	EMIF1_BA 1(O)		I2CA_SCL(I/OD)	SD4_C2(I)	EMIF1_DQ M0(O)	PMBUSA_SDA (I/OD)	FSIRXD_CLK(I)		CLB_OUTPUT XBAR2(O)	SPID_POCI(I/O)	
GPIO93 (I/O)	EPWM17_A(O)		EMIF1_BA 0(O)			SD4_D3(I)		PMBUSA_ALE RT(I/OD)	ESC_TX1_CLK (I)		CLB_OUTPUT XBAR3(O)	SPID_CLK(I/O)	
GPIO94 (I/O)	EPWM17_B(O)					SD4_C3(I)	EMIF1_BA1(O)	PMBUSA_CTL(I/O)	ESC_TX1_EN A(I/O)		CLB_OUTPUT XBAR4(O)	SPID_PTE(I/O)	
GPIO95 (I/O)	EPWM18_A(O)	EQEP4_A(I)				SD1_D1(I)		ESC_GPO10(O)			CLB_OUTPUT XBAR5(O)		
GPIO96 (I/O)	EPWM18_B(O)	EQEP4_B(I)		EQEP1_A(I)	SD1_C1(I)			ESC_GPO11(O)			CLB_OUTPUT XBAR6(O)		
GPIO97 (I/O)		EQEP4_STR OBE(I/O)		EQEP1_B(I)	SD1_D2(I)			ESC_GPI17(I)			CLB_OUTPUT XBAR7(O)		

GPIO98 (I/O)		EQEP4_IND EX(I/O)		EQEP1_STR OBE(I/O)	SD1_C2(I)			ESC_GPI18(I)			CLB_OUTPUT XBAR8(O)		
GPIO99 (I/O)		EMIF1_DQM 3(O)	EPWM8_A (O)	EQEP1_IND EX(I/O)		SD4_D4(I)		ESC_GPI21(I)			EMIF1_D17(I/ O)		
GPIO10 0(I/O)	SPIA_PICO (I/O)	EMIF1_BA1( O)	EPWM9_A (O)	EQEP2_A(I)	SPIC_PICO(I/ O)	SD4_C4(I)	SD1_D1(I)	ESC_GPI0(I)	FSIRXD_D1(I)	FSITXA_ D0(O)	EMIF1_D24(I/ O)		
GPIO10 1(I/O)	EPWM18_ A(O)			EQEP2_B(I)	SPIC_POCI(I/ O)			ESC_GPI1(I)	EMIF1_A5(O)	FSITXA_ D1(O)			
GPIO10 2(I/O)	EPWM18_ B(O)			EQEP2_STR OBE(I/O)	SPIC_CLK(I/ O)			ESC_GPI2(I)	EMIF1_A6(O)	FSITXA_ CLK(O)			
GPIO10 3(I/O)		EMIF1_BA0( O)	EPWM8_B( O)	EQEP2_IND EX(I/O)	SPIC_PTE(I/ O)	SD4_C4(I)		ESC_GPI3(I)		FSIRXA_ _D0(I)			
GPIO10 4(I/O)	I2CA_SDA( I/OD)	EPWM18_A( O)		EQEP3_A(I)	SD3_D1(I)			ESC_GPI4(I)		FSIRXA_ _D1(I)	ESC_SYNC0(O )		
GPIO10 5(I/O)	I2CA_SCL(I /OD)	EPWM18_B( O)		EQEP3_B(I)	SD3_C1(I)			ESC_GPI5(I)		FSIRXA_ _CLK(I)	ESC_SYNC1(O )		
GPIO10 6(I/O)	EPWM16_ A(O)	EMIF1_A10( O)		EQEP3_STR OBE(I/O)	SD3_D2(I)			ESC_GPI6(I)		FSITXB_ D0(O)			
GPIO10 7(I/O)	EPWM16_ B(O)			EQEP3_IND EX(I/O)	SD3_C2(I)			ESC_GPI7(I)		FSITXB_ D1(O)			
GPIO10 8(I/O)	EPWM17_ A(O)	EMIF1_A12( O)		EQEP5_A(I)	SD3_D3(I)			ESC_GPI8(I)		FSITXB_ CLK(O)			
GPIO10 9(I/O)	EPWM17_ B(O)	EMIF1_A11( O)		EQEP5_B(I)	SD3_C3(I)			ESC_GPI9(I)					
GPIO11 0(I/O)	EMIF1_D3 1(I/O)			EQEP5_STR OBE(I/O)	SD3_D4(I)			ESC_GPI10(I)		FSIRXB_ D0(I)			
GPIO11 1(I/O)	EMIF1_D3 0(I/O)			EQEP5_IND EX(I/O)	SD3_C4(I)			ESC_GPI11(I)		FSIRXB_ D1(I)			
GPIO11 2(I/O)	EMIF1_D2 9(I/O)					SD1_D3(I)		ESC_GPI12(I)		FSIRXB_ CLK(I)			
GPIO11 3(I/O)	EMIF1_D2 8(I/O)					SD1_C3(I)		ESC_GPI13(I)					
GPIO11 4(I/O)	EMIF1_D2 7(I/O)					SD1_D4(I)		ESC_GPI14(I)					
GPIO11 5(I/O)	EMIF1_D2 6(I/O)			OUTPUTXB AR5(O)		SD1_C4(I)		ESC_GPI15(I)		FSIRXC_ _D0(I)			
GPIO11 6(I/O)				OUTPUTXB AR6(O)				ESC_GPI16(I)		FSIRXC_ _D1(I)			
GPIO11 9(I/O)	EMIF1_D2 5(I/O)			MCANB_TX( O)				ESC_GPI19(I)		FSIRXD_ _D1(I)			
GPIO12 0(I/O)	EMIF1_D2 4(I/O)			MCANB_RX( I)				ESC_GPI20(I)		FSIRXD_ _CLK(I)			

GPIO12 2(I/O)	EMIF1_D2 3(I/O)			SPIC_PICO(I/O)	SD1_D1(I)		ESC_GPI22(I)					
GPIO12 3(I/O)	EMIF1_D2 2(I/O)			SPIC_POCI(I/O)	SD1_C1(I)		ESC_GPI23(I)					
GPIO12 4(I/O)	EMIF1_D2 1(I/O)			SPIC_CLK(I/O)	SD1_D2(I)		ESC_GPI24(I)					
GPIO12 5(I/O)	EMIF1_D2 0(I/O)			SPIC_PTE(I/O)	SD1_C2(I)		ESC_GPI25(I)			ESC_LATCH0(I)		
GPIO12 6(I/O)	EMIF1_D1 9(I/O)			SPID_PICO(I/O)	SD1_D3(I)		ESC_GPI26(I)			ESC_LATCH1(I)		
GPIO12 7(I/O)	EMIF1_D1 8(I/O)			SPID_POCI(I/O)	SD1_C3(I)		ESC_GPI27(I)			ESC_SYNC0(O)		
GPIO12 8(I/O)	EMIF1_D1 7(I/O)			SPID_CLK(I/O)	SD1_D4(I)		ESC_GPI28(I)			ESC_SYNC1(O)		
GPIO12 9(I/O)	EMIF1_D1 6(I/O)			SPID_PTE(I/O)	SD1_C4(I)		ESC_GPI29(I)			ESC_TX1_ENA(I/O)		
GPIO13 0(I/O)	EPWM13_A(O)				SD2_D1(I)		ESC_GPI30(I)			ESC_TX1_CLK(I)		
GPIO13 1(I/O)	EPWM13_B(O)				SD2_C1(I)		ESC_GPI31(I)			ESC_TX1_DATA0(O)		
GPIO13 2(I/O)	EPWM14_A(O)				SD2_D2(I)		ESC_GPO0(O)			ESC_TX1_DATA1(O)		
GPIO13 3(I/O)	EMIF1_A1 1(O)	EPWM9_A(O)			SD2_C2(I)			ESC_LED_STATE_RUN(O)				
GPIO13 4(I/O)	EPWM14_B(O)				SD2_D3(I)		ESC_GPO1(O)		SD2_C1(I)	ESC_TX1_DATA2(O)		
GPIO14 1(I/O)	EPWM15_A(O)			SCIB_TX(O)			ESC_GPO8(O)			ESC_RX1_DATA2(I)		
GPIO14 2(I/O)	EPWM15_B(O)			SCIB_RX(I)			ESC_GPO9(O)			ESC_RX1_DATA3(I)		
GPIO14 5(I/O)	EPWM1_A(O)			MCANB_TX(O)			ESC_GPO12(O)			ESC_LED_ERR(O)		
GPIO14 6(I/O)	EPWM1_B(O)			MCANB_RX(I)			ESC_GPO13(O)			ESC_LED_RUN(O)		
GPIO14 7(I/O)	EPWM2_A(O)			EQEP5_A(I)			ESC_GPO14(O)			ESC_LED_STATE_RUN(O)		
GPIO14 8(I/O)	EPWM2_B(O)			EQEP5_B(I)			ESC_GPO15(O)			ESC_PHY0_LINKSTATUS(I)		
GPIO14 9(I/O)	EPWM3_A(O)			EQEP5_STR_OBE(I/O)			ESC_GPO16(O)			ESC_PHY1_LINKSTATUS(I)		
GPIO15 0(I/O)	EPWM3_B(O)			EQEP5_IND_EX(I/O)			ESC_GPO17(O)			ESC_I2C_SDA(I/OC)		

GPIO15 1(I/O)	EPWM4_A (O)				PMBUSA_S CL(I/OD)				ESC_GPO18(O )		FSITXA_ D0(O)	ESC_I2C_SCL(I /OC)		
GPIO15 2(I/O)	EPWM4_B( O)				PMBUSA_S DA(I/OD)				ESC_GPO19(O )		FSITXA_ D1(O)	ESC_MDIO_CL K(O)		
GPIO15 3(I/O)	EPWM5_A (O)				PMBUSA_A LERT(I/OD)				ESC_GPO20(O )		FSITXA_ CLK(O)	ESC_MDIO_D ATA(I/O)		
GPIO15 4(I/O)	EPWM5_B( O)				PMBUSA_C TL(I/O)				ESC_GPO21(O )		FSIRXA_ D0(I)	ESC_PHY_CLK( O)		
GPIO15 5(I/O)	EPWM6_A (O)								ESC_GPO22(O )		FSIRXA_ D1(I)	ESC_PHY_RES ETn(O)		
GPIO15 6(I/O)	EPWM6_B( O)								ESC_GPO23(O )		FSIRXA_ _CLK(I)	ESC_TX0_ENA (I/O)		
GPIO15 7(I/O)	EPWM7_A (O)								ESC_GPO24(O )		FSITXB_ D0(O)	ESC_TX0_CLK( I)		
GPIO15 8(I/O)	EPWM7_B( O)								ESC_GPO25(O )		FSITXB_ D1(O)	ESC_TX0_DAT A0(O)		
GPIO15 9(I/O)	EPWM8_A (O)								ESC_GPO26(O )		FSITXB_ CLK(O)	ESC_TX0_DAT A1(O)		
GPIO16 0(I/O)	EPWM8_B( O)								ESC_GPO27(O )		FSIRXB_ D0(I)	ESC_TX0_DAT A2(O)		
GPIO16 1(I/O)	EPWM9_A (O)								ESC_GPO28(O )		FSIRXB_ D1(I)	ESC_TX0_DAT A3(O)		
GPIO16 2(I/O)	EPWM9_B( O)								ESC_GPO29(O )		FSIRXB_ CLK(I)	ESC_RX0_DV(I )		
GPIO16 3(I/O)	EPWM10_ A(O)								ESC_GPO30(O )		FSIRXC_ _D0(I)	ESC_RX0_CLK( I)		
GPIO16 4(I/O)	EPWM10_ B(O)								ESC_GPO31(O )		FSIRXC_ _D1(I)	ESC_RX0_ERR( I)		
GPIO16 5(I/O)	EPWM11_ A(O)										FSIRXC_ _CLK(I)	ESC_RX0_DAT A0(I)		
GPIO16 6(I/O)	EPWM11_ B(O)										FSIRXD_ _D0(I)	ESC_RX0_DAT A1(I)		
GPIO16 7(I/O)	EPWM12_ A(O)										FSIRXD_ _D1(I)	ESC_RX0_DAT A2(I)		
GPIO16 8(I/O)	EPWM12_ B(O)										FSIRXD_ _CLK(I)	ESC_RX0_DAT A3(I)		
GPIO19 8(I/O)	EQEP1_A(I )	EPWM9_B( O)	SPIA_PICO (I/O)									ESC_PDI_UC_I RQ(O)		
GPIO19 9(I/O)	EQEP1_ST ROBE(I/O)	EPWM17_A( O)	SCIB_TX(O )	EPWM12_A( O)	SPIB_CLK(I/ O)	SD1_D4(I)	MCANA_TX (O)	EMIF1_RAS(O)				SPIC_CLK(I/O)		
GPIO20 0(I/O)	EQEP1_IN DEX(I/O)	EPWM17_B( O)	SCIB_RX(I)	EPWM12_B( O)	SPIB_PTE(I/ O)	SD1_C4(I)	MCANA_RX (I)	EMIF1_CAS(O)	ESC_TX1_DA TA1(O)			SPIC_PTE(I/O)		

GPIO20 1(I/O)	OUTPUTX BAR1(O)	EQEP2_A(I)	EPWM18_ A(O)	LINB_TX(O)	SPIB_PICO(I /O)	SD2_D1(I)	PMBUSA_S CL(I/OD)	EMIF1_DQM0(O)	ESC_TX1_DA TA2(O)	EPWM1 3_A(O)			
GPIO20 2(I/O)	OUTPUTX BAR2(O)	EQEP2_B(I)	EPWM18_ B(O)	LINB_RX(I)	SPIB_POCI(I /O)	SD2_C1(I)	PMBUSA_S DA(I/OD)	EMIF1_DQM1(O)	ESC_TX1_DA TA3(O)	EPWM1 3_B(O)	FSITXA_D1(O)		
GPIO20 3(I/O)	OUTPUTX BAR3(O)	EQEP2_IND EX(I/O)	SPIA_POCI (I/O)	OUTPUTXB AR3(O)	SPIB_CLK(I/ O)	SD3_D1(I)	PMBUSA_A LERT(I/OD)	EMIF1_DQM2(O)	ESC_MDIO_C LK(O)	EPWM1 4_A(O)	FSITXA_D0(O)	EPWM8_B(O )	
GPIO20 4(I/O)	OUTPUTX BAR4(O)	EQEP2_STR OBE(I/O)	SPIA_CLK(I /O)	OUTPUTXB AR4(O)	SPIB_PTE(I/ O)	SD2_C2(I)	PMBUSA_C TL(I/O)	EMIF1_DQM3(O)	ESC_MDIO_D ATA(I/O)	EPWM1 4_B(O)	FSITXA_CLK(O )	SD1_D3(I)	
GPIO20 5(I/O)	EQEP1_IN DEX(I/O)	EPWM10_A(O)	SPIA_PTE(I /O)						OUTPUTXBA R1(O)			SD1_C3(I)	
GPIO20 6(I/O)	EMIF1_A1 1(O)	EPWM10_B(O)	EMIF1_WE n(O)						OUTPUTXBA R2(O)		ESC_PHY_CLK(O)	ESC_LED_ST ATE_RUN(O)	
GPIO20 7(I/O)	EQEP2_A(I )	EPWM11_A(O)	EXTSYNC OUT(O)	CANA_TX(O )	SD4_D1(I)	SCIA_RX(I)	LINA_RX(I)	I2CB_SCL(I/O D)	OUTPUTXBA R3(O)		ESC_RX1_CLK(I)	PMBUSA_AL ERT(I/OD)	
GPIO20 8(I/O)	EQEP2_B(I)	EPWM11_B(O)	EMIF1_D1 3(I/O)	SPIB_PICO(I /O)	SD4_C1(I)	SCIA_TX(O)			OUTPUTXBA R4(O)		ESC_RX1_DV(I )	PMBUSA_CT L(I/O)	
GPIO20 9(I/O)	EQEP2_ST ROBE(I/O)	EPWM12_A(O)	EMIF1_D1 4(I/O)	SPIB_POCI(I /O)	SD4_D2(I)	EPWM12_B(O)		LINB_RX(I)	OUTPUTXBA R5(O)		ESC_RX1_ERR(I)	PMBUSA_SD A(I/OD)	
GPIO21 0(I/O)	EQEP2_IN DEX(I/O)	EPWM12_B(O)	EMIF1_D1 5(I/O)		SD4_C2(I)			LINB_TX(O)	OUTPUTXBA R6(O)		ESC_RX0_DAT A2(I)	PMBUSA_SC L(I/OD)	
GPIO21 1(I/O)	EQEP6_A(I )	EPWM14_A(O)			SD4_D3(I)				OUTPUTXBA R7(O)		ESC_LED_LINK 0_ACTIVE(O)		
GPIO21 2(I/O)	EQEP6_B(I)	EPWM14_B(O)			SD4_C3(I)						ESC_LED_LINK 1_ACTIVE(O)		
GPIO21 3(I/O)	EQEP6_ST ROBE(I/O)	EPWM8_A(O)			SD4_D4(I)			LINB_TX(O)			ESC_LED_ERR(O)		
GPIO21 4(I/O)	CANA_RX(I)	EMIF1_CLK(O)	MCANA_R X(I)	OUTPUTXB AR7(O)	EQEP3_STR OBE(I/O)	SD2_D4(I)	EMIF1_CS4 n(O)	ESC_LATCH1(I )	ESC_I2C_SCL(I/OC)	EPWM1 6_A(O)	ESC_SYNC1(O )	SPID_PICO(I/ O)	
GPIO21 5(I/O)	SCIA_RX(I)	EMIF1_CS4n(O)	CANA_RX(I)	OUTPUTXB AR5(O)	EQEP3_A(I)	SD2_D3(I)	EMIF1_CS2 n(O)	I2CB_SDA(I/O D)	SPIC_POCI(I/ O)	EPWM1 5_A(O)	LINA_TX(O)	EMIF1_D12(I /O)	
GPIO21 6(I/O)	SCIA_TX(O )	EMIF1_SDC KE(O)	SPID_CLK(I /O)	OUTPUTXB AR6(O)	EQEP3_B(I)	SD2_C3(I)	EMIF1_CS3 n(O)	ESC_LATCH0(I )	ESC_I2C_SDA(I/OC)	EPWM1 5_B(O)	ESC_SYNC0(O )	EMIF1_D13(I /O)	
GPIO21 7(I/O)	CANA_TX(O)	EMIF1_WEn(O)	MCANA_T X(O)	OUTPUTXB AR8(O)	EQEP3_IND EX(I/O)	SD2_C4(I)	EMIF1_RN W(O)	I2CA_SDA(I/O D)	SPID_PTE(I/O )	EPWM1 6_B(O)	LINB_TX(O)	SPID_POCI(I/ O)	
GPIO21 8(I/O)	I2CA_SDA(I/OD)	EMIF1_CS0n(O)	SPIA_PICO(I/O)	EQEP4_A(I)	LINB_TX(O)	CLB_OUTPU TXBAR1(O)	EMIF1_OEn(O)	I2CA_SCL(I/O D)				SPID_CLK(I/ O)	
GPIO21 9(I/O)	EQEP6_IN DEX(I/O)	EPWM8_B(O)			SD4_C4(I)						ESC_LED_RUN(O)		
GPIO22 0(I/O)		EPWM6_A(O)	SPID_POCI(I/O)	OUTPUTXB AR2(O)	SCIB_TX(O)	MCANA_TX(O)						PMBUSA_AL ERT(I/OD)	X1(I /O)
GPIO22 1(I/O)		EPWM6_B(O)	SPID_PTE(I/O)	OUTPUTXB AR3(O)	SCIB_RX(I)	MCANA_RX(I)						PMBUSA_CT L(I/O)	X2(I /O)

GPIO22 2(I/O)	TDI(I)	EPWM7_A(O)	SPIA_PICO(I/O)	OUTPUTXB AR4(O)	SCIA_RX(I)	UARTB_TX(I/O)	I2CA_SDA(I/OD)	SPIC_CLK(I/O)			ESC_PDI_UC_I RQ(O)	PMBUSA_SD A(I/OD)	
GPIO22 3(I/O)	TDO(O)	EPWM7_B(O)	EMIF1_A1 1(O)	OUTPUTXB AR5(O)	SCIA_TX(O)	UARTB_RX(I/O)	I2CA_SCL(I/OD)	SPIC_PTE(I/O)				PMBUSA_SC L(I/OD)	
GPIO22 4(I/O)	ERRORSTS (O)	EMIF1_SDC KE(O)	XCLKOUT(O)	OUTPUTXB AR1(O)						SD2_C1 (I)	ESC_PDI_UC_I RQ(O)		
AIO225(I)													
AIO226(I)													
AIO227(I)													
AIO228(I)													
AIO229(I)													
AIO230(I)													
AIO231(I)													
AIO232(I)													
AIO233(I)													
AIO234(I)													
AIO235(I)													
AIO236(I)													
AIO237(I)													
AIO238(I)													
AIO239(I)													
AIO240(I)													
AIO241(I)													
AIO242(I)													

### 5.4.2 ADC 引脚上的数字输入和输出 (AGPIO)

一些 GPIO 与模拟引脚进行多路复用，并具有数字输入和输出功能。这些也称为 AGPIO。与 AIO 不同，AGPIO 具有完整的输入和输出能力。默认情况下，AGPIO 未连接，必须进行配置。表 5-4 显示了如何配置 AGPIO。要启用模拟功能，请设置模拟子系统寄存器 AGPICTRLx。要启用数字功能，请设置通用输入/输出 (GPIO) 一章中的寄存器 GPxAMSEL。

表 5-4. 高速 SPI 的 GPIO 配置

AGPICTRLx.GPIOy (默认值 = 0)	GPxAMSEL.GPIOy (默认值 = 1)	引脚连接到:	
		ADC	GPIOy
0	0	-	是
0	1	-(1)	-(1)
1	0	-	是
1	1	是	-

(1) 默认情况下，没有信号连接到 AGPIO 引脚。必须选择表中的其他行之一来实现引脚功能。

#### 备注

如果将具有尖锐边缘（高  $dv/dt$ ）的数字信号连接到 AGPIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户必须限制连接到 AGPIO 的信号的边沿速率。

图 5-13 中说明了采用 AGPIO 实现方式的模拟子系统的一般原理图。需要特别注意特定模拟输入引脚的用例组合，如表 5-9 所示。AGPIO 模拟引脚路径包含一个额外的  $53\Omega$  串联开关。这会创建一个由 ADC 和 CMPSS 比较器共享的低电容隔离式节点，如图 5-13 所示。当 ADC 对通道进行采样时，该节点可能会受到干扰（取决于 ADC 采样保持电容器上先前存储的电压），这种干扰可能会导致高达  $50ns$  的错误 CMPSS 事件。如表 5-9 所示，对于 CMPSS 输入、ADC 采样和 AGPIO 的组合，需要使用特殊注意事项或权变措施。为了适应这种潜在的干扰，可以实施以下权变措施：

1. 对于同时需要 ADC 和 CMPSS 的模拟通道，使用不同的引脚（即 AIO 引脚类型）。
2. 使用设置为  $50ns$  或更大的 CMPSS 数字滤波器，从而滤除临时干扰。
3. 预处理 ADC 的采样保持电容器，从而使干扰不会导致误跳闸。例如，在读取受影响的通道之前，立即对 ADC 上不同通道的  $3.3V$  连接执行虚拟读取，从而使干扰为正向，远离误跳闸。如果误跳闸极性反转，则可以使用  $0V$  信号的反向虚拟读取。

表 5-5. 特定模拟输入引脚的用例组合

特定模拟引脚上使用的功能	使用的元件				
	是	-	是	-	是
CMPSS 比较器输入	是	-	是	-	是
ADC 采样	是	是	-	是	是
AGPIO 模拟引脚类型	是	是	是	-	-
AIO 模拟引脚类型	-	-	-	是	是
结果	需要权变措施		无需特殊分析或权变措施		

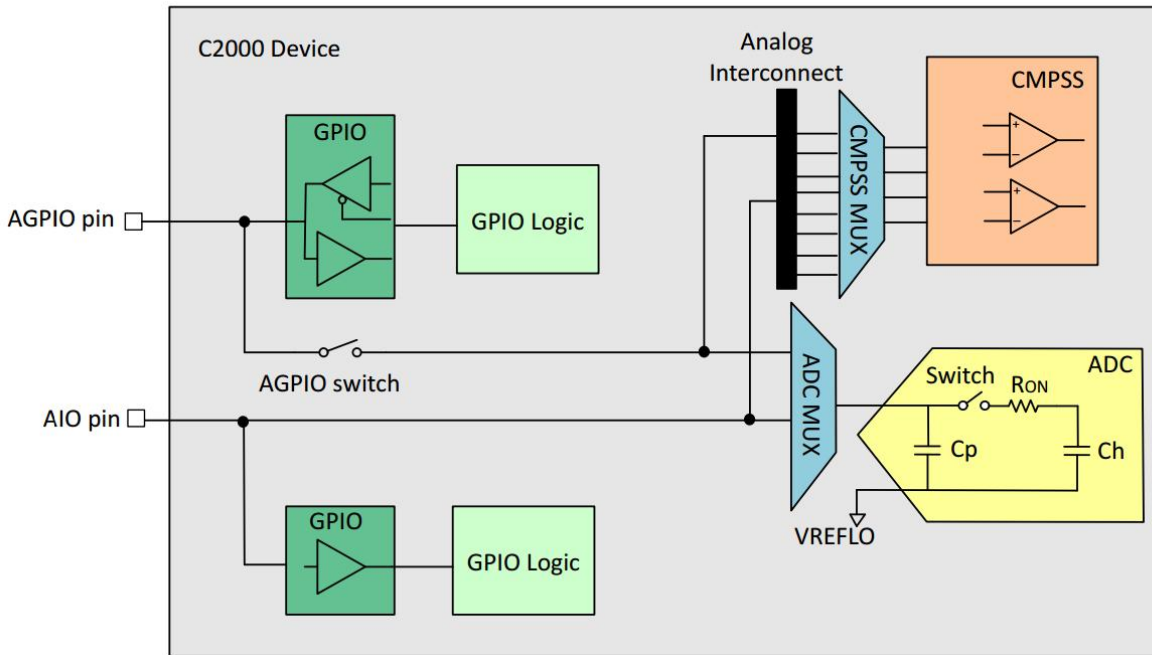


图 5-2. 具有 AGPIO 实现方式的模拟子系统方框图



### 5.4.3 高速SPI引脚多路复用

该器件上的 SPI 模块具有高速模式。为了实现尽可能高的速度，在每个 SPI 的单一 GPIO 多路复用器选项上使用了特殊的 GPIO 配置。在未处于高速模式 (HS\_MODE=0) 下，SPI 也可以使用这些 GPIO。

如需选择启用 SPI 高速模式的多路复用器选项，请配置 GPyGMUX 和 GPyMUX 寄存器，如表 5-6 所示。

表 5-6. 高速SPI的GPIO配置

GPIO	SPI 信号	多路复用器配置	
<b>SPIA</b>			
GPIO58	SPISIMOA	GPBGMUX2[21:20]=11b	GPBMUX2[21:20]=11b
GPIO59	SPISOMIA	GPBGMUX2[23:22]=11b	GPBMUX2[23:22]=11b
GPIO60	SPICLKA	GPBGMUX2[25:24]=11b	GPBMUX2[25:24]=11b
GPIO61	SPISTEA	GPBGMUX2[27:26]=11b	GPBMUX2[27:26]=11b
<b>SPIB</b>			
GPIO63	SPISIMOB	GPBGMUX2[31:30]=11b	GPBMUX2[31:30]=11b
GPIO64	SPISOMIB	GPCGMUX1[1:0]=11b	GPCMUX1[1:0]=11b
GPIO65	SPICLKB	GPCGMUX1[3:2]=11b	GPCMUX1[3:2]=11b
GPIO66	SPISTEB	GPCGMUX1[5:4]=11b	GPCMUX1[5:4]=11b
<b>SPIC</b>			
GPIO69	SPISIMOC	GPCGMUX1[11:10]=11b	GPCMUX1[11:10]=11b
GPIO70	SPISOMIC	GPCGMUX1[13:12]=11b	GPCMUX1[13:12]=11b
GPIO71	SPICLKC	GPCGMUX1[15:14]=11b	GPCMUX1[15:14]=11b
GPIO72	SPISTEC	GPCGMUX1[17:16]=11b	GPCMUX1[17:16]=11b
<b>SPID</b>			
GPIO91	SPISIMOD	GPCGMUX2[23:22]=11b	GPCMUX2[23:22]=11b
GPIO92	SPISOMID	GPCGMUX2[25:24]=11b	GPCMUX2[25:24]=11b
GPIO93	SPICLKD	GPCGMUX2[27:26]=11b	GPCMUX2[27:26]=11b
GPIO94	SPISTED	GPCGMUX2[29:28]=11b	GPCMUX2[29:28]=11b

## 5.5 未使用引脚的连接

对于无需使用QXS320F28P650所有功能的应用，表 5-7 列举了未使用引脚的可接受条件。表 5-7 中的引脚选择为复用时，其任意选择都是能接受的。表 5-7 未列举的引脚，必须根据节 5 所述进行连接。

表 5-7. 未使用引脚的连接

信号名称	可接受的做法
<b>模拟</b>	
VREFHx	连接至VDDA
VREFLOx	连接至VSSA
ADCINx (DAC 引脚除外)	<ul style="list-style-type: none"> <li>• 无连接</li> <li>• 连接至 VSSA</li> </ul>
ADCINx (DAC 引脚)	<ul style="list-style-type: none"> <li>• 无连接</li> <li>• 通过 5kΩ 电阻下拉至 VSSA</li> </ul>
<b>数字</b>	
GPIOx	<ul style="list-style-type: none"> <li>• 无连接 (启用内部上拉的输入模式)</li> <li>• 无连接 (禁用内部上拉的输出模式)</li> <li>• 上拉或下拉电阻器 (任意值电阻器, 输入模式, 禁用内部上拉)</li> </ul>
X1	连接至VSS
X2	无连接
TCK	<ul style="list-style-type: none"> <li>• 无连接</li> <li>• 上拉电阻器</li> </ul>
TDI	<ul style="list-style-type: none"> <li>• 无连接</li> <li>• 上拉电阻器</li> </ul>
TDO	无连接
TMS	无连接
ERRORSTS	无连接
<b>电源和接地</b>	
VDD	必须根据“引脚属性”表连接所有 VDD 引脚。
VDDA	如果未使用专用模拟电源, 则连接到VDDIO。
VDDIO	必须根据“引脚属性”表连接所有 VDD 引脚。
VSS	所有VSS 引脚必须连接到电路板接地。
VSSA	如果未使用专用模拟接地, 则连接到VSS。

## 6 规格

### 6.1 绝对最大值范围<sup>(1)(2)</sup>

在自然通风条件下的工作温度范围内（除非另有说明）

表 6-1.绝对最大值范围

参数		最小值	最大值	单位
电源电压	VDDIO以VSS为基准	-0.3	3.9	V
	VDDA以VSSA为基准	-0.3	3.9	
	VDD以VSS为基准	-0.2	1.44	V
VDDIO 和 VDDIO_SW 引脚之间的电压差		-0.3	0.3	V
输入电压	V <sub>IN</sub> (3.3V)	-0.3	3.9	V
输出电压	V <sub>O</sub>	-0.3	3.9	
输入钳位电流 <sup>(4)</sup>	数字输入(每引脚), I <sub>IK</sub> (V <sub>IN</sub> < VSS或V <sub>IN</sub> > VDDIO)	-20	20	mA
	模拟输入(每引脚), I <sub>IKANALOG</sub> (V <sub>IN</sub> < VSSA或V <sub>IN</sub> > VDDA)	-20	20	
	所有输入的总计, I <sub>IKTOTAL</sub> (V <sub>IN</sub> < VSS/VSSA 或 V <sub>IN</sub> > VDDIO/VDDA)	-20	20	
输出电流	数字输出(每引脚), I <sub>OUT</sub>	-20	20	mA
自然通风温度	T <sub>A</sub>	-40	125	°C
结温	T <sub>J</sub>	-40	150	°C
贮存温度 <sup>(3)</sup>	T <sub>stg</sub>	-65	150	°C

(1) 应力超出绝对最大值范围所列的值可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些值可正常工作或者任何其他超过节 6.3 所述条件下可正常工作。长时间处于绝对最大值范围情况下会影响设备的可靠性。

(2) 除非另有说明，否则所有电压值均以VSS为基准。

(3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。

(4) 每个引脚的连续钳位电流为±2mA。请勿在此条件下连续工作，因为 VDDIO/VDDA 电压可能会在内上升并影响其他电气规格。

## 6.2 产品 ESD 范围

表 6-2.产品的 ESD 范围

参数		值	单位
QXS320F28P650			
V (ESD)	静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup>	±4000
		充电器件模型 (CDM), 符合 ANSI/ ESDA/JEDEC JS-002 <sup>(2)</sup>	±1000

(1) JEDEC 目录 JEP155 状态表明 500V HBM 允许带有标准 ESD 控制过程的安全制造。

(2) JEDEC 目录 JEP157 状态表明 250V CDM 允许带有标准 ESD 控制过程的安全制造。

## 6.3 推荐工作条件

表 6-3.推荐工作条件

参数		最小值	额定值	最大值	单位
设备供电电压, VDDIO与VDDA	启用内部BOR <sup>(3)</sup>	$V_{BOR-VDDIO} (MAX) + V_{BOR-GB}^{(2)}$	3.3	3.6	V
	禁用内部BOR	2.8	3.3	3.6	
设备电源电压, VDD		1.08	1.2	1.32	V
设备接地, VSS			0		V
模拟地, VSSA			0		V
SR <sub>SUPPLY</sub>	VDDIO, VDDA到VSS的供电斜率速率 <sup>(4)</sup>	20		100	mV/us
t <sub>VDDIO-RAMP</sub>	从1V到V <sub>BOR-VDDIO</sub> (MAX) VDDIO供电斜坡时间			10	ms
V <sub>IN</sub>	数字输入电压	VSS-0.3		VDDIO+0.3	V
	模拟输入电压	VSSA-0.3		VDDA+0.3	V
V <sub>BOR-GB</sub>	VDDIO BOR 保护带 <sup>(5)</sup>		0.1		V
结温, T <sub>J</sub>	S version <sup>(1)</sup>	-40		125	°C

(1) T<sub>J</sub>= 105°C 以上操作持续扩展将减少设备寿命。

(2) 电气特性表中的VDDIO BOR电压(V<sub>BOR-VDDIO</sub>[MAX])决定了设备操作的电压下限。QX建议系统设计人员预算额外的保护带 (V<sub>BOR-GB</sub>),如图 6-1 供电电压图所示。

(3) 默认启用内部BOR。

(4)电源斜坡速率快于该值，能触发片上ESD保护。

(5) QX建议采用 $V_{BOR-GB}$ ，以避免3.3V VDDIO系统因正常电源噪声或负载瞬态事件而导致 BOR 复位。良好的系统调节器设计和解耦电容(遵循系统调节器规格)是重要的。 $V_{BOR-GB}$ 的值是系统级设计考虑因素；这里列出的是许多应用程序的典型示例。

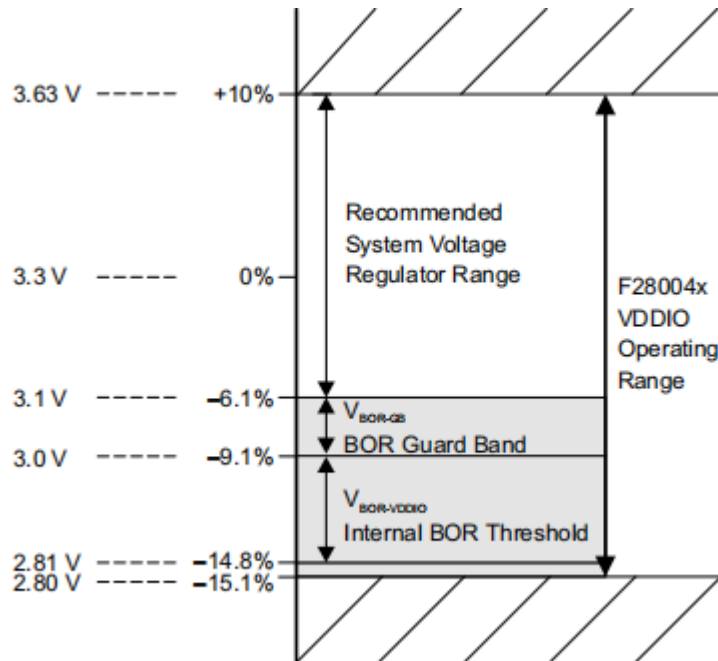


图 6-1供电电压

## 6.4 耗电概述

本节中列出的电流值仅代表给定的测试条件，而不是绝对的最大的可能。应用程序中的实际设备电流将随应用程序代码和引脚而变化配置。第 6.4.1 节列出了系统电流消耗值。

### 6.4.1 系统电流消耗（外部电源）

在自然通风条件下的工作温度范围内测得（除非另有说明）。

典型值：V<sub>nom</sub>，30°C

表 6-4.系统电流消耗

参数	测试条件	最小值	典型值	最大值	单位
<b>工作模式</b>					
I <sub>ID</sub>	两个CPU活动：操作使用期间的VDDIO电流消耗 <sup>(1)</sup>		206	399	mA
I <sub>IDA</sub>	两个CPU模式：操作使用期间的VDDA电流消耗		0.9	1.2	mA
<b>空闲模式（IDLE）</b>					
I <sub>ID</sub>	单个CPU活动 <sup>(1)</sup>	-CPU 处于IDLE 模式	178	316	mA
I <sub>IDA</sub>	设备处于空闲模式下的VDDA 电流消耗	-Flash 断电 -XCLKOUT 关闭	0.9	1.2	mA
<b>待机模式（STANDBY）</b>					
I <sub>ID</sub>	单个CPU活动 <sup>(1)</sup>	-CPU 处于待机模式	110	193	mA
I <sub>IDA</sub>	设备处于待机模式下的VDDA 电流消耗	-Flash 断电 -XCLKOUT 关闭	0.9	1.2	mA
<b>停机模式（HALT）</b>					
I <sub>ID</sub>	单个CPU活动 <sup>(1)</sup>	-CPU 处于停机模式	17	17	mA
I <sub>IDA</sub>	设备处于停机模式下的VDDA 电流消耗	-Flash 断电 -XCLKOUT 关闭	0.2	0.5	mA

(1) IDD最大值是在VDD处于最大建议工作条件下报告的值。

## 6.4.2 工作模式测试描述

第6.4.1节，节6.4.2和第6.4.3节列出了设备运行模式的当前电流消耗值。运行模式提供了应用程序可能遇到情况的预测。为实现所示值运行的测试用例将循环执行以下操作。以下列表中未列出的外设已禁用其时钟：

- 代码从 RAM 中执行。
- 读取 FLASH并保持激活状态。
- I/O引脚不驱动任何外部组件。
- 使用以下所有通信外设：SPI-A至SPI-B；SCI-A至SCI-C；I2C-A；CAN-A至CAN-B；
- ePWM-1至ePWM-3在6个引脚上生成5MHz输出。
- EPWM-4至EPWM-7处于HRPWM模式，并在6个引脚上生成25MHz输出。
- CPU计时器激活。
- CPU进行FIR16计算。
- DMA进行连续32位传输。
- 所有ADC执行连续转换。
- 所有DAC都在环路频率约为11kHz时改变电压。
- 所有CMPSS都会生成频率为100kHz的方波。
- 启用SDFM外设时钟。
- eCAP-1至eCAP-7处于APWM模式，切换频率为250kHz。
- 启用所有eQEP看门狗并执行计数。
- 启用系统看门狗并执行计数。

## 6.4.3 减少电流消耗

图6-2、图6-3、图6-4显示了器件上的频率与电流消耗之间关系的典型代表。节6.4.1中的工作测试是在 $V_{NOM}$ 和室温下的整个频率范围内运行的。实际结果因系统实施和条件而异。

$V_{DD}$ 内核电源上的漏电流将以指数方式随工作温度的升高而增加，如图6-5所示。停机模式下的电流消耗主要是漏电流，因为内部振荡器已断电时，就不会有有源开关。

图6-5显示了温度范围内的典型漏电流。在标称电压条件下，该器件被置于停机模式。

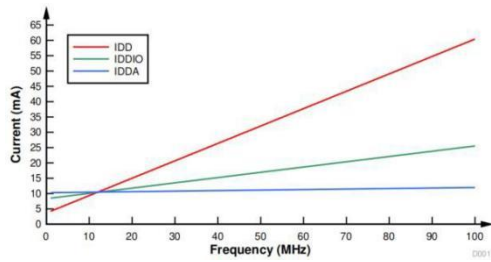


图 6- 2. 电流与频率间的关系-外部电源

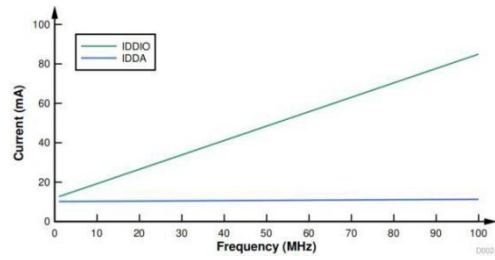


图 6- 3. 电流与频率间的关系

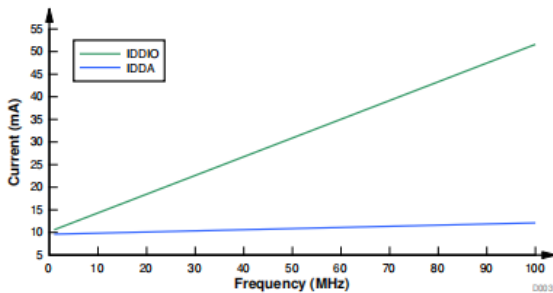


图 6- 4. 电流与频率间的关系-直流/直流

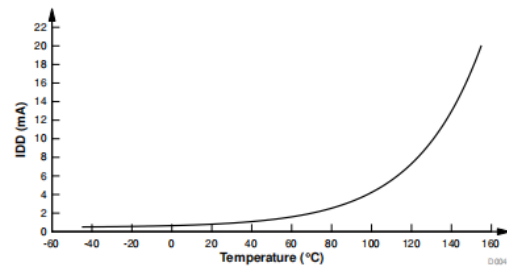


图 6- 5. 停机 (HALT) 模式电流与温度间的关系(°C)

注：该电流消耗值为实验室测得，仅供参考。

QXS320F28P650 设备提供了一些降低设备电流消耗的方法：

- 为进一步降低应用在空闲期间的电流消耗，可以进入两种低功耗模式之一 — IDLE 或 STANDBY。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用输出功能引脚的上拉。
- 每个外设都有一个单独的时钟使能位(PCLKCRx)。减少电流消耗可通过关闭给定应用程序中不使用的任何外设的时钟来实现。典型的电流减少可以通过使用 PCLKCRx 寄存器禁用时钟来实现。
- 要在 LPM 中实现最低的 VDDA 电流消耗，请参阅《QXS320F28P650 技术参考手册》模拟章节，以确保每个模块也被关闭。

表 6-5. 外设关闭典型电流

外设	I <sub>DDIO</sub> 电流减少 (mA)
ADC <sup>(2)</sup>	0.8
CAN	1.1
CLA	0.4
CLB	1.1
CMPSS <sup>(2)</sup>	0.4
CPU Timer	0.1
DAC <sup>(2)</sup>	0.2
DMA	0.5
eCAP1 至 eCAP5	0.1
eCAP6 至 eCAP7 <sup>(3)</sup>	0.4
ePWM	0.7
eQEP	0.1
HRPWM	0.8
I2C	0.3
SCI	0.2
SDFM	0.9
SPI	0.2
DCC	0.1
100MHz时的 PLL	22.9

(1) 复位时，所有外设均禁用。使用PCLKCRx寄存器以单独地启用外设。对于具有多个实例的外设，针对每个模块引用电流。

(2) 此电流代表了每个模块的数字部分汲取的电流。eCAP6和eCAP7也可以配置为HRCAP。

注：该电流消耗值为实验室测得，仅供参考。

## 6.5 电气特性

在建议运行条件下测得（除非另有说明）。

表 6-6.电气特性

参数	测试条件	最小值	典型值	最大值	单位
<b>数字与模拟 IO</b>					
$V_{OH}$	高电平输出电压	$I_{OH}=I_{OH}$ 最小	$V_{DDIO} \cdot 0.8$		V
		$I_{OH}=-100\mu A$	$V_{DDIO}-0.2$		
$V_{OL}$	低电平输出电压	$I_{OL}=I_{OL}$ 最大		0.4	V
		$I_{OL}=100\mu A$		0.2	
$I_{OH}$	所有输出引脚的高电平输出源电流		-4		mA
$I_{OL}$	所有输出引脚的低电平输出源电流			4	mA
$R_{OH}$	所有输出引脚的高电平输出阻抗		70		$\Omega$
$R_{OL}$	所有输出引脚的低电平输出阻抗		70		$\Omega$
$V_{IH}$	高电平输入电压 (3.3V)		2.0	$V_{DDIO}+0.3$	V
$V_{IL}$	低电平输入电压 (3.3V)		$V_{SS}-0.3$	0.8	V
$V_{HYSTERESIS}$	输入滞后		150		mV
$I_{PULLDOWN}$	输入电流	带下拉的输入 (除 A0、A1 的其他下拉管脚)	$V_{DDIO}=3.3V$ $V_{IN}=V_{DDIO}$	100	$\mu A$
		带下拉的输入 (A0、A1 管脚)	$V_{DDIO}=3.3V$ $V_{IN}=V_{DDIO}$	200	$\mu A$
$I_{PULLUP}$	输入电流	带上拉的输入	$V_{DDIO}=V_{DDA}=3.3V$ $V_{IN}=0V$	100	$\mu A$
$I_{LEAK}$	引脚漏电流		$0V \leq V_{IN} \leq V_{DDIO}$	5	$\mu A$
<b>VREG、直流/直流和 BOR</b>					
$V_{POR-VDDIO}$	VDDIO 上电复位电压			1.8	V
$V_{BOR-VDDIO}$	VDDIO 掉电复位电压			2.0	V

(1) 有关具有上拉或下拉功能的引脚列表，请参阅表5-2；

## 6.6 热阻特征

### 6.6.1 PK封装的热阻特性

表 6-7.PK 封装的热阻特性

		°C/W <sup>(1)</sup>	空气气流 (1fm) <sup>(2)</sup>
$R_{JC}^{\Theta}$	结至外壳热阻	7.6	不适用
$R_{JB}^{\Theta}$	结至电路板热阻	24.2	不适用
$R_{JA}^{\Theta}$ (高 k PCB)	结自由空气热阻	46.1	0
$R_{JMA}^{\Theta}$	结至流动空气热阻	37.3	150
		34.8	250
		32.6	500
$\Psi_{JT}$	结至封装顶部	0.2	0
		0.4	150
$\Psi_{JB}$	结至开发板	23.8	0
		22.8	150
		22.4	250
		21.9	500

(1) 这些值基于JEDEC定义的2S2P系统(Theta JC [ $R_{JC}^{\Theta}$ ]值除外, 该值基于JEDEC定义的1S0P系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些EIA/JEDEC热测试标准:

- JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2) 1fm = 线性英尺每分钟

## 6.6.2 PZ 封装的热阻特性

表 6- 8.PZ 封装的热阻特性

参数		°C/W <sup>(1)</sup>	空气气流 (1fm) <sup>(2)</sup>
$R_{JC}^{\Theta}$	结至外壳热阻	7.6	不适用
$R_{JB}^{\Theta}$	结至电路板热阻	24.2	不适用
$R_{JA}^{\Theta}$ (高kPCB)	结自由空气热阻	46.1	0
$R_{JMA}^{\Theta}$	结至流动空气热阻	37.3	150
		34.8	250
		32.6	500
$\Psi_{JT}$	结至封装顶部	0.2	0
		0.4	150
		0.4	250
		0.6	500
$\Psi_{JB}$	结至开发板	23.8	0
		22.8	150
		22.4	250
		21.9	500

(1) 这些值基于JEDEC定义的2S2P系统(Theta<sub>JC</sub> [ $R_{JC}^{\Theta}$ ]值除外, 该值基于JEDEC定义的1S0P系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些 EIA/JEDEC 热测试标准:

- JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2) 1 fm = 线性英尺每分钟

## 6.6.3 PM 封装的热阻特性

表 6-9.PM 封装的热阻特性

参数		°C/W <sup>(1)</sup>	空气气流 (1fm) <sup>(2)</sup>
$R_{\Theta_{JC}}$	结壳热阻	12.4	不适用
$R_{\Theta_{JB}}$	结板热阻	25.6	不适用
$R_{\Theta_{JA}}$ (高kPCB)	结自由空气热阻	51.8	0
$R_{\Theta_{JMA}}$	结至流动空气热阻	42.2	150
		39.4	250
		36.5	500
$\Psi_{JT}$	结至封装顶部	0.5	0
		0.9	150
		1.1	250
		1.4	500
$\Psi_{JB}$	结至开发板	25.1	0
		23.8	150
		23.4	250
		22.7	500

(1) 这些值基于JEDEC定义的2S2P系统( $\Theta_{JC}$  [ $R_{\Theta_{JC}}$ ]值除外, 该值基于JEDEC定义的1S0P系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些EIA/JEDEC热测试标准:

- JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2) 1fm = 线性英尺每分钟

## 6.6.4 RSH 封装的热阻特性

表 6- 10. RSH 封装的热阻特性

参数		°C/W <sup>(1)</sup>	空气气流 (lfm) <sup>(2)</sup>
$R_{\Theta_{JC}}$	结壳热阻	11.9	不适用
$R_{\Theta_{JB}}$	结板热阻	3.3	不适用
$R_{\Theta_{JA}}$ (高kPCB)	结自由空气热阻	25.8	0
$R_{\Theta_{JMA}}$	结至流动空气热阻	17.4	150
		15.1	250
		13.4	500
$\Psi_{JT}$	结至封装顶部	0.2	0
		0.3	150
		0.4	250
		0.4	500
$\Psi_{JB}$	结至开发板	3.3	0
		3.2	150
		3.2	250
		3.2	500
$R_{\Theta_{JC}}$ , 底部	结至底部外壳热阻	0.7	0

(1) 这些值基于JEDEC定义的2S2P系统( $\Theta_{JC}$  [ $R_{\Theta_{JC}}$ ]值除外, 该值基于JEDEC定义的1S0P系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些EIA/JEDEC热测试标准:

- JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2) 1fm = 线性英尺每分钟

## 6.7 散热设计注意事项

根据最终应用程序的设计和配置，IDD和IDDIO电流可能会有所不同。最终产品中超过推荐的最大功耗耗散可能需要额外的散热增强措施。环境温度( $T_A$ )随最终应用和产品设计而变化。影响可靠性和功能性的关键因素是 $T_J$ 结温，而不是环境温度。因此，应采取措施保持 $T_J$ 在规定的限度内。应测量 $T_{case}$ （封装体表面温度）以估计 $T_J$ 结温情况。



## 6.8 模拟外设

### 6.8.1 模拟子系统模块

设备的模拟模块包括 ADC、温度传感器、Buffered DAC和CMPSS。

模拟子系统具有如下特点：

灵活的电压基准：

- ADC 以 VREFHix 和 VREFLOx 引脚为基准。
- VREFHIA 引脚电压可由外部驱动或由内部带隙电压基准生成。VREFHIB 和 VREFHIC

可通过外部板载连接连接至内部基准。

- 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V。

- 缓冲 DAC 以 VREFHix 和 VSSA 为基准

- 或者，这些 DAC 能以 VDAC 引脚和 VSSA 为基准

- 比较器 DAC 以 VDDA 和 VSSA 为基准

- 或者，这些 DAC 能以 VDAC 引脚和 VSSA 为基准

- 灵活地使用引脚

- 缓冲 DAC 输出、比较器子系统输入和数字输入 (AIO)/输出 (AGPIO) 与 ADC 输入进行多路复用。

#### 6.8.1.1 方框图

以下模拟子系统方框图显示了不同集成模拟模块与器件引脚之间的连接。这些引脚分为两类：模拟模块输入/输出引脚和基准引脚。

基准引脚 VREFHIA 至 VREFHIC 和 VREFLOA 至 VREFLOC 可用于为相关 ADC 提供外部电压基准。VREFHIA还可用于为 DAC A 提供电压基准，而 VREFHIB 可用于为 DAC C 提供电压基准。可提供内部电压基准并连接到VREFHIA。要在 ADC B、ADC C 或 DAC C 上使用内部电压基准，请从外部将 VREFHIA 连接至 VREFHIB 和/或VREFHIC。

VDAC 基准引脚可用于为 DAC A 和 DAC C 以及 CMPSS 模块内的 DAC 设置备用范围（默认情况下，CMPSS DAC 以 VDDA 和 VSSA 为基准）。使用此引脚作为基准可防止该通道用作 ADC 输入（但如果需要，ADC 可用于对VDAC电压进行采样）。对于每个 CMPSS 或缓冲 DAC，基准选择是按模块配置的；使用模块的配置寄存器进行选择。

一些模拟引脚通过多路复用 AIO 和 AGPIO 支持数字功能。AIO 仅支持数字输入功能，而 AGPIO 支持全数字输入和输出功能。



### 6.8.1 模数转换器（ADC）

该器件上的 ADC 是逐次逼近 (SAR) 型 ADC，分辨率可选择为 16 位或 12 位。ADC 由一个核心和一个封装器组成。核心由模拟电路组成，包括通道选择 MUX、采样保持 (S/H) 电路、逐次逼近电路、电压参考电路和其他模拟支持电路。封装器由配置和控制 ADC 的数字电路组成。这些电路包括用于可编程转换的逻辑、结果寄存器、与模拟电路的接口、与外围总线的接口、后处理电路以及与其他片上模块的接口。

每个 ADC 模块由一个采样保持 (S/H) 电路组成。ADC 模块设计为在同一芯片上多次复制，允许多个 ADC 同时采样或独立操作。

每个 ADC 有如下特点：

- 16位或者12位可选分辨率
- 外部参考比例通过VREFHI/VREFLO配置；
- 单端输入和差分输入；
- 最大支持16通道输入复用；
- 16个可配置SOC；
- 16个可单独寻址的结果寄存器；
- 多个触发源：
  - 软件立即启动
  - 所有 ePWM
  - GPIO XINT2
  - CPU 计时器
  - ADCINT1 或 2
- 四个灵活的PIE中断
- 四个后处理模块，每个模块包括：

- 饱和和偏移量校准
- 设定点计算的误差
- 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
- 触发至采样延迟采集

注：并非每个通道都可以从所有ADC输出引脚，具体请参考节 6 确定哪个通道可用。

ADC内核和ADC封装器的方框图如图6-9所示。

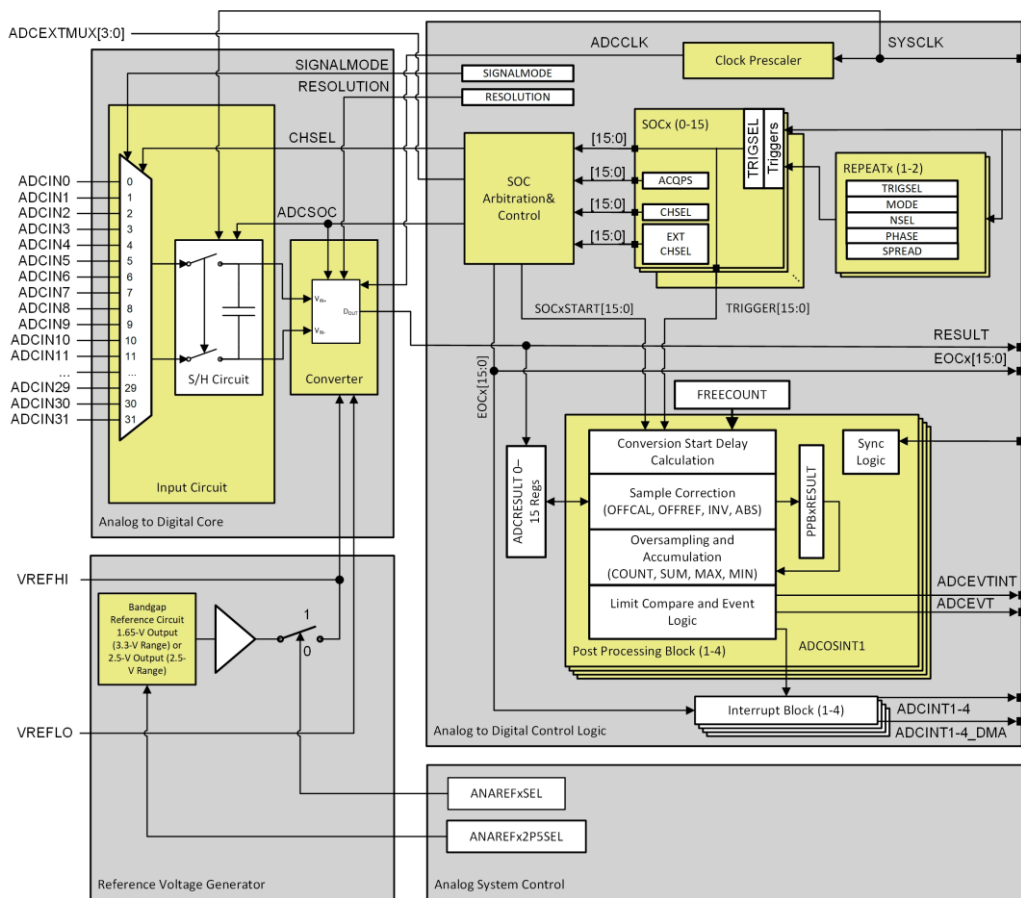


图 6-7 ADC 模块方框图

### 6.8.1.1 结果寄存器映射

系统中每个存储器总线控制器的ADC结果和ADC PPB结果是相同的。总线控制器包括特定器件系列和器件型号上的CPU和DMA。对于每个总线控制器，无需进行访问配置即可读取结果寄存器，并且在多个总线控制器尝试同时读取ADC结果时不会发生冲突。

### 6.8.1.2 ADC 配置

ADC模块的通道选择、采样时间和触发源是由SOCx单独控制，其他配置由每个ADC模块全局控制。表 6-11总结了ADC所有可配置的选项。

表 6-11 ADC配置选项

选项	可配置性
Clock	每个模块
Resolution	每个模块
Signal mode	每个模块
Reference voltage source	每个模块
Trigger source	每个 SOC
Converted channel	每个 SOC
Acquisition window duration	每个 SOC
EOC location	每个模块
Burst Mode	每个模块

(1) 这些值写入不同的ADC模块可能会导致ADC运行异步。有关ADC何时同步或异步操作的指导，

注：请参阅《QXS320F28P65x技术参考手册》模数转换器(ADC)章节的确保同步操作部分。

### 6.8.1.3 ADC 电气数据与时序

表 6-12 列举了ADC工作条件。表 6-15 列举了ADC电气特性。

#### 6.8.1.3.1 16bit ADC工作条件

注：

(1) ADC输入应在工作期间保持低于VDDA+0.3V。

(2) VREFHI引脚必须保持低于 VDDA+0.3V， 以确保常工作。若VREFHI超过该值，阻塞电路将激活，VREFHI的内部值可能浮动到0V，将导致不正确的ADC转换或者DAC输出。

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 6-12.ADC 工作条件

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK （来自于 PERx. SYSCLK）		5		60	MHz
采样速率				2	MSPS
采样窗口持续（通过 PERx. SYSCLK 与 ACQPS 设置） <sup>(1)</sup>			2		ADCCLK
VREFHI	外部参考	1.65	2.5或3.0	VDDA	V
VREFLO		VSSA	VSSA	VSSA	V
VREFHI-VREFLO		1.65		VDDA	V
转换范围	外部参考	VREFLO		VREFHI	V

(1) 该采样窗口必须至少达到正常ADC操作的1个ADCCLK周期长度；

### 6.8.1.3.2 16bit ADC 特性

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 6-13. 16bit ADC 特性

参数	测试条件	最小值	典型值	最大值	单位
<b>通用</b>					
ADCCLK 转换周期		22		180	ADCCLKs
上电时间	外部参考模式			5	μs
内部基准电容值 <sup>(2)</sup>		4.7			μF
外部基准电容值 <sup>(2)</sup>		4.7			μF
<b>直流特性</b>					
DNL 误差	VREFHI=3.3V	-1.0	±1.2	1.4	LSB
INL 误差	VREFHI=3.3V	-2	±2.2	2.4	LSB
<b>交流特性</b>					
THD <sup>(3)</sup>	VREFHI=3.3V, fin=10kHz		-68		dB
ENOB <sup>(3)</sup>	VREFHI=3.3V, fin=10kHz, SYSCLK源自X1, 单个ADC		14		bit
	VREFHI=3.3V, fin=10kHz, SYSCLK源自X1, 同步ADC		14		bit
	VREFHI = 3.3V, fin=10kHz, SYSCLK源自X1, 异步ADC		不支持		bit

- (1) 当ADC输入大于VDDA时，VREFHI上的负载电流增加，将导致转换不精确。
- (2) 建议使用0805封装电容或者更小的陶瓷电容，接受±20%的容差。
- (3) 为尽量减少电容耦合和串扰，在毗邻ADC输入引脚和VREFHI引脚的IO活动已经最小化。
- (4) 直流/直流稳压器对ADC的噪声影响在很大程度上取决于PCB布局。

### 6.8.1.3.3 12bit ADC工作条件

注：

- (1) ADC输入应在工作期间保持低于VDDA+0.3V。

(2) VREFHI引脚必须保持低于  $VDDA+0.3V$ ，以确保正常工作。若VREFHI超过该值，阻塞电路将激活，VREFHI的内部值可能浮动到0V，将导致不正确的ADC转换或者DAC输出。

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 6-12.ADC 工作条件

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（来自于PERx.SYSCLK）		5		60	MHz
采样速率				4	MSPS
采样窗口持续（通过PERx.SYSCLK与ACQPS设置） <sup>(1)</sup>			2		ADCCLK
VREFHI	外部参考	1.65	2.5或3.0	VDDA	V
VREFLO		VSSA	VSSA	VSSA	V
VREFHI-VREFLO		1.65		VDDA	V
转换范围	外部参考	VREFLO		VREFHI	V

(1) 该采样窗口必须至少达到正常ADC操作的1个ADCCLK周期长度；

#### 6.8.1.3.4 12bit ADC 特性

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 6-13. 16bit ADC 特性

参数	测试条件	最小值	典型值	最大值	单位
<b>通用</b>					
ADCCLK转换周期		22		180	ADCCLKs
上电时间	外部参考模式			5	$\mu$ s
内部基准电容值 <sup>(2)</sup>		4.7			$\mu$ F
外部基准电容值 <sup>(2)</sup>		4.7			$\mu$ F
<b>直流特性</b>					
DNL误差	VREFHI=3.3V	-1.0	$\pm 1.2$	1.4	LSB
INL误差	VREFHI=3.3V	-2	$\pm 2.2$	2.4	LSB
<b>交流特性</b>					
THD <sup>(3)</sup>	VREFHI=3.3V, $f_{in}=10kHz$		-68		dB

ENOB <sup>(3)</sup>	VREFHI=3.3V, fin=10kHz, SYSCLK源自X1, 单个ADC		11		bit
	VREFHI=3.3V, fin=10kHz, SYSCLK源自X1, 同步ADC		11		bit
	VREFHI = 3.3V, fin=10kHz, SYSCLK源自X1, 异步ADC		不支持		bit

- (1) 当ADC输入大于VDDA时，VREFHI上的负载电流增加，将导致转换不精确。
- (2) 建议使用0805封装电容或者更小的陶瓷电容，接受±20%的容差。
- (3) 为尽量减少电容耦合和串扰，在毗邻ADC输入引脚和VREFHI引脚的IO活动已经最小化。
- (4) 直流/直流稳压器对ADC的噪声影响在很大程度上取决于PCB布局。



6.8.1.3.5 ADC 时序框图

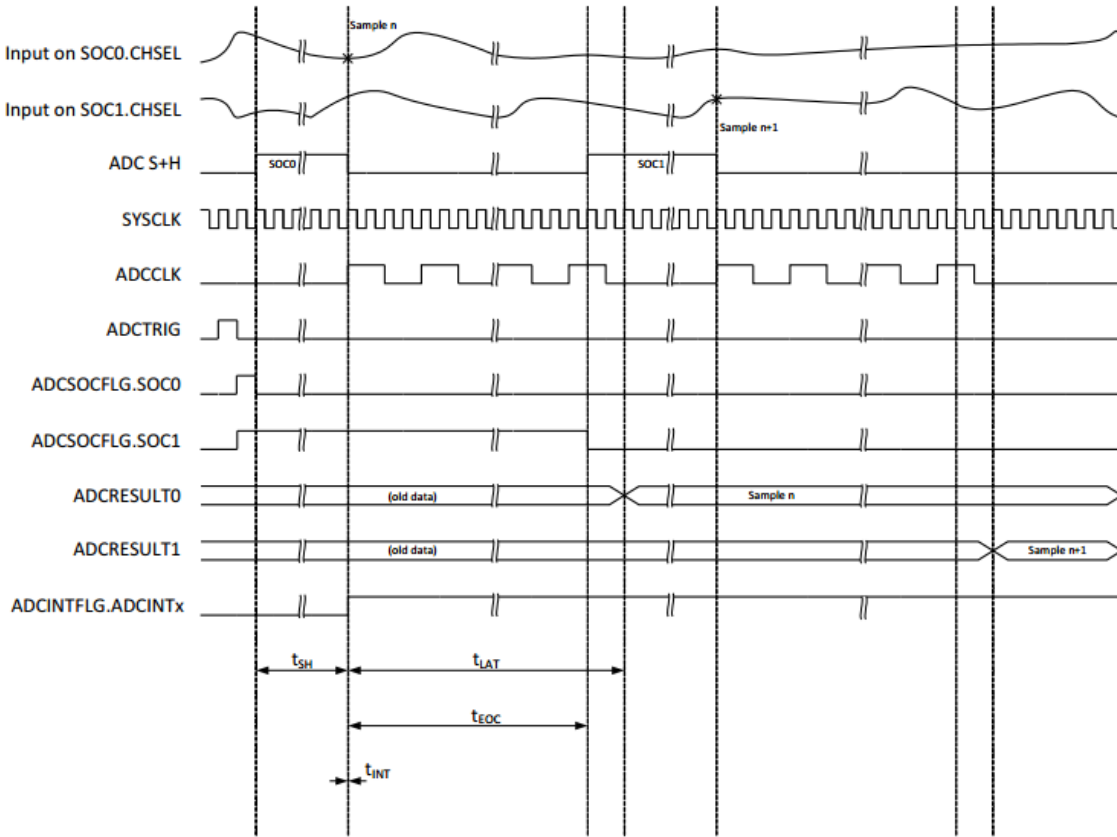


图 6-8 ADC模式下12位模式的ADC时序

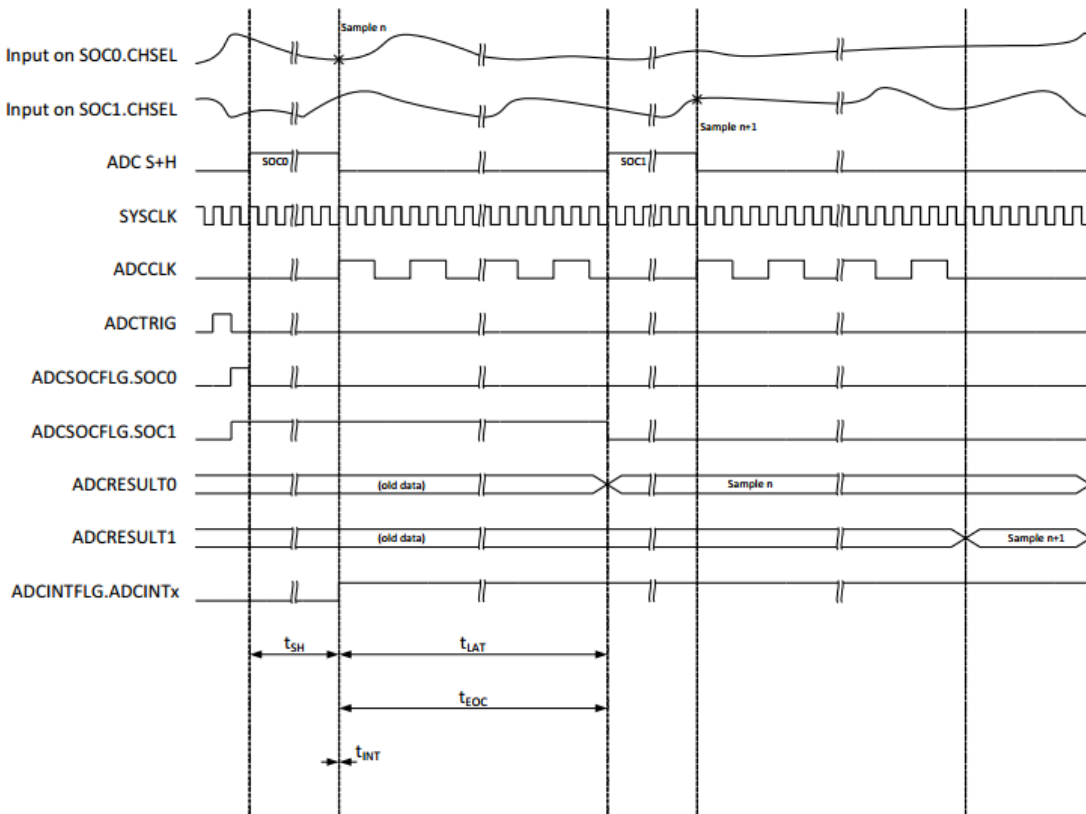


图 6-9 ADC模式下16位模式的ADC时序

PARAMETER	DESCRIPTION
$t_{SH}$	The duration of the S+H window. At the end of this window, the value on the S+H capacitor becomes the voltage to be converted into a digital value. The duration is given by $(ACQPS + 1)$ SYSCLK cycles. ACQPS can be configured individually for each SOC, so $t_{SH}$ is not necessarily the same for different SOCs. <b>Note:</b> The value on the S+H capacitor is captured approximately 5 ns before the end of the S+H window regardless of device clock settings.
$t_{LAT}$	The time from the end of the S+H window until the ADC results latch in the ADCRESULTx register. If the ADCRESULTx register is read before this time, the previous conversion results are returned.
$t_{EOC}$	The time from the end of the S+H window until the S+H window for the next ADC conversion can begin. In 16-bit mode, this coincides with the latching of the conversion results, while in 12-bit mode, the subsequent sample can start before the conversion results are latched.
$t_{INT}$	The time from the end of the S+H window until an ADCINT flag is set (if configured). If the INTPULSEPOS bit in the ADCCTL1 register is set, $t_{INT}$ coincides with the end of conversion (EOC) signal. If the INTPULSEPOS bit is 0, $t_{INT}$ coincides with the end of the S+H window. If $t_{INT}$ triggers a read of the ADC result register (directly through DMA or indirectly by triggering an ISR that reads the result), care must be taken to make sure the read occurs after the results latch (otherwise, the previous results are read). If the INTPULSEPOS bit is 0, and the OFFSET field in the ADCINTCYCLE register is not 0, then there is a delay of OFFSET SYSCLK cycles before the ADCINT flag is set. This delay can be used to enter the ISR or trigger the DMA exactly when the sample is ready.
$t_{DMA}$	The time from the end of the S+H window until a DMA read of the ADC conversion result is triggered, when ADCCTL1.TDMAEN = 1. If TDMAEN is set to 0, then the DMA trigger occurs at $T_{INT}$ . In certain conditions, the ADCINT flag can be set before the ADCRESULT value is latched. To make sure that the DMA read occurs after the ADCRESULT value has been latched, write 1 to ADCCTL1.TDMAEN to enable DMA timings.

## 6.8.2 温度传感器

### 6.8.2.1 温度传感器电气数据和时序

该温度传感器可用于测量器件结温。温度传感器通过ADC的内部连接进行采样，并通过QX提供的软件转换为温度。当温度传感器采样时，ADC必须满足6.8.2.1.1中的采样时间。

#### 6.8.2.1.1 温度传感器特性

理论设计指标（除非另作说明）

表 6-14. 温度传感器特性

参数	测试条件	最小值	典型值	最大值	单位
$T_{ACC}$	温度精度	-40°C~+125°C	±2		°C
$T_{START}$	start up time [TSNSCTL (启用) 采样温度传感器]		500		µs
$T_{acq}$	ADC采集时间		450		ns

### 6.8.3 缓冲数模数模转换器(DAC)

Buffered DAC模块由一个内部12位DAC和能够驱动外部负载的模拟输出缓冲器组成。Buffered DAC是一种通用DAC，除了可以生成正弦波、方波、三角波等波形外，还可以生成电压。软件写入DAC寄存器的值可以立即生效，也可以与EPWMSYNCPER事件同步。

每个Buffered DAC有如下的特点：

- 12bit可编程的内部DAC
- 可选参考电压源
- 使用内部VREFHI时的X1和X2增益模式
- 能够与EPWMSYNCPER同步

Buffered DAC 模块框图 6-12 所示，其中 $V_{DAC\_OUT}$ 为模拟电压输出

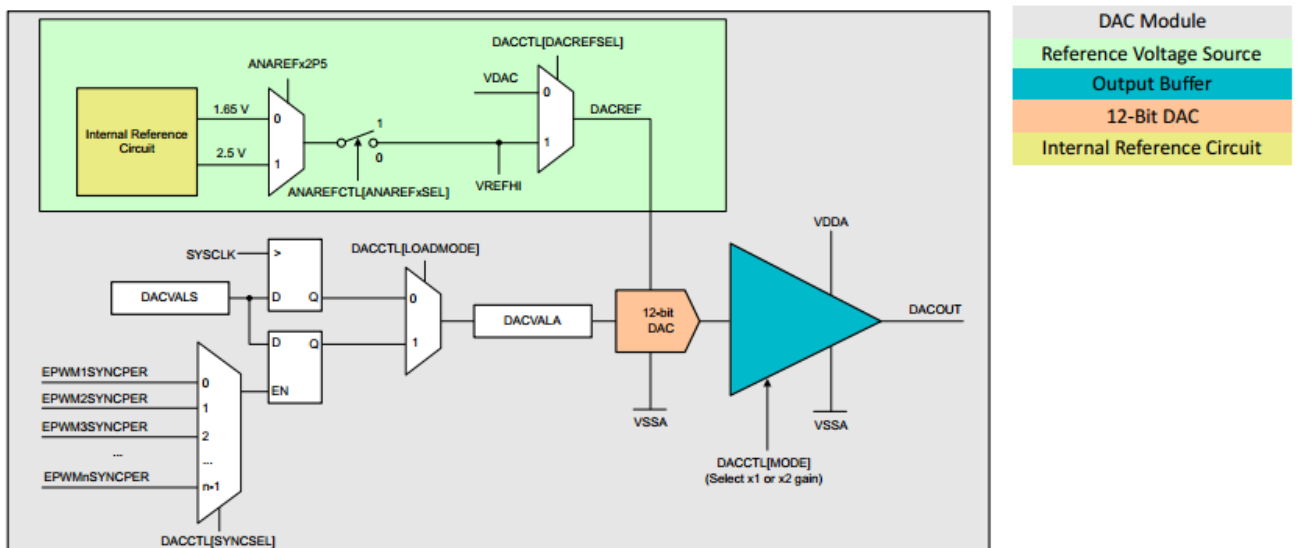


图 6-10. DAC 模块方框图

### 6.8.3.1 Buffered DAC 电气数据和时序

节 6.8.4.1.1列出了Buffered DAC运行条件。节 6.8.4.1.2列出了Buffered DAC电气特性。

#### 6.8.3.1.1 Buffered DAC 运行条件

理论设计指标（除非另作说明）(1)

**表 6-15. 缓冲 DAC 运行条件**

参数	测试条件	最小值	典型值	最大值	单位
RLOAD 电阻负载 <sup>②</sup>		5			k $\Omega$
CLOAD 容性负载				100	pF
VOUT 有效输出电压范围 <sup>③</sup>	RLOAD =5k $\Omega$ , CLOAD=50pF	0.3		AVD-0.3	V
Reference Voltage <sup>④</sup>	VDAC或 VREFHI		1.65或2.5	VDDA	V

(1) 除非另外注明，典型值是在VREFHI = 3.3V和VREFLO = 0V时测得的。在VREFHI = 2.5V和VREFLO = 0V条件下对最小值和最大值进行测试或表征。

(2) DAC可以驱动最小1k $\Omega$ 的阻性负载，但输出范围会受到限制。

(3) 这是DAC的线性输出范围。DAC可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。

(4) 为了获得卓越PSRR性能，VDAC或VREFHI应小于VDDA。

### 6.8.3.1.2 Buffered DAC电气特性

理论设计指标（除非另作说明）<sup>(1)</sup>

表 6-16. Buffered DAC 电气特性

参数	测试条件	最小值	典型值	最大值	单位
通用					
分辨率		12			bit
电压输出稳定时间满量程	在 0.3V 至 3V 切换后稳定到 2LSB			1	μs
$T_{in}$ 上电时间	$R_{load} = 10K, C_{load} = 50pF$			15	μs
直流特性					
offset 偏移量误差	中点	-25	10	25	mV
Gain 增益误差(3)		-1.5		1.5	%
DNL 微分非线性(4)	已更正端点		±1		LSB
INL 积分非线性	已更正端点		±2		LSB
交流特性					
SNR 信噪比	2KHz (A-weighted)		95		dB
THD 总谐波失真	1kHz, 200KSPS		74		dB
SFDR 无杂散动态范围	1kHz, 200KSPS		80		dB
PSRR 电源抑制比(5)	$C_{load} = 50pF @ 1KHz$		-70		dB

(1) 除非另外注明，典型值是在  $V_{REFHI} = 3.3V$  和  $V_{REFLO} = 0V$  时测得的。在  $V_{REFHI} = 2.5V$  和  $V_{REFLO} = 0V$  条件下对最小值和最大值进行测试或表征。

(2) 每个有源 Buffered DAC 模块。

(3) 增益误差是在线性输出范围内计算得出。

(4) DAC 输出是单调输出。

(5)  $V_{REFHI} = 3.2V$ ,  $V_{DDA} = 3.3V DC + 100mV$  正弦。

(6) 稳定在 3LSB 以内。

**注意：**VDAC 引脚必须保持低于  $V_{DDA} + 0.3V$ ，以确保正常运行。

**注意：**VREFHI 引脚必须保持低于  $V_{DDA} + 0.3V$ ，以确保正常工作。

### 6.8.4 比较器子系统(CMPSS)

比较器子系统由模拟比较器和支持电路组成，广泛应用于功率应用，如峰值电流模式控制、开关模式电源、功率因数校正、电压跳闸监控等。

该子系统由多个模块组成。每个子系统包含两个比较器、两个参考 12 位 DAC 和两个数字滤波器。子系统还包括两个斜坡生成器。斜坡生成器用于上下斜坡。比较器在每个模块中标记为“H”或“L”，其中“H”表示高电平，“L”表示低电平。每个比较器生成一个数字输出，指示正输入电压是否大于负输入电压。比较器的正输入由外部引脚驱动（请参阅 QXS320F28P650 实时微控制器技术参考手册中的模拟子系统章节，以了解可用于 CMPSS 的多路复用选项）。负输入可以由外部引脚驱动，也可以由可编程参考 12 位 DAC 提供。每个比较器输出通过可编程数字滤波器，可以去除伪触发信号。如果不需要过滤，也可以使用未过滤的输出。还可以选择两个斜坡生成器电路，用于控制子系统中高低比较器的参考 12 位 DAC 值。DAC 和包装器可用于生成斜坡，用于峰值电流模式控制（PCMC）和其他应用。该子系统还与 EPWM 配合工作，支持二极管模拟模式。CMPSS 连接如图 6-13 所示。

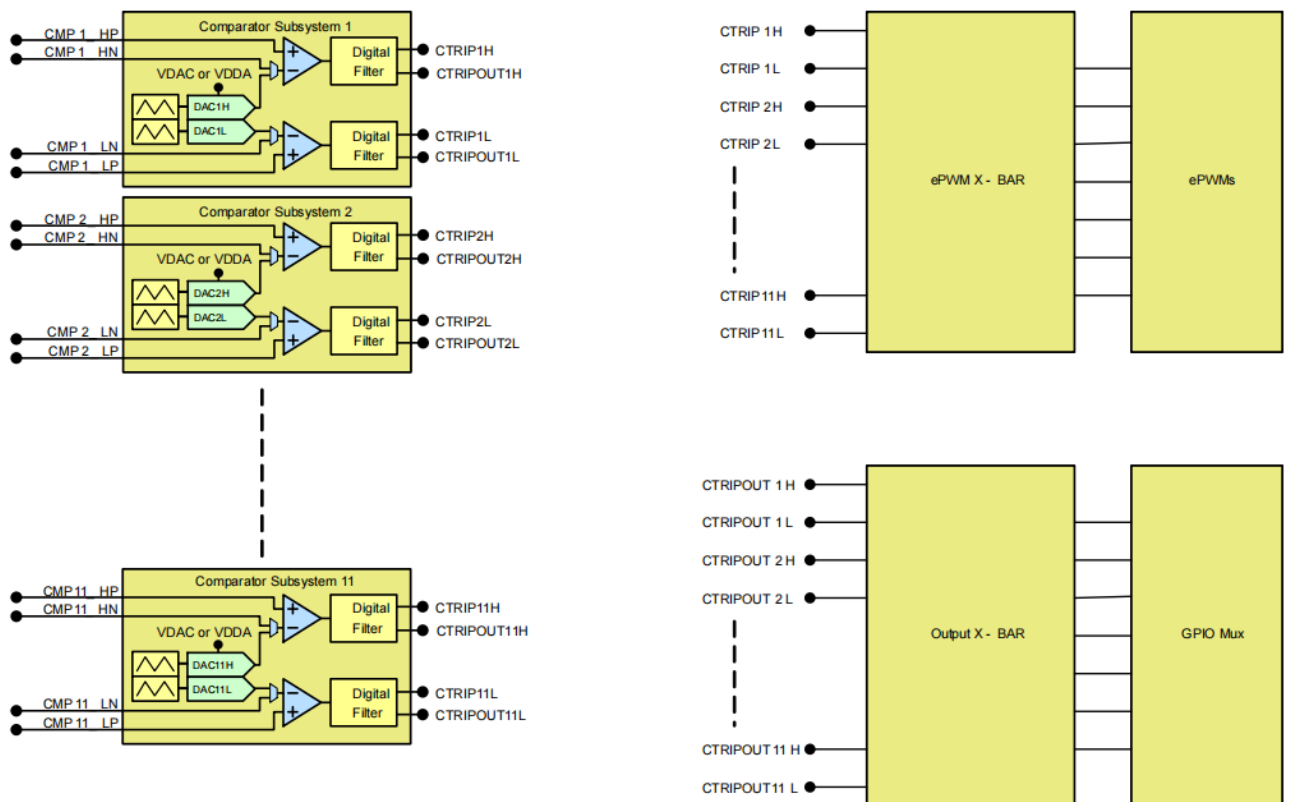


图 6-11 CMPSS 连接

注：并非所有封装都具有所有CMPSS引脚。请参阅模拟引脚和内部连接表。

### 6.8.4.1 CMPSS 电气数据与时序

第6.8.4.1.1节列出了比较器的电气特性。

#### 6.8.4.1.1比较器电气特性

表 6-17. CMPSS电气特性

参数	测试条件	最小值	典型值	最大值	单位
TPU Power-up time				500	us
Comparator input (CMPINxx) range		0		VDDA	V
Hysteresis <sup>(1)</sup>	1X		12		LSB
	2X		24		LSB
	3X		36		LSB
	4X		48		LSB
响应时间（从CMPINx输入变化到ePWM X-BAR或输出X-BAR的输出延迟）。	阶跃响应		18	60	ns

(1) CMPSS DAC 被用作参考来确定应用多少滞后。因此，滞后将与 CMPSS DAC 参考电压成比例变化。滞后适用于所有比较器输入源配置。

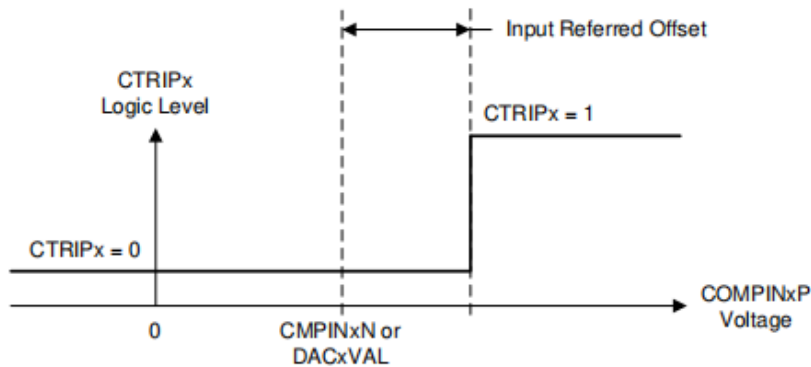


图6-12 CMPSS 比较器输入参考偏移

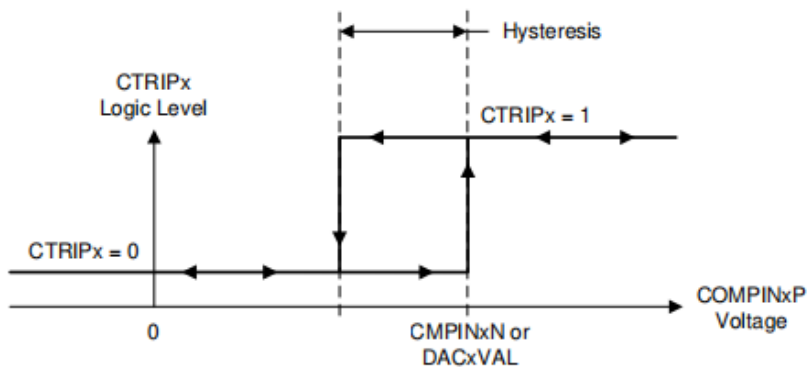


图6-13 CMPSS 比较器滞后

## 6.9 控制外设

### 6.9.1 增强型捕获(eCAP)

eCAP 模块的应用包括：

- 旋转机械的速度测量(例如，通过霍尔传感器感应齿状链轮)
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性：

- 4事件时间戳寄存器(每个32位)
- 边缘极性选择，最多选择四个序列时间戳捕获事件
- 对 4 个事件中的任何一个事件进行中断
- 独立的DMA触发器
- 多达4个事件时间戳的单脉冲捕捉
- 在一个4深循环缓冲区中连续捕获时间戳的模式
- 绝对时间戳采集
- 差分( $\Delta$ )模式时间戳采集
- 事件预分频器
- 当未用于捕获模式时，eCAP模块可配置为单通道PWM输出。

1 类 eCAP的捕捉功能通过0类 eCAP 得到增强，增加了以下特性：

- 事件过滤器复位位
  - 向ECCTL2[CTRFILTRESET]写入1将清零事件滤波器、模计数器和任何挂起的中断标志。

这对于初始化和调试很有用。

- 模数计数器状态位。
  - 模数计数器(ECCTL2[MODCTRSTS]) 指示接下来将加载哪个捕捉寄存器。在0类 eCAP中，无法知道模数计数器的当前状态。

- DMA触发源
  - eCAPxDMA被添加为一个DMA触发器。CEVT[1–4]可以配置为eCAPxDMA的源。

- 输入多路复用器
  - ECCTL0[INPUTSEL]选择128个输入信号之一。
- EALLOW保护
  - EALLOW保护已添加到关键寄存器。

输入X-BAR必须用于将器件输入引脚连接到模块。输出X-BAR必须用于将输出信号连接到OUTPUTXBARx输出位置。

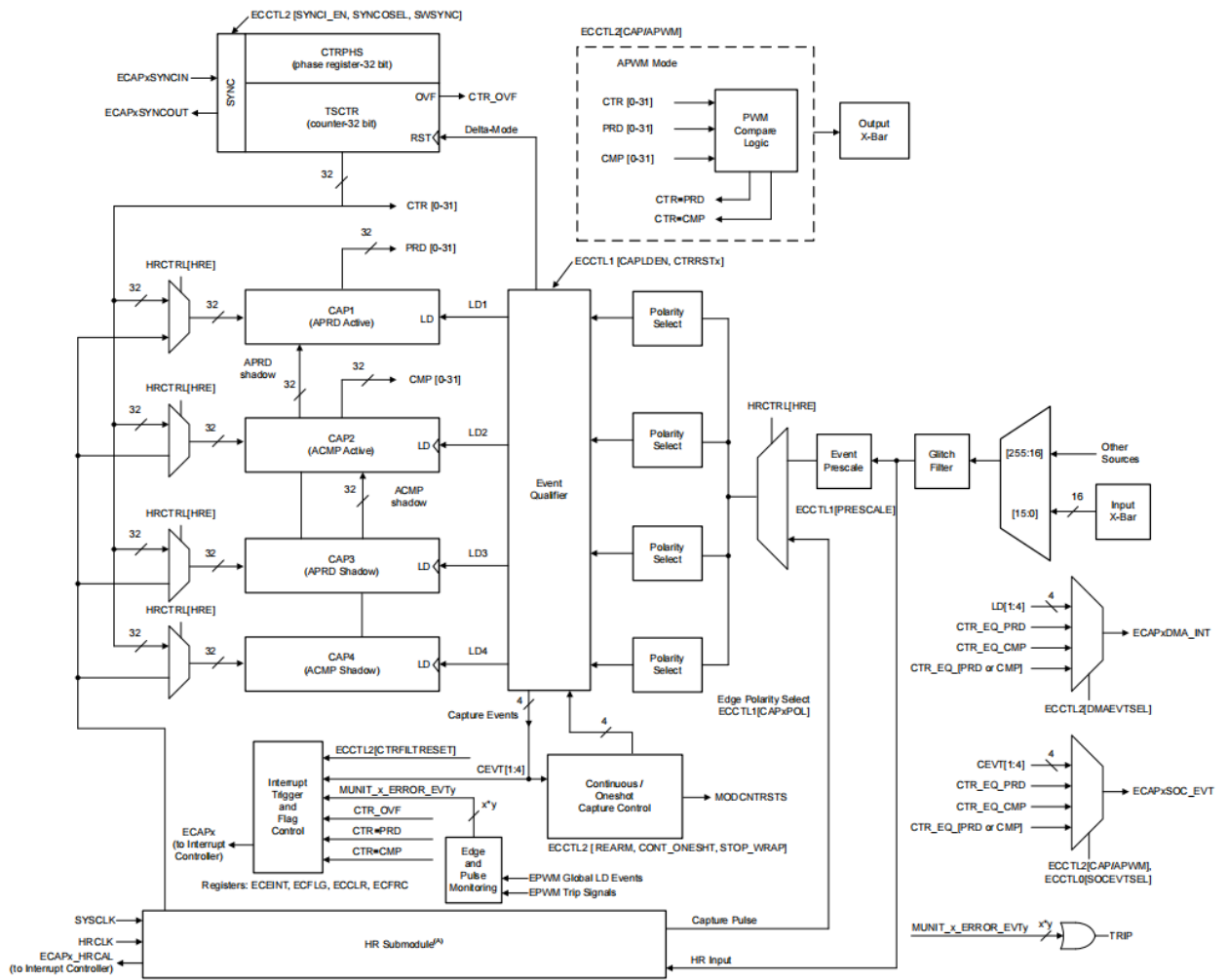
2类 eCAP 的捕捉功能通过 1类 eCAP 得到增强，增加了以下特性：

- 添加了 ECAPxSYNCINSEL 寄存器
  - 为每个 eCAP 添加了 ECAPxSYNCINSEL 寄存器以选择外部 SYNCIN。每个 eCAP 可以有一个单独的SYNCIN 信号。

3类 eCAP 的捕捉功能通过 2类 eCAP 得到增强，增加了以下特性：

- 有两个信号监控单元可用于监控边沿、脉宽和周期
  - 信号监控功能可选择性地与 ePWM 全局加载选通脉冲和跳闸事件进行紧密耦合
- 将多路复用捕捉输入数量从 128 增加到 256
- PWM 运行模式下的 DMA 事件生成功能
- ADC SOC 生成功能可用于触发 ADC 转换

图 6-14 显示了eCAP方框图。



A. HRCAP子模块并非在所有eCAP模块上都可用；在这种情况下，高分辨率多路复用器和硬件未被执行。

图 6-14. eCAP 方框图

### 6.9.1.1 eCAP 同步

通过选择一个公共的 SYNCIN 源，eCAP 模块可以互相同步。eCAP 的 SYNCIN 源可以是软件同步输入或外部同步输入。外部同步输入信号可来自 ePWM、eCAP 或 X-Bar。如图 6-15 所示，SYNC 信号由 ECAPx的ECAPxSYNCINSEL[SEL] 位中的选择定义。

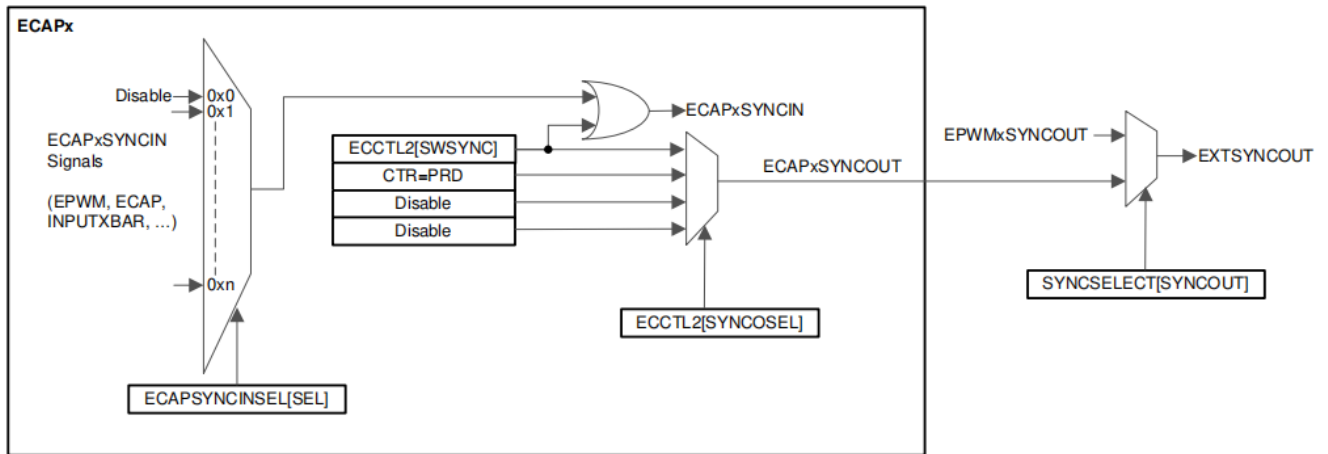


图 6-15. eCAP 方框图

### 6.9.1.2 eCAP电气数据和时序

节 6.9.1.1.1 列出了eCAP时序要求。节 6.9.1.1.2列出了eCAP 关特性。

#### 6.9.1.2.1 eCAP时序要求

表 6-18. eCAP 时序要求

参数		最小值	标准值	最大值	单位
tw(CAP)	采集输入脉冲宽度	异步		2tc(SCO)	ns
		同步		2tc(SCO)	
		带输入限定器		1tc(SCO) + tw_(QSW)	

#### 6.9.1.2.2 eCAP开关特性

理论设计指标（除非另作说明）

表 6-19. eCAP开关特性

参数		最小值	典型值	最大值	单位
tw(APWM)	脉冲持续时间，APWMx 输出高电平/低电平	20			ns

### 6.9.1.3 高分辨率捕捉 (HRCAP)

eCAP 模块可以配置为高分辨率捕捉 (HRCAP) 子模块。HRCAP 子模块可以测量与系统时钟异步的脉冲之间的时间差。该子模块是 eCAP 1 类模块新增的子模块，与 0 类 HRCAP 模块相比具有许多增强功能。

HRCAP 的应用包括：

- 电容式触控应用

- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/声纳测量和扫描
- 流量测量

**HRCAP** 子模块包含以下特性：

- 在非高分辨率或高分辨率模式下进行脉宽捕捉
- 绝对模式脉宽捕捉
- 连续或“一次性”捕捉
- 在下降沿或上升沿捕捉
- 4 深度缓冲器中脉冲宽度的持续模式捕捉
- 通过硬件校准逻辑实现精密高分辨率捕捉
- 使用输入 **X-BAR** 的任何引脚上均可使用此列表中的所有资源。

**HRCAP** 子模块包含一个高分辨率捕捉通道以及一个校准块。校准块允许 **HRCAP** 子模块在设定的时间间隔内持续重新校准，不存在“中断时间”。由于 **HRCAP** 子模块现在使用与其相应 **eCAP** 相同的硬件，因此如果使用**HRCAP**，则相应的 **eCAP** 将不可用。

每个支持高分辨率的通道都具有以下独立的关键资源。

- 相应 **eCAP** 的所有硬件
- 高分辨率校准逻辑
- 专用校准中断

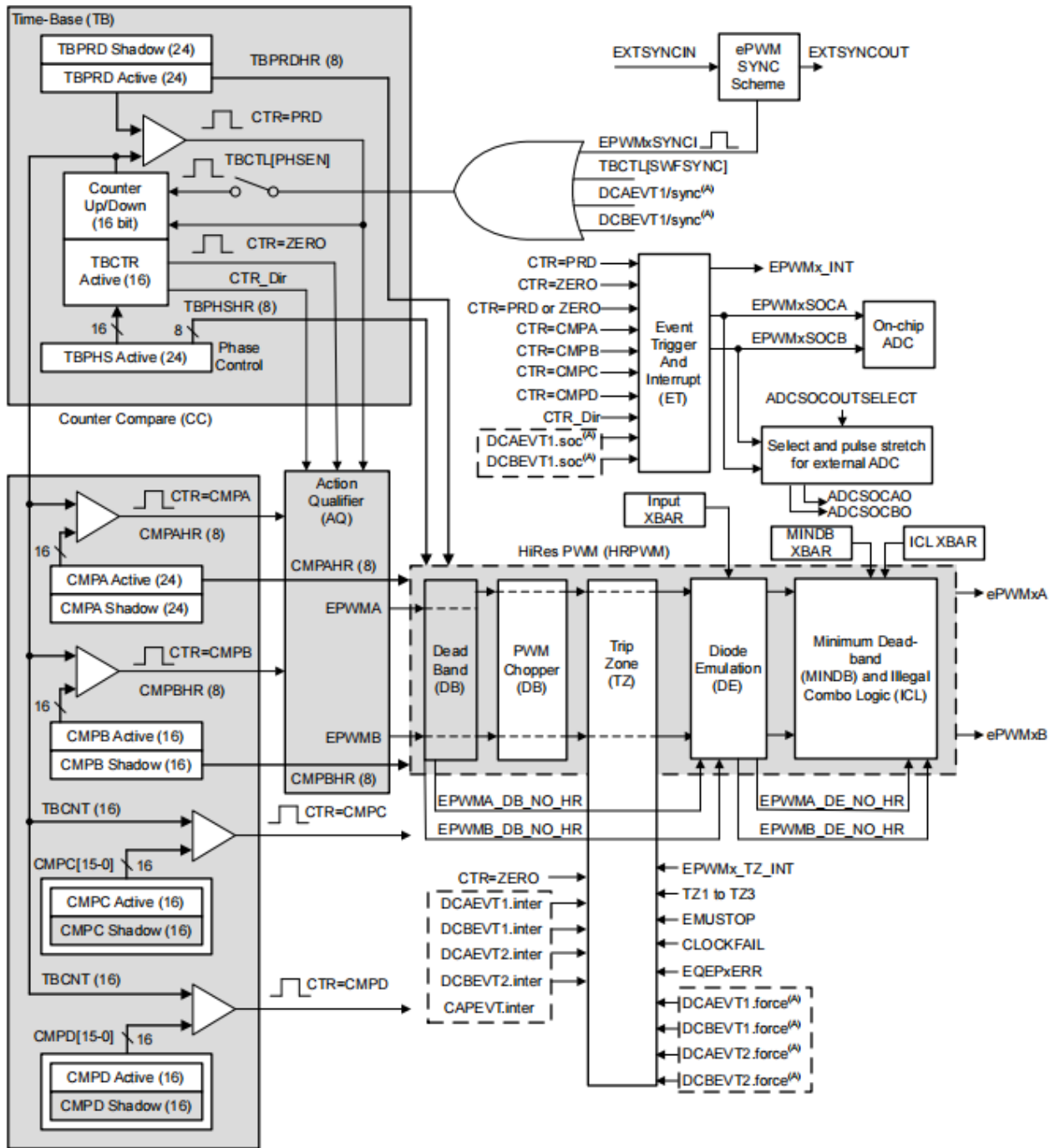
#### 6.9.1.3.1 eCAP 和 HRCAP 方框图

有关 **HRCAP** 方框图，请参阅增强型捕捉 (**eCAP**) 一节中的 **eCAP** 和 **HRCAP** 方框图。

#### 6.9.2 增强脉冲宽度调制(ePWM)

**ePWM**外设是许多商业和工业设备中电力电子系统控制的关键部分。**ePWM**模块能够以最小的CPU开销生成复杂的脉冲宽度波形，将具有独立资源的小模块构建为各个外设，并将这些资源共同组成系统运行。**ePWM**模块的一些特性包括复杂波形生成、死区生成、灵活的同步配置、高级错误联防功能和全局寄存器重新加载功能。

ePWM 模块如图 6-16 所示。ePWM 错误联防输入连接如图 6-17 所示。



A. 根据TRIPIN输入的电平经过ePWM中的数字比较(DC)子模块生成的事件。

图 6-16. ePWM 子模块和关键内部信号连接

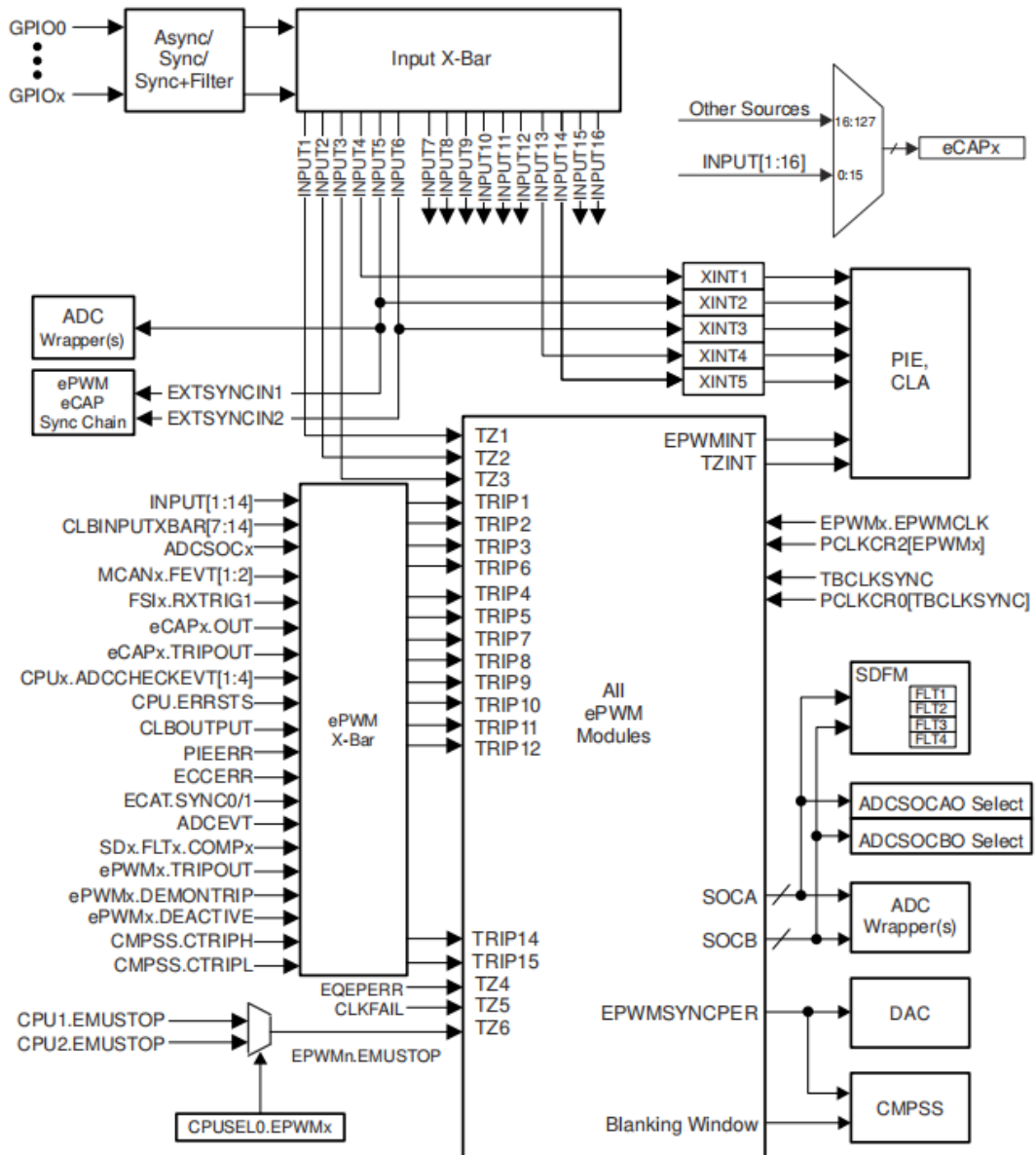


图 6-17. ePWM Trip Input Connectivity



表 6-20. ePWM 时序要求

参数		最小值	最大值	单位
$t_{w(SYNCIN)}$	同步输入脉冲宽度	异步	$2t_c(EPWMCLK)$	cycles
		同步	$2t_c(EPWMCLK)$	
		使用输入限定	$1t_c(EPWMCLK) + t_w(IQSW)$	

### 6.9.2.2.2 ePWM开关特性

超过推荐的运行条件（除注明外）

表 6-21. ePWM 开关特性

参数		最小值	最大值	单位
$t_{w(PWM)}$	脉冲持续时间, PWMx输出高/低	12.5		ns
$t_{w(SYNCOUT)}$	同步输出脉冲宽度	$8t_c(SYSCLK)$		cycles
$t_{d(TZ-PWM)}$	延时时间, 跳闸输入使PWM强制高		50	ns
	延时时间, 跳闸输入使到PWM强制低			
	延时时间, 跳闸输入使PWM Hi-Z			

### 6.9.2.2.3 Trip-Zone 输入时序

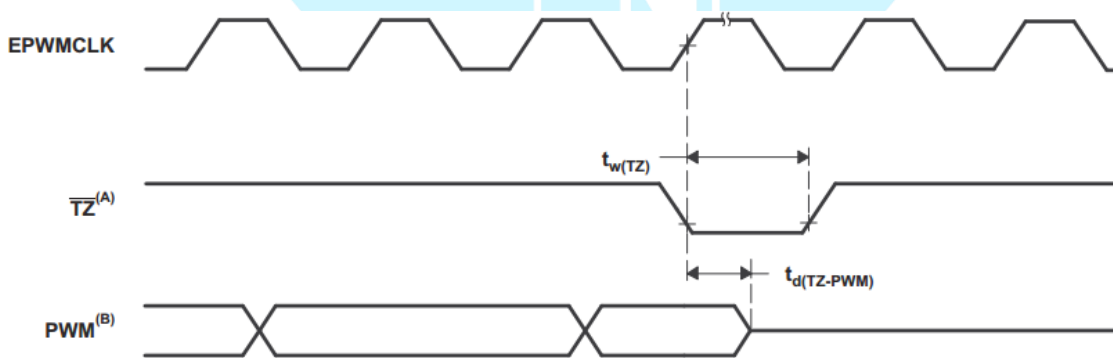


图 6-19. Trip-Zone 输入时序

(1) TZ : TZ1 、 TZ2 、 TZ3 、 TRIP1 至 TRIP12

(2) PWM指的是设备中所有的PWM引脚。TZ至高后PWM引脚的状态由PWM恢复软件恢复决定。

### 6.9.2.3 外部ADC转换脉冲开始的电气数据和时序

第 6.9.3.3.1 节列出了外部ADC转换开始的开关特性。ADCSOCAO或ADCSOCBO定时如图 6-20 所示。

#### 6.9.2.3.1 外部ADC转换脉冲开始的开关特性

超出建议的运行条件(除非另有说明)

表 6-22.外部 ADC 转换脉冲开始的开关特性

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间, ADCSOCxO 低	$32t_c(SYSCLK)$		cycles



图 6-20. ADCSOCAO或ADCSOCBO时序

### 6.9.3 高分辨率脉冲宽度调制器(HRPWM)

HRPWM 将多个延迟线组合在一个模块中，并通过使用专用的校准延迟线简化校准系统。对于每个

ePWM 模块，有两个 HR 输出：

- 通道 A 的 HR 占空比与死区控制
- 通道 B 的 HR 占空比与死区控制

HRPWM 模块提供的 PWM 分辨率(时间间隔尺寸)明显优于使用传统的数字 PWM 方式所能实现的分辨率。

HRPWM 模块的关键点是：

- 显著提高了传统数字 PWM 的时间分辨率能力
- 此功能可用于单边缘(占空比和相移控制)以及频率/周期调制的双边缘控制。
- 通过对 ePWM 模块的 Compare A, B 相位，周期和死区寄存器的扩展功能，可以控制更细的时间粒度控制或边缘定位。

注意：HRPWM 允许的最低 HRPWMCLK 频率为 60 MHz。

#### 6.9.3.1 HRPWM 电气数据和时序

第 6.9.3.1.1 节列出了高分辨率 PWM 开关特性。

### 6.9.3.1.1 高分辨率PWM 特性

表 6-23.高分辨率 PWM 特性

参数	最差值	典型值	最好值	单位
微边缘 (MEP) 定位步长 <sup>(1)</sup> (TC=46P WC=82P BC=29P)		45		ps

(1) 在VDD上，MEP步长在高温和最低电压时最大。MEP步长随温度升高、电压降低而增大，随温度降低、电压升高而减小。应用程序根据HRPWM特性应使用MEP比例因子优化器(SFO)估算软件功能。

(2) 当HRPWM工作时，SFO函数会协助动态估算每个SYSCLK周期的MEP步数。

### 6.9.4 增强型正交编码器脉冲(eQEP)

eQEP接口直接与线性或旋转增量编码器接口，从高性能运动和位置控制系统的旋转机器中获取位置、方向和速度信息。

eQEP 外设包括以下主要功能单元(如图 6-23所示):

- 每个引脚均可编程输入(部分 GPIO MUX)
- 正交解码单元(QDU)
- 位置计数器和位置测量控制单元(PCCU)
- 用于低速测量的正交边缘捕获单元(QCAP)
- 测量速度/频率的单位时基(UTIME)
- 检测档位的看门狗定时器(QWDOG)
- 正交模式适配器(QMA)

#### 6.9.4.1 eQEP电气数据和时序

第 6.9.4.1.1 节列出了 eQEP 时序要求，第 6.9.4.1.2 节列出了 eQEP 切换特性。

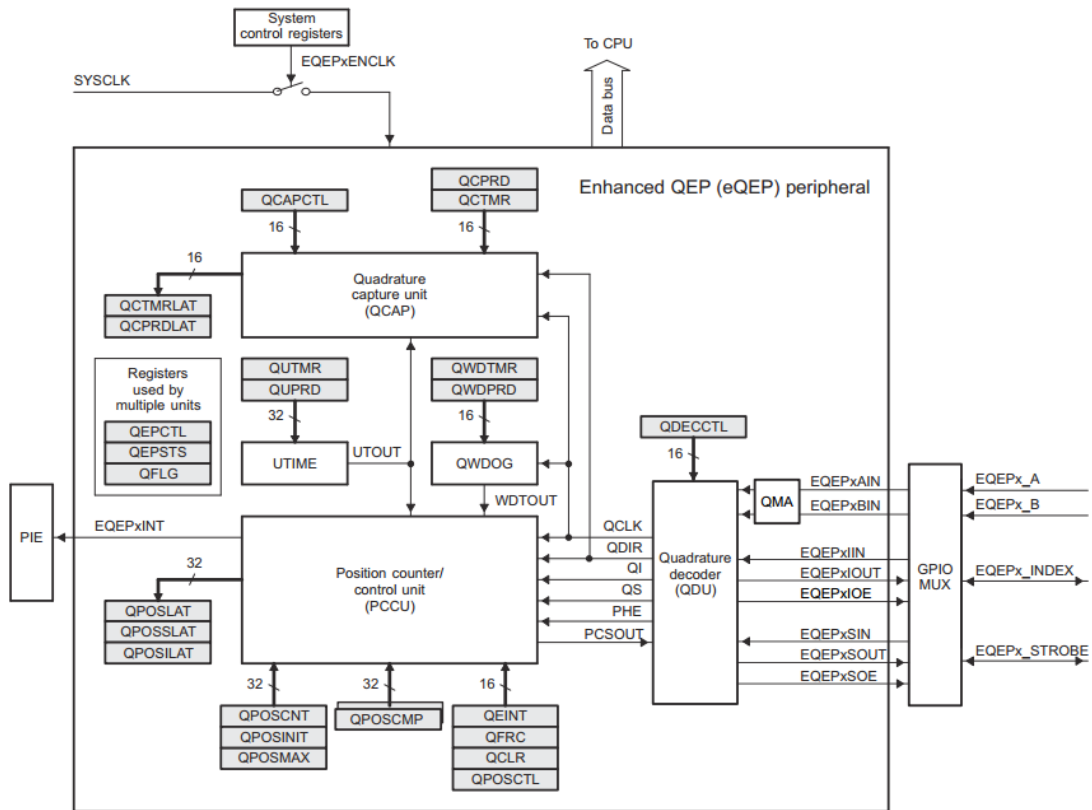


图 6-21. eQEP 框图

### 6.9.4.1.1 eQEP时序要求

表 6-24. eQEP时序要求

参数			最小值	最大值	单位
tw(QEPP)	QEP输入周期	同步 <sup>(1)</sup>	2tc(SYSCLK)		cycles
		与输入限定同步	2[1tc(SYSCLK) + tw(IQSW)]		
tw(INDEXH)	QEP Index Input High time 索引高输入时间	同步 <sup>(1)</sup>	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(INDEXL)	QEP Index Input Low time 索引低输入时间	同步 <sup>(1)</sup>	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(STROBH)	QEP Strobe input High time 闪烁高输入时间	同步 <sup>(1)</sup>	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(STROBL)	QEP Strobe Input Low time 闪烁低输入时间	同步 <sup>(1)</sup>	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		

(1)GPIO GPxQSELn异步模式不应该用于eQEP模块的输入引脚。

### 6.9.4.1.2 eQEP 开关特性

理论设计指标（除非另作说明）

表 6-25. eQEP开关特性

参数		最小值	最大值	单位
td(CNTR)xin	延迟时间，外部时钟计数器增量		5tc(SYSCLK)	cycles
td(PCS-OUT)QEP	延迟时间，QEP 输入边沿到位置比较同步输出		7tc(SYSCLK)	cycles

### 6.9.5 $\Sigma$ - $\Delta$ 滤波器模块(SDFM)

SDFM 模块特性包括：

- 每个 SDFM 模块八个外部引脚
  - 每个 SDFM 模块有四个  $\Sigma$ - $\Delta$  数据输入引脚（SD-Dx，其中 x = 1 至 4）
  - 每个 SDFM 模块有四个  $\Sigma$ - $\Delta$  时钟输入引脚（SD-Cx，其中 x = 1 至 4）
- 支持不同的可配置调制器时钟模式：
  - 模式 0：调制器时钟速率等于调制器数据速率。
- 每个 SDFM 模块有四个独立的可配置次级滤波器（比较器）单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
  - 能够检测超值条件、低值条件和超限条件
  1. 两个独立的上限阈值比较器（用于检测超值条件）
  2. 两个独立的下限阈值比较器（用于检测低值条件）
  3. 一个独立的超限比较器（用于通过 eCAP 测量占空比/频率）
    - 比较器滤波器单元的 OSR 值 (COSR) 可编程为 1 至 32
- 每个 SDFM 模块有四个独立的可配置初级滤波器（数据滤波器）单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
  - 数据滤波器单元的 OSR 值 (DOSR) 可编程为 1 至 256
  - 能够启用或禁用独立的滤波器模块（或全部两个模块）
  - 能够使用主滤波器使能 (MFE) 位或 PWM 信号来同步 SDFM 模块的所有四个独立滤波器
- 数据滤波器输出可以用 16 位或 32 位表示。
- 数据滤波器单元具有可编程模式 FIFO 来减少中断开销。该 FIFO 具有以下特性：

- 初级滤波器（数据滤波器）具有一个 16 深 x 32 位 FIFO。
  - FIFO 可在达到可编程数量的数据就绪事件后中断 CPU。
  - FIFO 等待同步功能：能够忽略数据就绪事件，直至接收到 PWM 同步信号 (SDSYNC)。
- 一旦接收到

SDSYNC 事件，就会在每个数据就绪事件时填充 FIFO。

- 数据滤波器输出可以用 16 位或 32 位表示。
- 可根据每个数据滤波器通道将 PWMx.SOCA/SOCB 配置为 SDSYNC 源。
- 可使用 PWM 为  $\Sigma$ - $\Delta$  调制器生成调制器时钟。
- SD-Cx 和 SD-Dx 均可配置输入限定
- 能够使用一个滤波器通道时钟 (SD-C1) 为其他滤波器时钟通道提供时钟。
- 在发生比较器滤波器事件时可以使用可配置的数字滤波器来清除杂散噪声引起的比较器事件

图 6-22 所示为SDFM方框图。

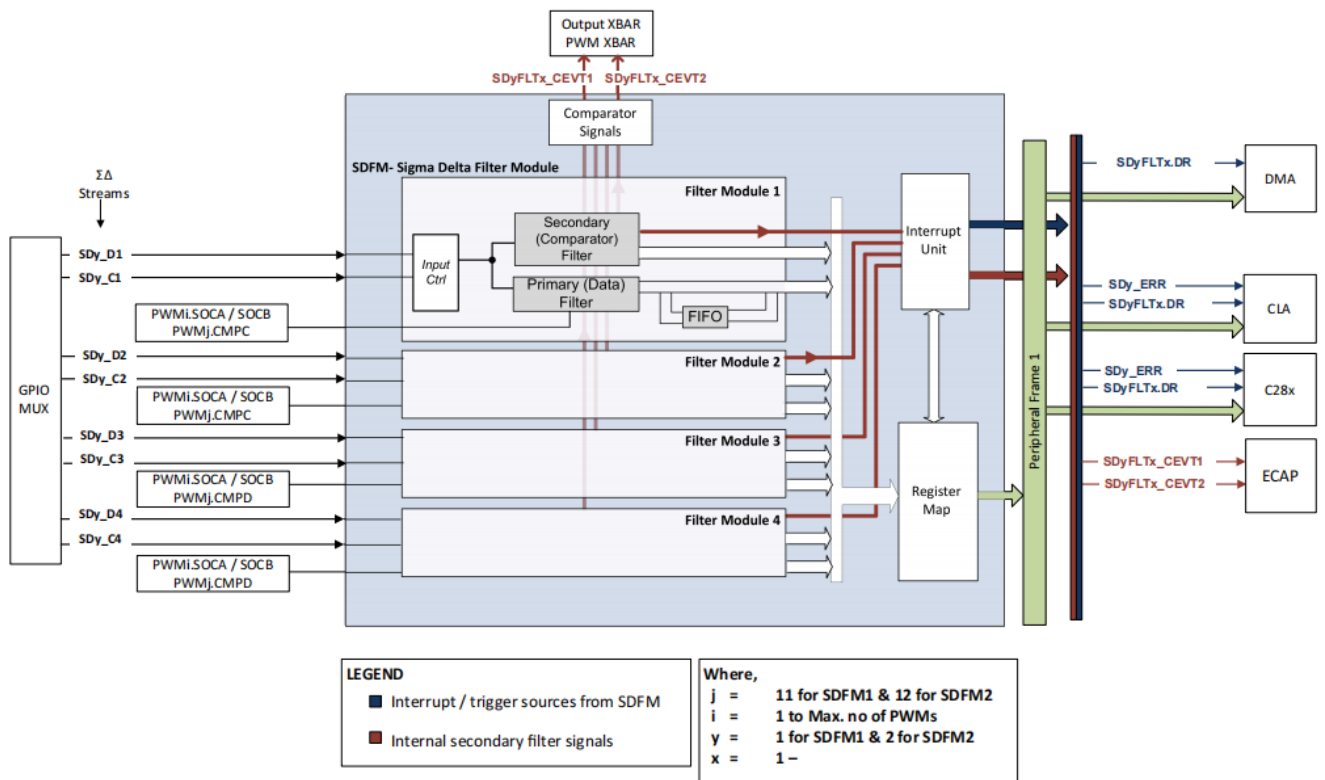


图 6-22. SDFM 方框图

### 6.9.5.1 SDFM电气数据和时序

备注

SDFM 同步 GPIO (SYNC) 选项可以防止 SDFM 模块因 SDx\_Cy 引脚上偶尔随机产生的噪声干扰而损坏，这些噪声干扰可能导致错误的比较器跳闸和滤波器输出。

SDFM 同步 GPIO (SYNC) 模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

### 6.9.5.1.1 使用异步 GPIO(ASYNC) 选项时的 SDFM 时序要求

使用异步 GPIO ASYNC 选项时的 SDFM 时序要求 表列出了 SDFM 时序要求。应进行以下配置：

- SDFM GPIO 引脚应仅配置为异步模式（使用 GPYQSELn = 0b11）。
- SDx-Cy 和 SDx-Dy 信号都需要与 PLLRAWCLK 同步（使用 SDCTLPARMx 寄存器）。

表 6-26. 异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式0				
tc (SDC)M0	周期时间, SDx_Cy	40	256个SYSCLK周期	ns
tw (SDCH)M0	脉冲持续时间, SDx_Cy 高电平	10	tc (SDC)M0 - 10	ns
tsu (SDDV-SDCH)M0	SDx_Cy变为高电平之前SDx_Dy有效的设置时间	5		ns
th (SDCH-SDD)M0	SDx_Cy变为高电平之后SDx_Dy等待的保持时间	5		ns
模式1				
tc (SDC)M1	周期时间, SDx_Cy	80	56个SYSCLK周期	ns
tw (SDCH)M1	脉冲持续时间, SDx_Cy高电平	10	tc (SDC)M1 - 10	ns
tsu (SDDV-SDCL)M1	SDx_Cy 变为低电平之前SDx_Dy有效的设置时间	5		ns
tsu (SDDV-SDCH)M1	SDx_Cy 变为高电平之前SDx_Dy有效的设置时间	5		ns
th (SDCL-SDD)M1	SDx_Cy 变为低电平之后SDx_Dy等待的保持时间	5		ns
th (SDCH-SDD)M1	SDx_Cy 变为高电平之后SDx_Dy等待的保持时间	5		ns
模式2				
tc (SDD)M2	周期时间, SDx_Dy	5个tc (SYSCLK)	15个tc (SYSCLK)	ns
tw (SDDH)M2	脉冲持续时间, SDx_Dy高电平	10		ns
t w (SDD_LONG_KEEPOUT) M2	SDx_Dy 长脉冲持续保留时间, 其中长脉冲不得落入所列出的最小值或最大值内。 长脉冲被定义为高或低脉冲, 其是曼彻斯特位时钟周期的完整宽度。 对于8到20之间的任何整数, 都必须满足此要求。	(N * tc (SYSCLK)) - 0.5 tc (SYSCLK) + 0.5	(N * tc (SYSCLK)) - 0.5 tc (SYSCLK) + 0.5	ns

$t_w(\text{SDD\_SHORT})\text{ M2}$	用于高或低脉冲的SDx_Dy短脉冲持续时间 (SDD_SHORT_H或SDD_SHORT_L) 。 短脉冲定义为高或低脉冲，其是曼彻斯特位时钟周期的一半宽度。	$t_w(\text{SDD\_LONG})/2 - t_c(\text{SYSCLK}) + t_c(\text{SYSCLK})$	$t_w(\text{SDD\_LONG})/2$	ns
$t_w(\text{SDD\_LONG\_DUTY})\text{ M2}$	SDx_Dy 长脉冲变化 (SDD_LONG_H - SDD_LONG_L)	$- t_c(\text{SYSCLK})$	$t_c(\text{SYSCLK})$	ns
$t_w(\text{SDD\_SHORT\_DUTY})\text{ M2}$	SDx_Dy 短脉冲变化 (SDD_SHORT_H - SDD_SHORT_L)	$- t_c(\text{SYSCLK})$	$t_c(\text{SYSCLK})$	ns
模式3				
$t_c(\text{SDC})\text{M3}$	周期时间, SDx_Cy	40	256 SYSCLK周期	ns
$t_w(\text{SDCH})\text{M3}$	脉冲持续时间, SDx_Cy 高电平	10	$t_c(\text{SDC})\text{M3} - 5$	ns
$t_{su}(\text{SDDV-SDCH})\text{M3}$	SDx_Cy变为高电平之前SDx_Dy有效的设置时间		5	ns
$t_h(\text{SDCH-SDD})\text{M3}$	SDx_Cy变为高电平之后SDx_Dy等待的保持时间		5	ns

### 6.9.5.1.2 SDFM 时序图

注：当没有GPIO输入同步时,SDFM时钟输入( SDx\_Cy引脚) 直接对SDFM模块进行计时。这些输入端的任何干扰或振铃噪声都会破坏SDFM模块的运行。应对这些信号采取特殊的预防措施，以确保满足SDFM时序要求的干净且无噪声的信号。建议采取预防措施，例如对时钟驱动器的任何阻抗不匹配而导致的振铃进行串联终止，以及将走线与其他噪声信号隔离开来。



图 6- 23. SDFM 时序图 - 模式0

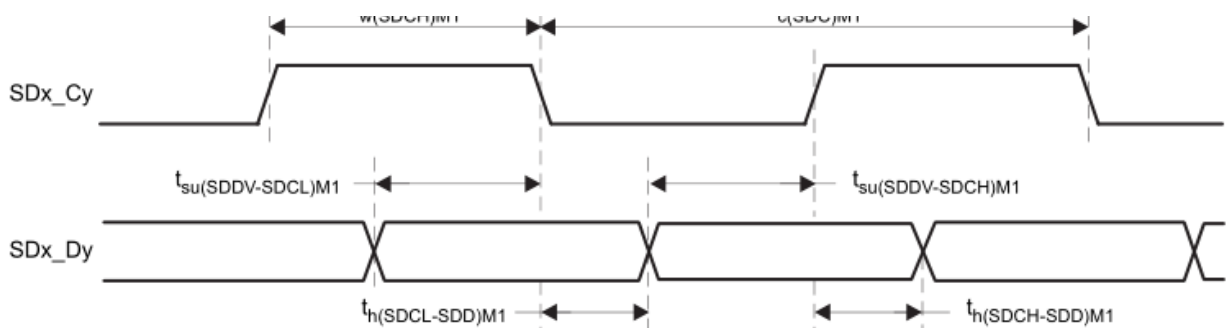


图 6- 24. SDFM 时序图 - 模式1

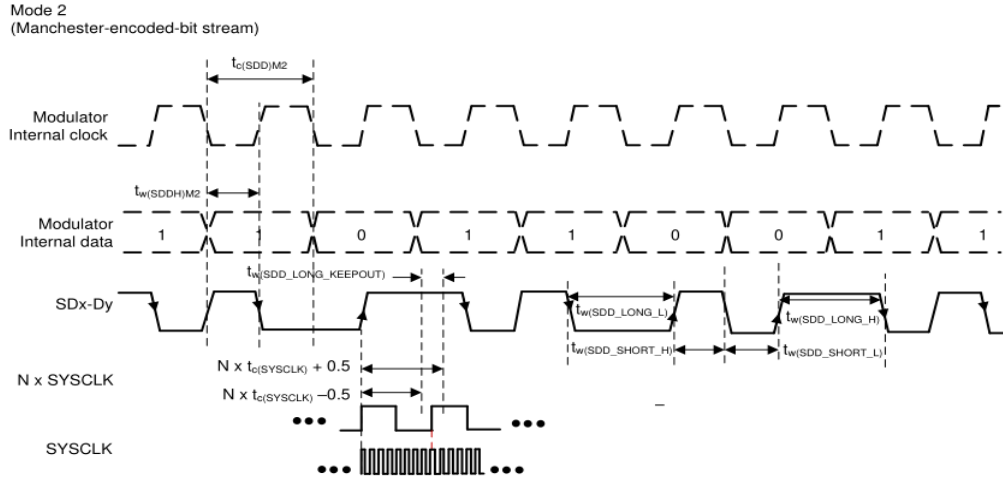


图 6-25. SDFM 时序图 - 模式 2

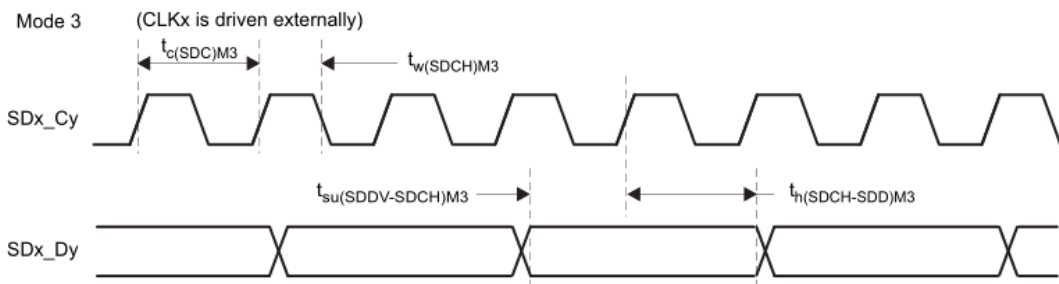


图 6-26. SDFM 时序图 - 模式 3

### 6.9.5.2 SDFM电气数据和时序（同步GPIO）

通过设置GPyQSELn = 0b00来定义具有同步GPIO的SDFM操作。使用这种同步GPIO模式时，必须满足tw(GPI)脉冲持续时间至少为2tc(SYSCLK)的时序要求为SD-Cx和SD-Dx对配置SYNC选项非常重要。节 6.9.5.2.1 列出了使用异步GPIO (SYNC)选项时的SDFM时序要求。

图6-23、图6-24、图6-25和图6-26所示为SDFM时序图。

#### 6.9.5.2.1 使用同步GPIO(SYNC)选项时的SDFM时序要求

理论设计指标（除非另作说明）

表 6-27. 同步 GPIO (SYNC)选项时的 SDFM 时序要求

		最小值	最大值	单位
<b>模式 0</b>				
tc(SDC)M0	周期时间, SDx_Cy	5个SYSCLK 周期	256个SYSCLK 周期	ns
tw(SDCHL)M0	脉冲持续时间, SDx_Cy 高电平/低电平	2个SYSCLK周期	3个 SYSCLK周期	ns
tsu(SDDV-SDCH)M0	SDx_Cy变为高电平之前SDx_Dy有效的设置时间	2个SYSCLK周期		ns
th(SDCH-SDD)M0	SDx_Cy变为高电平之后SDx_Dy等待的保持时间	2个SYSCLK周期		ns

模式1			
$t_{c(SDC)M1}$	周期时间, SDx_Cy	10个SYSCLK周期    256个SYSCLK 周期	ns
$t_w(SDCHL)M1$	脉冲持续时间, SDx_Cy 高电平/低电平	2个SYSCLK周期    8个SYSCLK周期	ns
$t_{su}(SDDV-SDCL)M1$	SDx_Cy 变为低电平之前 SDx_Dy 有效的设置时间	2个 SYSCLK周期	ns
$t_{su}(SDDV-SDCH)M1$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2个 SYSCLK周期	ns
$t_h(SDCL-SDD)M1$	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	2个 SYSCLK周期	ns
$t_h(SDCH-SDD)M1$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2个SYSCLK周期	ns
模式2			
$t_{c(SDD)M2}$	周期时间, SDx_Dy	选项不可用	
$t_w(SDDH)M2$	脉冲持续时间, SDx_Dy 高电平		
模式3			
$t_{c(SDC)M3}$	周期时间, SDx_Cy	5个SYSCLK 周期    256个SYSCLK 周期	ns
$t_w(SDCHL)M3$	脉冲持续时间, SDx_Cy高电平/低电平	2个 SYSCLK周期    3个SYSCLK周期	ns
$t_{su}(SDDV-SDCH)M3$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2个 SYSCLK周期	ns
$t_h(SDCH-SDD)M3$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2个 SYSCLK周期	ns

注意: SDFM同步GPIO (SYNC) 选项可以防止SDFM模块因SDx\_Cy引脚上偶尔随机产生的噪声干扰而损坏, 这些噪声干扰可能导致错误的比较器跳闸和滤波器输出。

SDFM同步GPIO(SYNC)模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

## 6.10 通信外设

### 6.10.1 控制局域网(CAN)

CAN 模块使用称为CAN FD的IP。本文档交替使用名称CAN和CAN FD来引用此外设。

CAN 模块实现了以下功能:

#### 支持CAN规范

- CAN2.0B (最多支持8字节的有效载荷, 由Bosch参考模型进行验证)
- 可选支持CAN FD(最多支持64字节的有效载荷, 符合ISO 11898-1:2015或非ISO Bosch标准)

准)

- 自由可编程数据速率:
  - CAN 2.0B定义了高达1Mbit/s的数据速率
  - CAN FD受收发器和CAN-CTRL核心时钟频率限制
- 可编程波特率预分频器 (1至1/256)
- 接收缓冲区 (RB)
- 包含16个接收缓冲槽
  - 类似FIFO的行为
  - “未接受”或“错误”的接收消息不会覆盖已存储的消息
- 两个发送缓冲区
  - 一个主要发送缓冲区 (PTB)
  - 一个次要发送缓冲区 (STB)
- 包含16个发送缓冲槽
  - FIFO模式
  - 优先级仲裁模式
- 16组独立的接收过滤器
  - 支持11位标准ID和29位扩展ID
- 可编程ID CODE位以及MASK位
- 扩展特性
  - 单次发送模式 (适用于PTB和/或STB)
  - 静默模式
  - 回环模式 (内部和外部)
  - 收发器待机模式

- 扩展的状态和错误报告
  - 捕获最近发生的错误类型和仲裁丢失位置
  - 可编程的错误警告限制
- 可配置的中断源
- 时间戳：
  - ISO 11898-4具有部分硬件支持的时间触发CAN（当前暂未支持）
  - CiA 603时间戳（当前暂未支持）
- 兼容AUTOSAR
- 优化用于SAE J1939

CAN 模块框图如图 6-27所示。

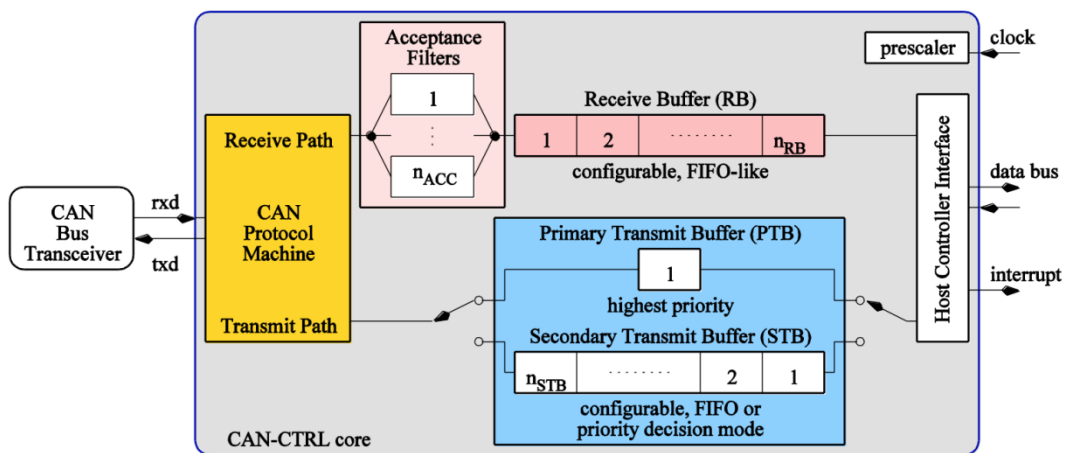


图 6- 27. CAN 框图

## 6.10.2 内置集成电路(I2C)

I2C 模块具有以下特点:

- 符合 NXP Semiconductor I2C 总线规范 (版本 2.1) :
  - 支持8位格式传输
  - 7位和10位寻址模式
  - 常规调用
  - **START**字节模式
  - 支持多个主发送器和从接收器
  - 支持多个从发送器和主接收器
  - 组合主器件发送/接收和接收/发送模式
  - 数据传输速率从10kbps到400kbps (快速模式)
- 一个16字节接收FIFO和一个16字节发送FIFO
- 支持两个ePIE中断
  - I2Cx中断 - 可以配置以下任何条件来生成I2Cx中断:
    - 发送就绪
    - 接收就绪
    - 寄存器访问就绪
    - 无确认
    - 仲裁丢失
    - 检测到停止条件
    - 被寻址为从器件
  - I2Cx\_FIFO中断:
    - 发送FIFO中断
    - 接收FIFO中断
- 模块启用和禁用能力
- 自由数据格式模式



设备I2C外设模块接口如图 6-28 所示。

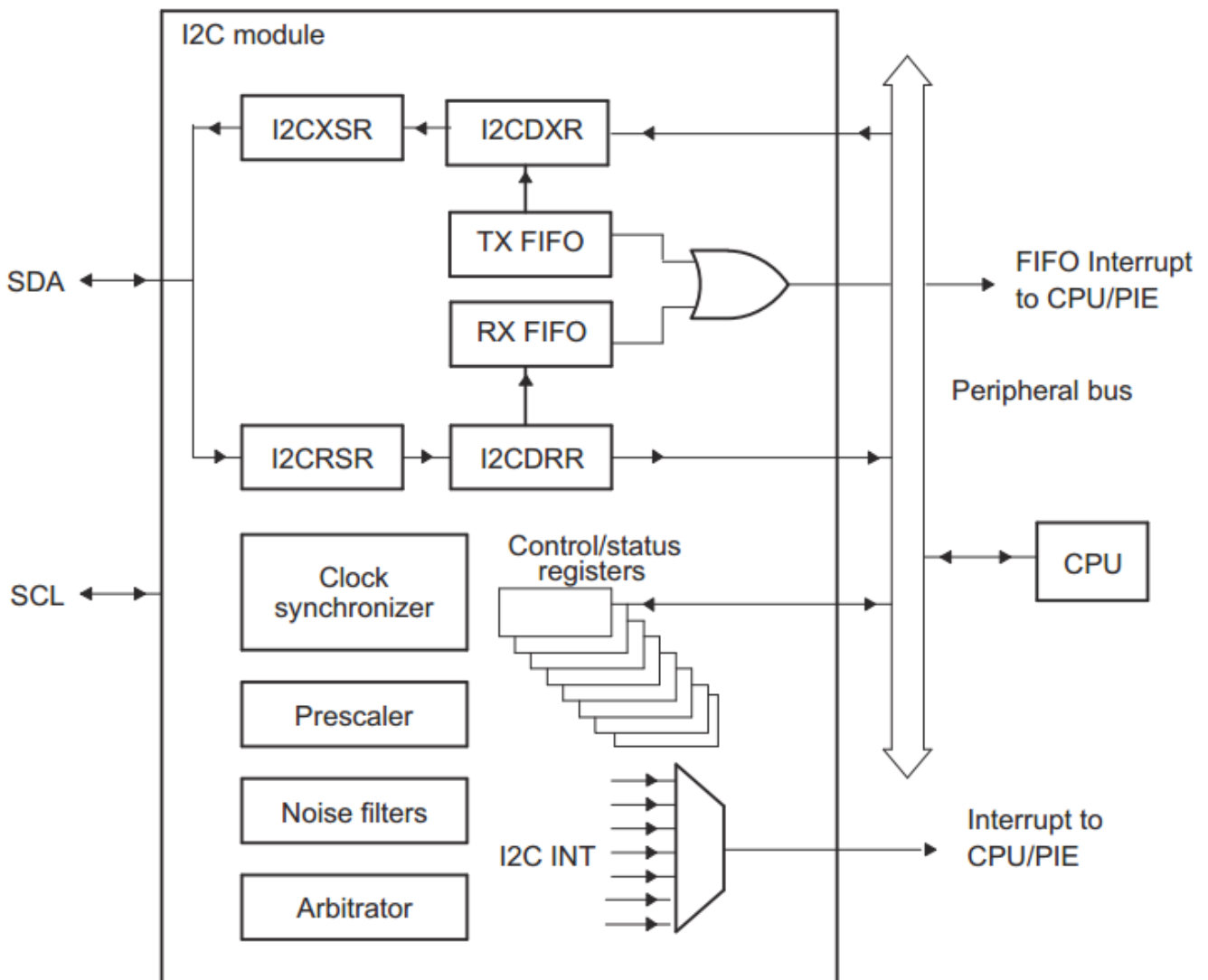


图 6-28. I2C 外设模块接口

注意:为了满足所有I2C协议时序规范, I2C模块时钟必须配置在7MHz ~ 12MHz范围内。

### 6.10.2.1 I2C电气数据和时序

I2C定时要求请参见章节6.10.2.1.1。I2C开关特性请参见 6.10.2.1.2。I2C时序示意图如图 6-30 所示。

## 6.10.2.1.1 I2C时序要求

表 6-28. I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f <sub>mod</sub>	I2C 模块频率	7	12	MHz
T1	t <sub>h</sub> (SDA-SCL)START	保持时间, 启动条件, SDA 下降后 SCL 下降延迟	4.0		μs
T2	t <sub>su</sub> (SCL-SDA)START	设置时间, 重复启动, SDA 下降延迟之前 SCL 上升	4.0		μs
T3	t <sub>h</sub> (SCL-DAT)	保持时间, SCL 下降后的数据	0		μs
T4	t <sub>su</sub> (DAT-SCL)	设置时间, SCL 上升前的数据	250		ns
T5	t <sub>r</sub> (SDA)	上升时间, SDA		1000	ns
T6	t <sub>r</sub> (SCL)	上升时间, SCL		1000	ns
T7	t <sub>f</sub> (SDA)	下降时间, SDA		300	ns
T8	t <sub>f</sub> (SCL)	下降时间, SCL		300	ns
T9	t <sub>su</sub> (SCL-SDA)STOP	设置时间, 停止条件, SDA 上升延迟之前 SCL 上升	4.0		μs
T10	t <sub>w</sub> (SP)	将由滤波器抑制的尖峰脉冲持续时间	t <sub>c</sub> (CMCLK)	31*t <sub>c</sub> (CMCLK)	ns
T11	C <sub>b</sub>	每条总线上的电容负载		400	pF
快速模式					
T0	f <sub>mod</sub>	I2C 模块频率	7	12	MHz
T1	t <sub>h</sub> (SDA-SCL)START	保持时间, 启动条件, SDA 下降后 SCL 下降延迟	0.6		μs
T2	t <sub>su</sub> (SCL-SDA)START	设置时间, 重复启动, SDA 下降延迟之前 SCL 上升	0.6		μs
T3	t <sub>h</sub> (SCL-DAT)	保持时间, SCL 下降后的数据	0		μs
T4	t <sub>su</sub> (DAT-SCL)	设置时间, SCL 上升前的数据	100		ns
T5	t <sub>r</sub> (SDA)	上升时间, SDA	20	300	ns
T6	t <sub>r</sub> (SCL)	上升时间, SCL	20	300	ns
T7	t <sub>f</sub> (SDA)	下降时间, SDA	11.4	300	ns
T8	t <sub>f</sub> (SCL)	下降时间, SCL	11.4	300	ns
编号			最小值	最大值	单位
T9	t <sub>su</sub> (SCL-SDA)STOP	设置时间, 停止条件, SDA 上升延迟之前 SCL 上升	0.6		μs
T10	t <sub>w</sub> (SP)	将由滤波器抑制的尖峰脉冲持续时间	t <sub>c</sub> (CMCLK)	31*t <sub>c</sub> (CMCLK)	ns
T11	C <sub>b</sub>	每条总线上的电容负载		400	pF

### 6.10.2.1.2 I2C 开关特性

在推荐的工作条件下（除非另有说明）

表 6-29. I2C 开关特性

编号	参数	测试条件	最小值	最大值	单位
标准模式					
S1	fSCL	SCL 时钟频率	0	100	kHz
S2	TSCL	SCL 时钟周期	10		μs
S3	tw(SCLL)	脉冲持续时间, SCL时钟低电平	4.7		μs
S4	tw(SCLH)	脉冲持续时间, SCL时钟高电平	4.0		μs
S5	tBUF	停止和启动条件之间的总线空闲时间	4.7		μs
S6	tv(SCL-DAT)	有效时间, SCL下降后的数据		3.45	μs
S7	tv(SCL-ACK)	有效时间, SCL下降后的确认		3.45	μs
S8	Ii	引脚上的输入电流	0.1 V <sub>bus</sub> < Vi < 0.9 V <sub>bus</sub>		-10 10 μA
快速模式					
S1	fSCL	SCL 时钟频率	0	400	kHz
S2	TSCL	SCL 时钟周期	2.5		μs
S3	tw(SCLL)	脉冲持续时间, SCL时钟低电平	1.3		μs
S4	tw(SCLH)	脉冲持续时间, SCL时钟高电平	0.6		μs
S5	tBUF	停止和启动条件之间的总线空闲时间	1.3		μs
S6	tv(SCL-DAT)	有效时间, SCL下降后的数据	0.9		μs
S7	tv(SCL-ACK)	有效时间, SCL下降后的确认	0.9		μs
S8	Ii	引脚上的输入电流	0.1 V <sub>bus</sub> < Vi < 0.9 V <sub>bus</sub>		-10 10 μA

6.10.2.1.3 I2C 时序图

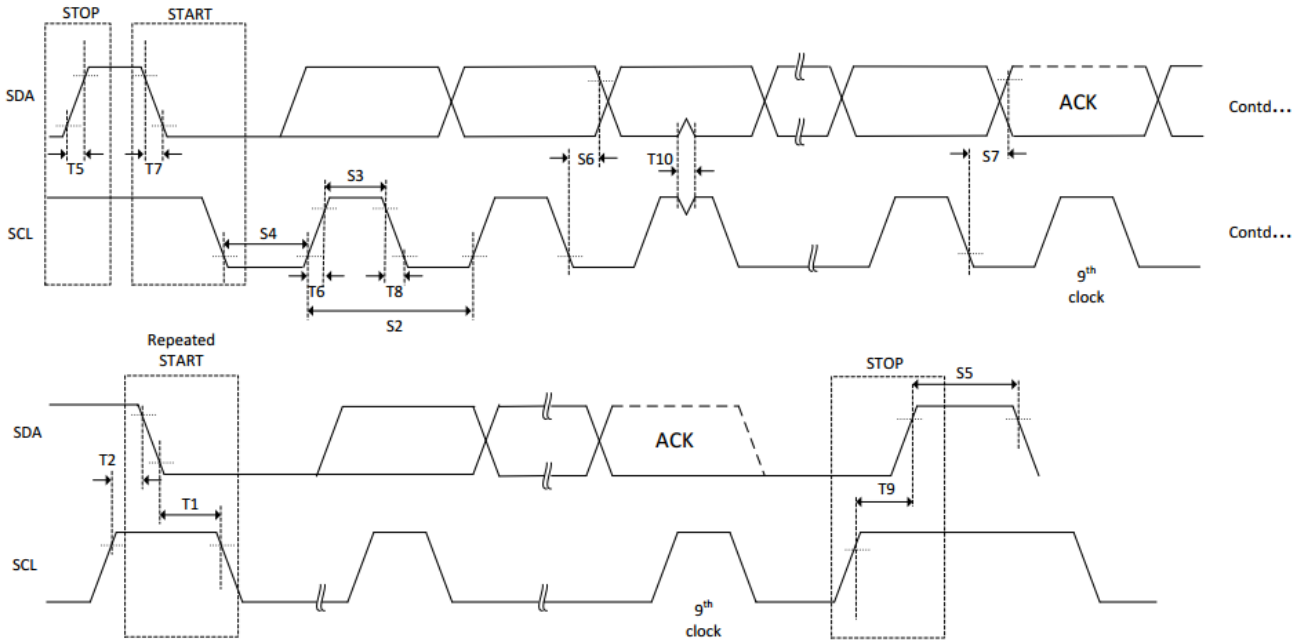


图 6-29. I2C 时序图



### 6.10.3 串行外设接口(SPI)

串行外设接口(SPI)是一个高速同步串行输入和输出(I/O)端口, 允许一个可编程长度(4~32位)的串行比特流被移进和移出设备, 可根据配置的传输速率传输。SPI通常用于DSP控制器与外设或其他控制器之间的通信。典型的应用包括通过移位寄存器、显示驱动和模数转换器(ADC等)设备进行外部 I/O 或外围扩展。SPI的主或从运行支持多设备通信。支持8级收发FIFO, 可减少CPU工作开销。

SPI模块的特点包括 :

- ADC中断和EVT信号SPISOMI : SPI从输出/主输入引脚
- SPISIMO: SPI从输入/主输出引脚
- SPSTE : SPI从传输使能引脚
- SPICLK: SPI 串行时钟引脚
- 两种操作模式:主和从
- 波特率:65530个不同的可编程速率。可用的最大波特率受限于SPI引脚上I/O缓冲区的最大速度。
- 数据字长:4 ~ 32 位
- 四种时钟策略(由时钟极性和时钟相位位控制)包括:
  - 无相位延迟下降沿: SPICLK 高电平有效。SPI在 SPICLK 信号的下降沿传输数据, 在 SPICLK 信号的上升沿接收数据。
  - 有相位延迟下降沿: SPICLK高电平有效。SPI在 SPICLK 信号下降沿前半个周期发送数据, 在 SPICLK 信号的下降沿接收数据。
  - 无相位延迟的上升沿: SPICLK低电平无效。SPI在 SPICLK 信号的上升沿发送数据, 在 SPICLK 信号的下降沿接收数据。
  - 有相位延迟的上升沿: SPICLK低电平无效。SPI在 SPICLK 信号上升沿前半个周期发送数据, 并在 SPICLK 信号上升沿接收数据。
- 同时进行收发操作(可在软件中禁用发送功能)
- 发送机和接收机操作通过中断驱动或轮询算法来完成
- 8 级发送/接收FIFO

- 支持 DMA
- 3-线SPI模式

SPI CPU 接口如图 6-30 所示。

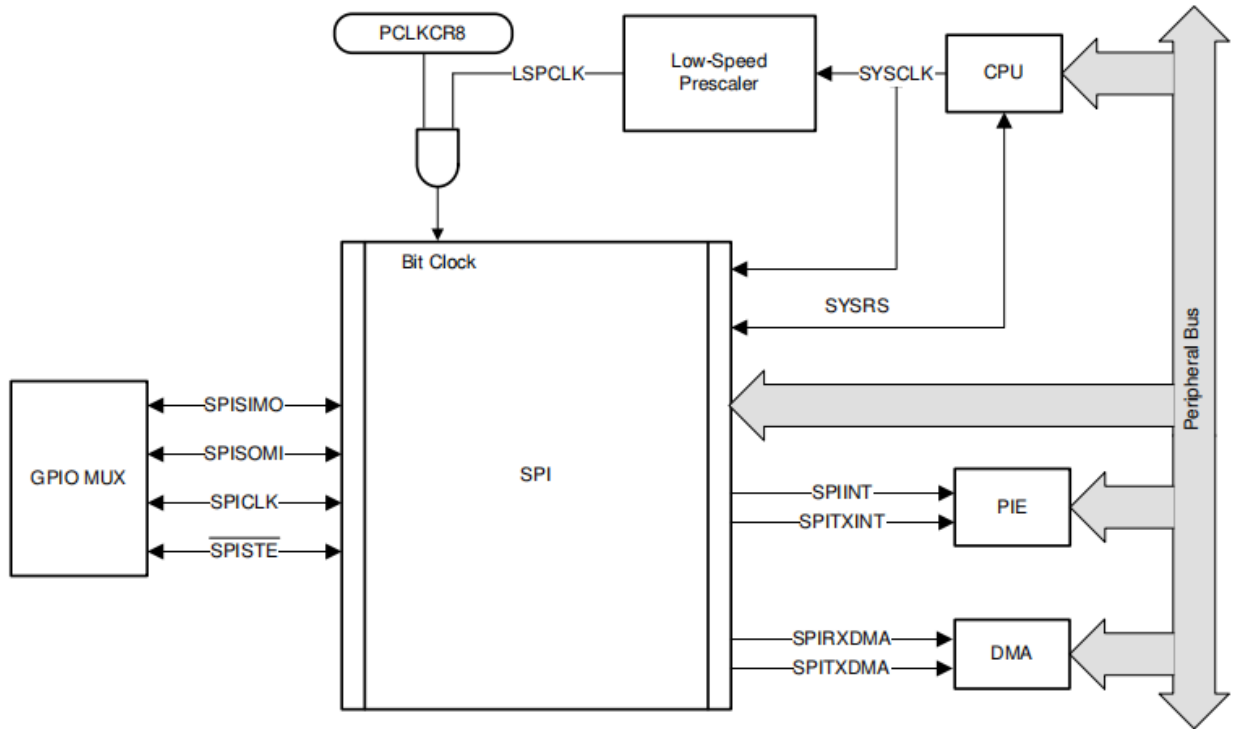


图 6-30. SPI CPU 接口

### 6.10.3.1 SPI 主模式时序

第 6.10.3.1.1 节列出了SPI主模式时序要求。

第 6.10.3.1.2 节列出了SPI主模式开关特性，其中时钟相位= 0。时钟相位为0的SPI主模式外部时序如图 6-31 所示。

第 6.10.3.1.3 节列出了时钟相位等于1的SPI主模式切换特性。时钟相位为1的SPI主模式外部时序如图 6-32 所示。

注意：SPI高速模式的所有定时参数在SPICLK、SPISIMO和SPISOMI上假定负载电容为 5pf。

## 6.10.3.1.1 SPI主模式定时要求

表 6-30. SPI 主模式定时要求

正常模式						
NO.	参数		(BRR + 1) <sup>(1)</sup>	最小值	最大值	单位
8	$t_{su(SOM)M}$	建立时间, SPISOMI在SPICLK之前有效	偶数, 奇数	20		ns
9	$t_{h(SOM)M}$	保持时间, SPISOMI在SPICLK之后有效	偶数, 奇数			ns

(1) 当(SPIBRR + 1)为偶数或 SPIBRR为0或2时, (BRR + 1)条件为偶数。当(SPIBRR + 1)为奇数且SPIBRR大于3时为奇数。

## 6.10.3.1.2 SPI 主模式开关特性(时钟相位= 0)

理论设计指标 (除非另作说明)

表 6-31. SPI 主模式开关特性(时钟相位= 0)

NO.	参数		(BRR + 1) <sup>(1)</sup>	最小值	最大值	单位
通用						
1	$t_c(SPC)M$	周期时间, SPICLK	偶数	$4t_c(LSPCLK)$	$128t_c(LSPCLK)$	ns
			奇数	$5t_c(LSPCLK)$	$127t_c(LSPCLK)$	
2	$t_w(SPC1)M$	脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_c(SPC)M - 3$	$0.5t_c(SPC)M + 3$	ns
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) - 3$	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) + 3$	
3	$t_w(SPC2)M$	脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_c(SPC)M - 3$	$0.5t_c(SPC)M + 3$	ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) + 3$	
23	$t_d(SPC)M$	延迟时间, SPISTE到SPICLK有效	偶数	$1.5t_c(SPC)M - 3t_c(SYSCLK) - 3$		ns
			奇数	$1.5t_c(SPC)M - 3t_c(SYSCLK) - 3$		
24	$t_v(STE)M$	有效时间, SPICLK到SPISTE无效	偶数	$0.5t_c(SPC)M - 6$		ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$		
4	$t_d(SIMO)M$	延迟时间, 在SPICLK到SPISIMO有效	偶数, 奇数		5	ns
5	$t_v(SIMO)M$	有效时间, 在 SPICLK后SPISIMO有效	偶数	$0.5t_c(SPC)M - 6$		ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$		

(1) 当(SPIBRR + 1)为偶数或 SPIBRR 为0或2时, (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且SPIBRR大于3时为奇数。

## 6.10.3.1.3 SPI主模式开关特性(时钟相位= 1)

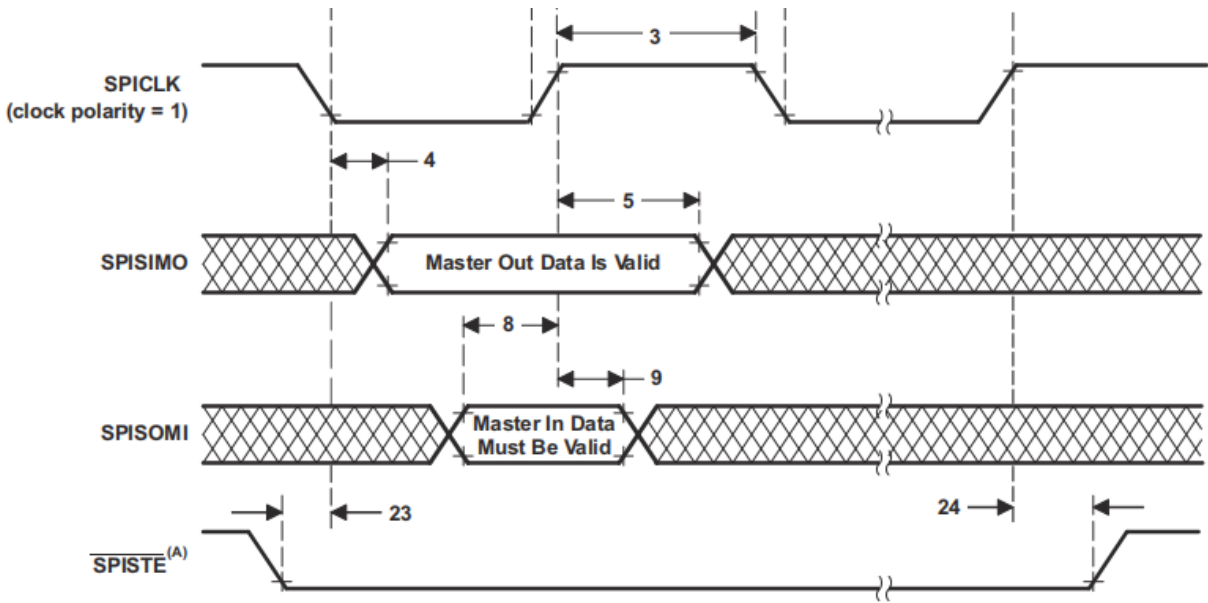
理论设计指标（除非另作说明）

表 6- 32. SPI 主模式开关特性(时钟相位= 1)

NO.	参数	(BRR + 1)	最小	最大值	单位	
通用						
1	$t_c(\text{SPC})_M$	周期时间, SPICLK	偶数	$4t_c(\text{LSPCLK})$	$128t_c(\text{LSPCLK})$	ns
			奇数	$5t_c(\text{LSPCLK})$	$127t_c(\text{LSPCLK})$	
2	$t_w(\text{SPCH})_M$	脉冲持续时间, SPICLK,第一脉冲	偶数	$0.5t_c(\text{SPC})_M - 3$	$0.5t_c(\text{SPC})_M + 3$	ns
			奇数	$0.5t_c(\text{SPC})_M - 0.5t_c(\text{LSPCLK}) - 3$	$0.5t_c(\text{SPC})_M - 0.5t_c(\text{LSPCLK}) + 3$	
3	$t_w(\text{SPC2})_M$	脉冲持续时间, SPICLK,第二脉冲	偶数	$0.5t_c(\text{SPC})_M - 3$	$0.5t_c(\text{SPC})_M + 3$	ns
			奇数	$0.5t_c(\text{SPC})_M + 0.5t_c(\text{LSPCLK}) - 3$	$0.5t_c(\text{SPC})_M + 0.5t_c(\text{LSPCLK}) + 3$	
23	$t_d(\text{SPC})_M$	延迟时间, $\overline{\text{SPISTE}}$ 到SPICLK有效	偶数, 奇数	$2t_c(\text{SPC})_M - 3t_c(\text{SYSCLK}) - 3$		ns
24	$t_d(\text{STE})_M$	延迟时间, SPICLK到 $\overline{\text{SPISTE}}$ 无效	偶数	$0.5t_c(\text{SPC})_M - 6$		ns
			奇数	$0.5t_c(\text{SPC})_M - 0.5t_c(\text{LSPCLK}) - 1$		
4	$t_d(\text{SIMO})_M$	延迟时间, SPISIMO到SPICLK为有效	偶数	$0.5t_c(\text{SPC})_M - 4$		ns
			奇数	$0.5t_c(\text{SPC})_M + 0.5t_c(\text{LSPCLK}) - 1$		
5	$t_v(\text{SIMO})_M$	有效时间, SPISIMO在SPICLK后SPISIMO有效	偶数	$0.5t_c(\text{SPC})_M - 6$		ns
			奇数	$0.5t_c(\text{SPC})_M - 0.5t_c(\text{LSPCLK}) - 1$		

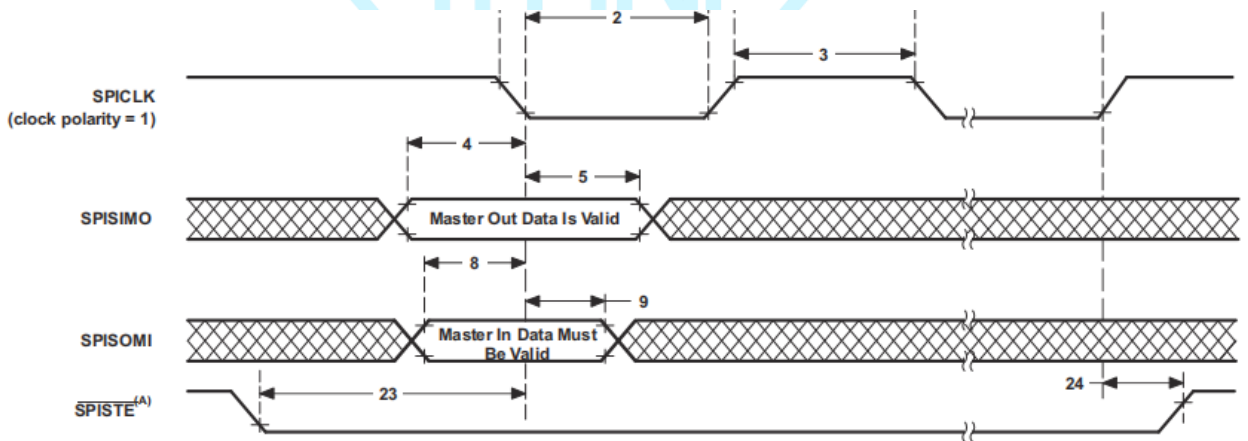
(1) 当(SPIBRR + 1)为偶数或 SPIBRR为0或2时, (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且SPIBRR大于3时为奇数。

6.10.3.1.4 SPI主模式时序图



A.在字段的尾端，在FIFO和非FIFO模式下的除非连续发送字， $\overline{SP1STE}$ 处于非活动状态。

图 6-31. 主模式外部时序(时钟相位 = 0)



A.在字的尾端，除了在FIFO和非FIFO模式下的背对背传输单词之间， $\overline{SP1STE}$ 将处于非活动状态。

图 6-32. SPI 主模式外部时序 (时钟相位 = 1)

### 6.10.3.2 SPI 从模式时序

下面的部分包含 SPI从模式时序。

章节 6.10.3.2.1 列出了SPI从模式时序要求。章节6.10.3.2.2列出了SPI从模式开关特性.时钟相位为0的SPI从模式外部时序如图 6-33 所示。时钟相位为1的SPI从模式外部时序如图6-34 所示。

#### 6.10.3.2.1 SPI 从模式时序要求

表 6- 33. SPI 从模式时序要求

NO.	参数		最小值	最大值	单位
12	$t_c(\text{SPC})\text{S}$	周期时间, SPICLK	$4t_c(\text{SYSCLK})$		ns
13	$t_w(\text{SPC1})\text{S}$	脉冲持续时间, SPICLK,第一脉冲	$2t_c(\text{SYSCLK}) - 1$		ns
14	$t_w(\text{SPC2})\text{S}$	脉冲持续时间, SPICLK,第二脉冲	$2t_c(\text{SYSCLK}) - 1$		ns
19	$t_{su}(\text{SIMO})\text{S}$	建立时间,在 SPICLK之前SPISIMO有效	$1.5t_c(\text{SYSCLK})$		ns
20	$t_h(\text{SIMO})\text{S}$	保持时间,在 SPICLK 之后SPISIMO有效	$1.5t_c(\text{SYSCLK})$		ns
25	$t_{su}(\text{STE})\text{S}$	建立时间,在 SPICLK之前SPISTE有效(时钟相位= 0)	$2t_c(\text{SYSCLK}) + 2$		ns
		建立时间,在 SPICLK 之前SPISTE有效(时钟相位=1)	$2t_c(\text{SYSCLK}) + 22$		ns
26	$t_h(\text{STE})\text{S}$	保持时间,在 SPICLK之后SPISTE无效	$1.5t_c(\text{SYSCLK})$		ns

#### 6.10.3.2.2 SPI 从模式开关特性

理论设计指标（除非另作说明）

表 6- 34. SPI 从模式开关特性

NO.	参数		最小值	最大值	单位
15	$t_d(\text{SOMI})\text{S}$	延迟时间, SPICLK到SPISOMI有效		16	ns
16	$t_v(\text{SOMI})\text{S}$	有效时间,在SPICLK之后SPISOMI有效	0		ns

6.10.3.2.3 SPI 从模式时序图

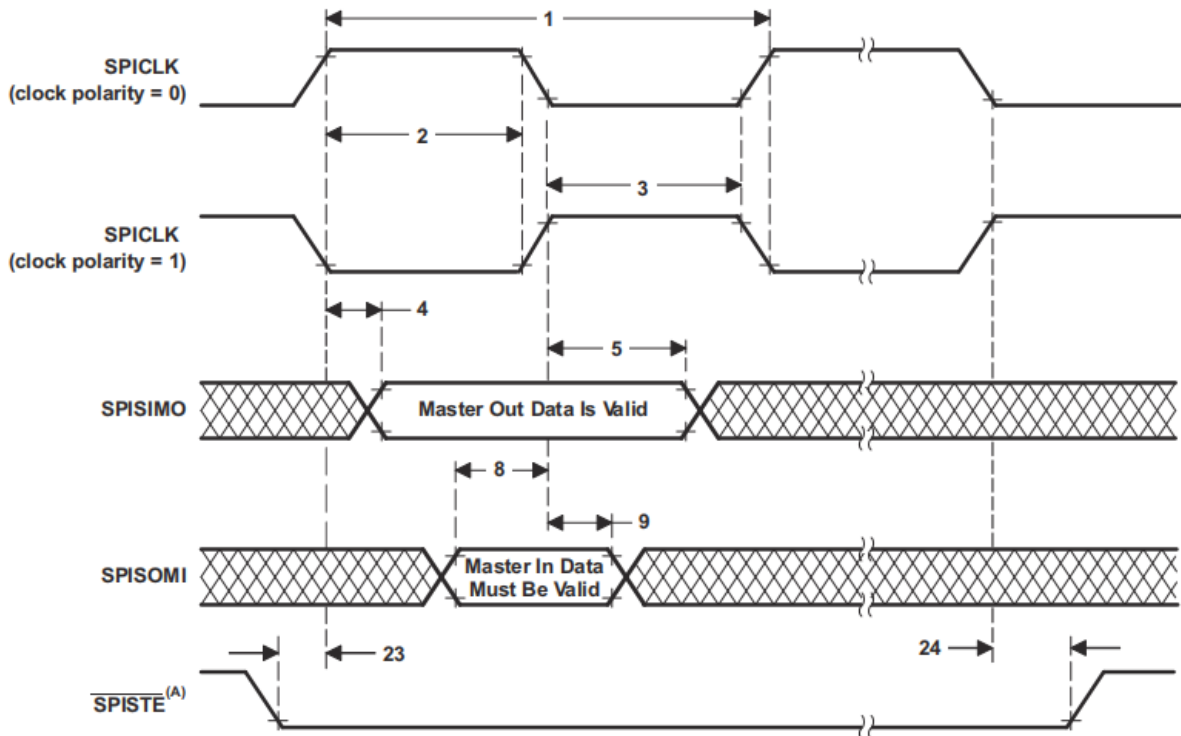


图 6-33. SPI 从模式外部时序 (时钟相位 = 0)

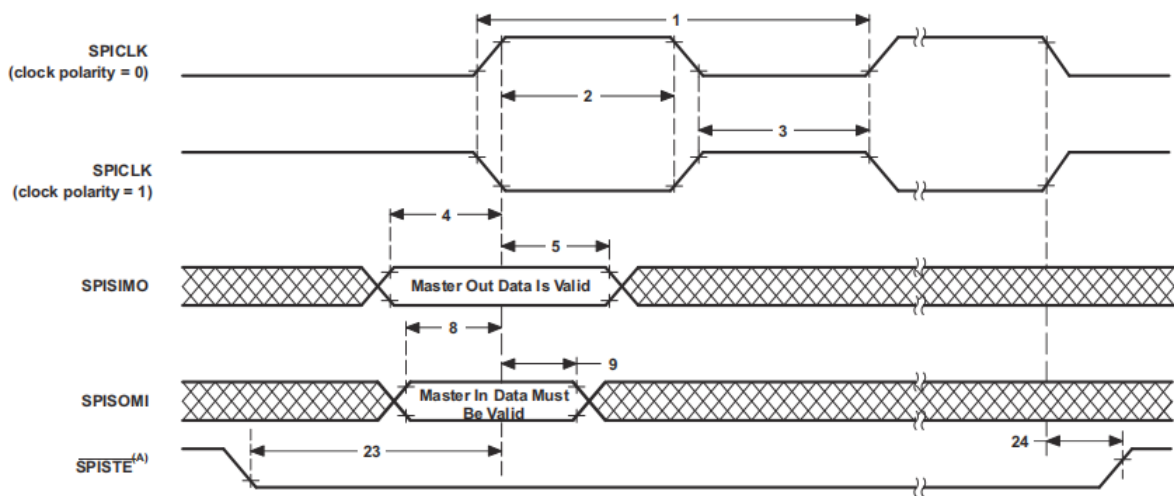


图 6-34. SPI 从模式外部时序 (时钟相位 = 1)

#### 6.10.4 电源管理总线(PMBus)接口

PMBus 模块具有以下特点:

- \* 符合 SMI 论坛 PMBus 规范(Part I v1.0 和 Part II v1.1)
- \* 支持主和从模式
- \* 支持I2C模式
- \* 支持两种速率
  - 标准模式: 最高达100kHz
  - 快速模式: 400kHz
- \* 数据包错误检验
- \* 控制和警报信号
- \* 时钟高电平和低电平超时
- \* 4 字节发送和接收缓冲区
- \* 一个可屏蔽中断, 它可以由以下条件生成:
  - 接收数据就绪
  - 发送缓冲区为空
  - 从地址接收  
报文结束
  - ALERT输入提示
  - 时钟低超时
  - 时钟高超时
  - 总线空闲

PMBus 模块框图如图 5-49 所示。



第 6.10.4.1.1 节列出了PMBus电气特性。章节 6.10.4.1.2 列出了PMBUS快速模式的开关特性。章节 6.10.4.1.3 列出了PMBUS标准模式的开关特性。

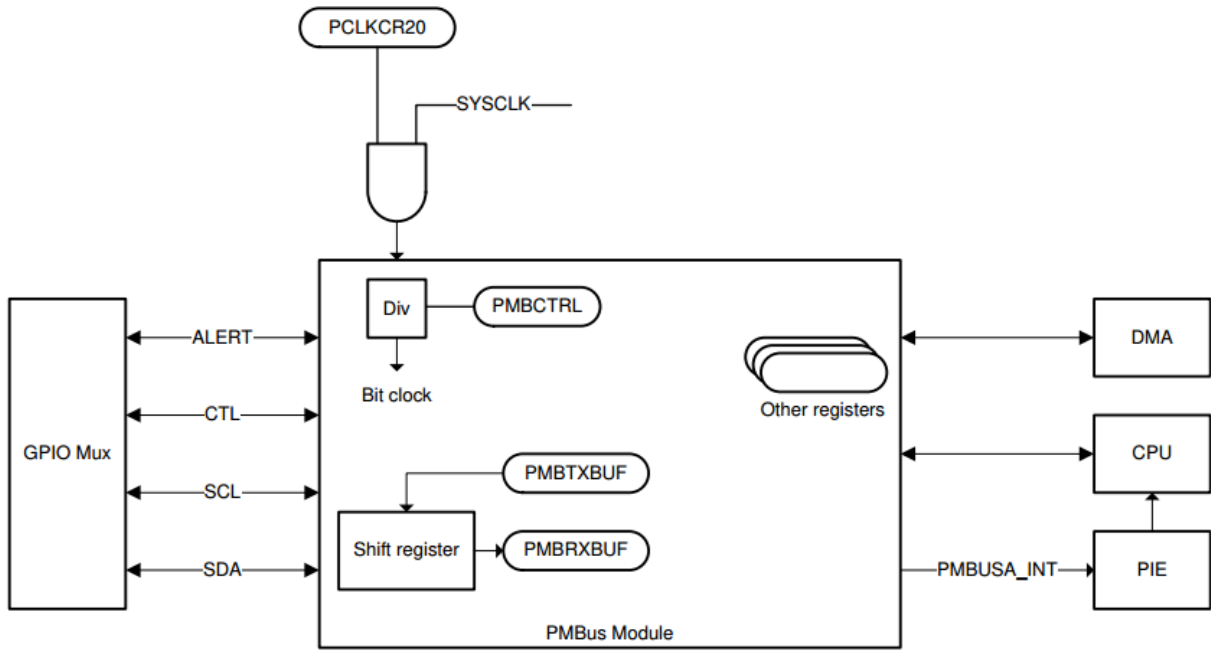


图 6- 35 PMBus 方框图

#### 6.10.4.1.1 PMBus 电气特性

在建议运行条件下测得（除非另有说明）

表 6- 35. PMBUS 电气特性

表 6- 35. PMBUS 电气特性

参数		测试条件	最小值	典型值	最大值	单位
V <sub>IL</sub>	有效低电平输入电压				0.8	V
V <sub>IH</sub>	有效高电平输入电压		2.1	V <sub>DDIO</sub>		V
V <sub>OL</sub>	低电平输出电压	At I <sub>pullup</sub> = 4 mA			0.4	V
I <sub>OL</sub>	低电平输出电流	V <sub>OL</sub> ≤ 0.4 V	4			mA
t <sub>SP</sub>	输入滤波器必须抑制的脉冲宽度		0		50	ns
I <sub>i</sub>	在每个引脚上输入漏电流	0.1 V <sub>bus</sub> < V <sub>i</sub> < 0.9 V <sub>bus</sub>	-10		10	μA
C <sub>i</sub>	每个引脚的电容				10	pF

### 6.10.4.1.2 PMBus 快速模式的开关特性

理论设计指标（除非另作说明）

表 6- 36.PMBUS 开关特性

参数		测试条件	最小值	典型值	最大值	单位
fSCL	SCL时钟频率		10		400	kHz
tBUF	在STOP和START之间的总线空闲时间		1.3			μs
tHD;STA	START条件保持时间-- SDA fall to SCL fall delay SDA下降到 SCL下降的延迟		0.6			μs
tSU;STA	重复START建立时间 -- SCL rise to SDA fall delay SCL上升到 SDA下降之间的延时		0.6			μs
tSU;STO	STOP条件建立时间 -- SCL上升到SDA上升的延迟		0.6			μs
tHD;DAT	在 SCL下降后的保持时间		300			ns
tSU;DAT	在 SCL上升前的建立时间		100			ns
tTimeout	时钟低超时		25		35	ms
tLOW	低周期的SCL时钟		1.3			μs
tHIGH	高周期的SCL时钟		0.6		50	μs
tLOW;SEXT	累计时钟低延时间（从设备）	从START到STOP			25	ms
tLOW;MEXT	累计时钟低延时间（主设备）	每个字节内			10	ms
t <sub>r</sub>	SDA和SCL的上升时间	5% 至 95%	20		300	ns
t <sub>f</sub>	SDA和SCL的下降时间	95% 至 5%	20		300	ns

### 6.10.4.1.3 PMBus 标准模式的开关特性

理论设计指标（除非另作说明）

表 6- 37. PMBUS 标准模式开关特性

参数		测试条件	最小值	典型值	最大值	单位
fSCL	SCL 时钟频率		10		100	kHz
tBUF	在 STOP和 START之间的总线空闲时间		4.7			μs
tHD;STA	START条件保持时间-- SDA fall to SCL fall delaySDA下降到 SCL下降的延迟		4			μs
tSU;STA	重复START建立时间 -- SCL rise to SDA fall delaySCL上升到 SDA下降之间的延时		4.7			μs
tSU;STO	STOP条件建立时间 -- SCL上升到 SDA上升的延迟		4			μs
tHD;DAT	在 SCL下降后的保持时间		300			ns
tSU;DAT	在 SCL上升前的建立时间		250			ns
tTimeout	时钟低超时		25		35	ms
tLOW	低周期的SCL时钟		4.7			μs
tHIGH	高周期的SCL时钟		4		50	μs
tLOW;SEXT	累计时钟低延时间（从设备）	从START至STOP			25	ms
tLOW;MEXT	累计时钟低延时间（主设备）	每个字节内			10	ms
t <sub>r</sub>	SDA和SCL的上升时间				1000	ns
t <sub>f</sub>	SDA和SCL的下降时间				300	ns

### 6.10.5 串行通信接口(SCI)

SCI 是一种两线异步串行端口，通常称为UART。SCI模块支持CPU和其他使用标准非归零(NRZ)格式的异步外设的数字通信。SCI接收器和发射器都有一个16层的FIFO，可以减少CPU工作开销，每个都有单独的使能和中断位。可以独立进行半双工通信，或同时进行全双工通信。为了确定数据完整性，SCI检查接收到的数据是否有中断检查、奇偶校验、溢出和帧格式错误。通过16位寄存器修改可以编程不同的波特率速度。

SCI模块的特点包括:

两个外部引脚 : (如果不用于SCI, 则两个引脚都可以用作GPIO)

- SCITXD: SCI 发送输出引脚
- SCIRXD: SCI 接收输入引脚
- 波特率可编程到921600 不同的速率
- 数据字格式:
  - 1 起始位
  - 数据字长可编程从1到8 位
  - 可选偶数/奇数/无奇偶 校验位
  - 1 或 2 个停止位
- 4 个错误检测标志:奇偶校验, 溢出, 帧格式和中断检测
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发射器和接收器操作可以通过带有状态标志的中断驱动或轮询算法来完成
  - 发射器:TXRDY 标志(发射器-缓冲寄存器准备接收另一个字符 char)和TX\_EMPTY标志(发射器-移位寄存器为空)
  - 接收器:RXRDY 标志(接收缓冲区寄存器准备接收另一个字符 char), BRKDT 标志(中断条件发生), RX\_ERROR 标志(监控四种中断条件)
- 独立的发射机和接收机的中断使能位(BRKDT除外)
- 16 级发送和接收 FIFO

注意: 此模块中的所有寄存器都是8位寄存器。当访问寄存器时, 寄存器数据位于低字节(位7-0), 高字节(位 15-8)被读取为零。写入高字节没有效果。

SCI框图如图 6-36 所示。

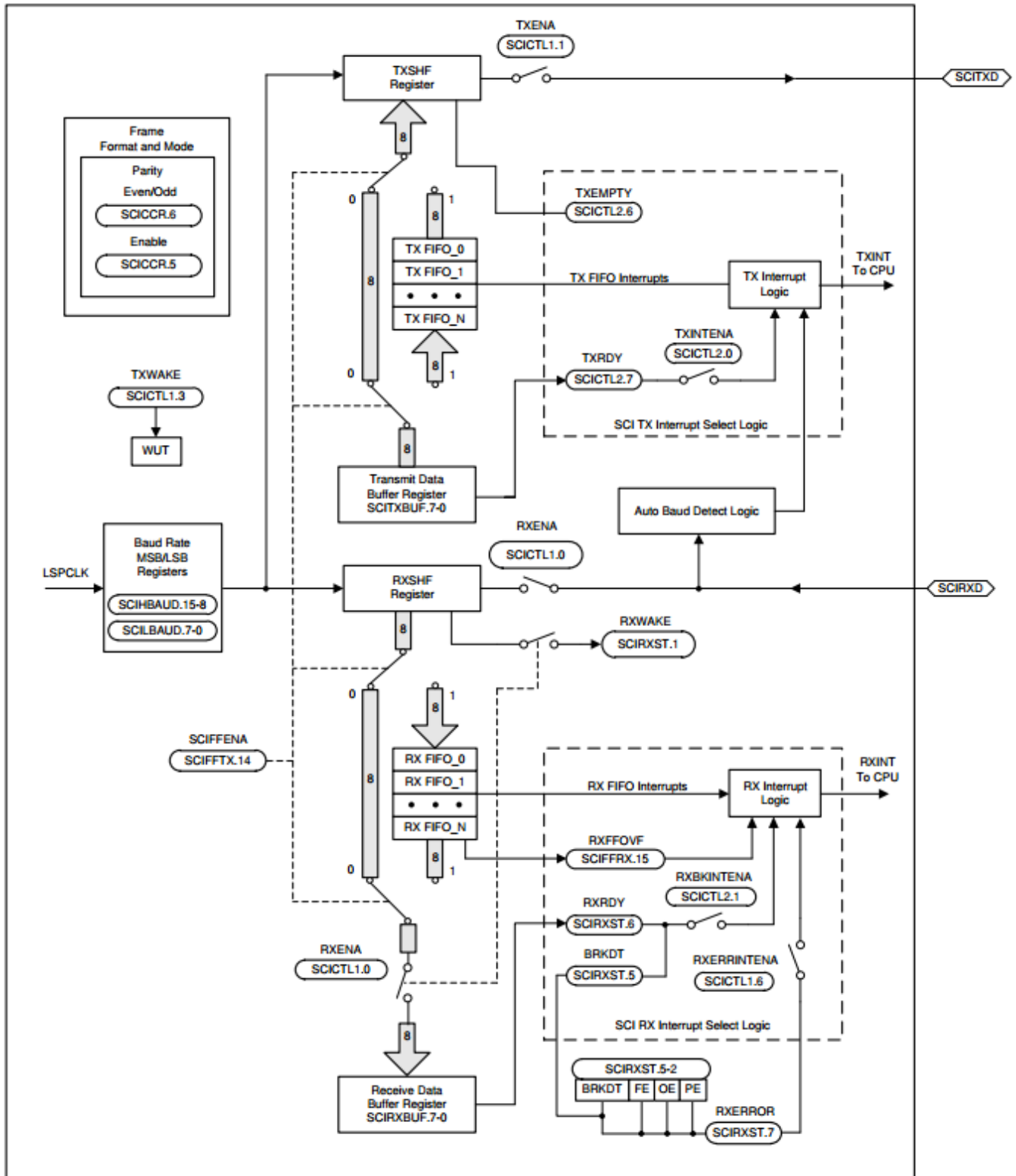


图 6-36 SCI 方框图

### 6.10.6 本地互连网络(LIN)

LIN是用于汽车和工业应用中的本地互连网络（LIN）的独立控制器。LIN符合LIN 2.2A规范，并可选择与LIN 1.3兼容。DLIN允许在1 kbit/s和20 kbit/s之间进行串行传输。

LIN (Local Interconnect Network) 是一种串行通信协议，旨在提供成本效益高的总线通信。LIN标准包括传输介质的规范，开发工具之间的接口，传输协议以及软件编程接口。LIN被创建用于降低汽车网络的成本，在简单的应用（传感器或执行器）中取代了最昂贵的CAN。LIN设备可以实现为主节点或从节点。

LIN 模块具有以下特点：

- 符合LIN 2.2A和LIN 1.3规范
- 自动处理LIN报文头
- 自动重新同步
- 数据速率在1Kbit/s至20Kbit/s之间
- 主节点和从节点工作模式
- 超时检测
- 扩展错误检测
- 支持“Break-in-data”
- 唤醒检测
- 进入休眠检测
- 自动位率检测（在从节点模式下）

LIN 框图如图 6-37 所示。



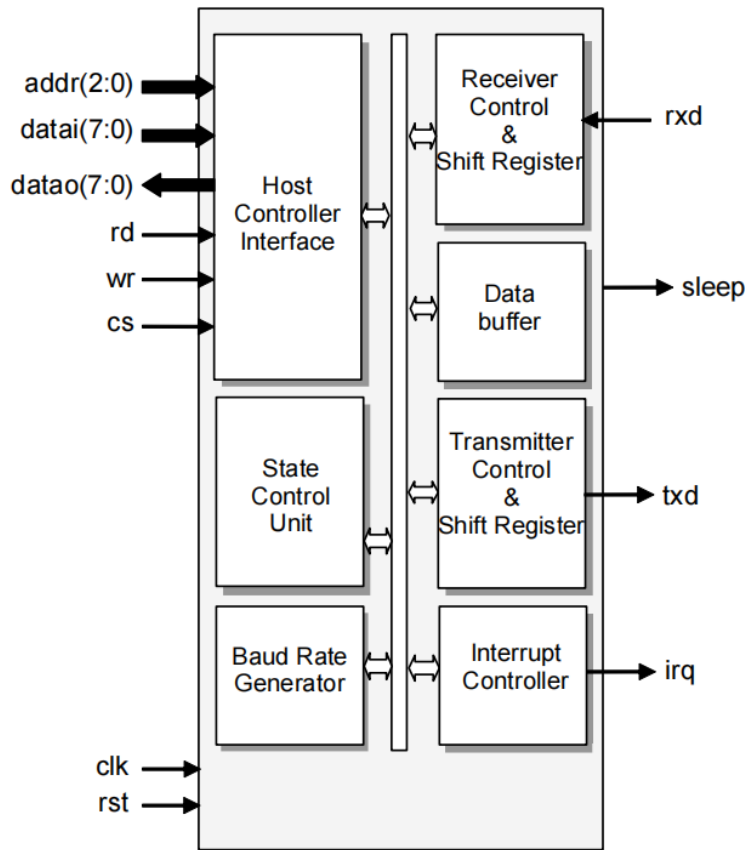


图 6-37 LIN 方框图

## 6.11 系统

### 6.11.1 电源管理

电源管理模块 (PMM) 可以处理运行器件时所需的所有电源管理功能。

#### 6.11.1.1 概述

在图 6-38 中给出了 PMM 的方框图。可以看出, PMM 包含多个子组件, 这些子组件将在后续章节中进行介绍。

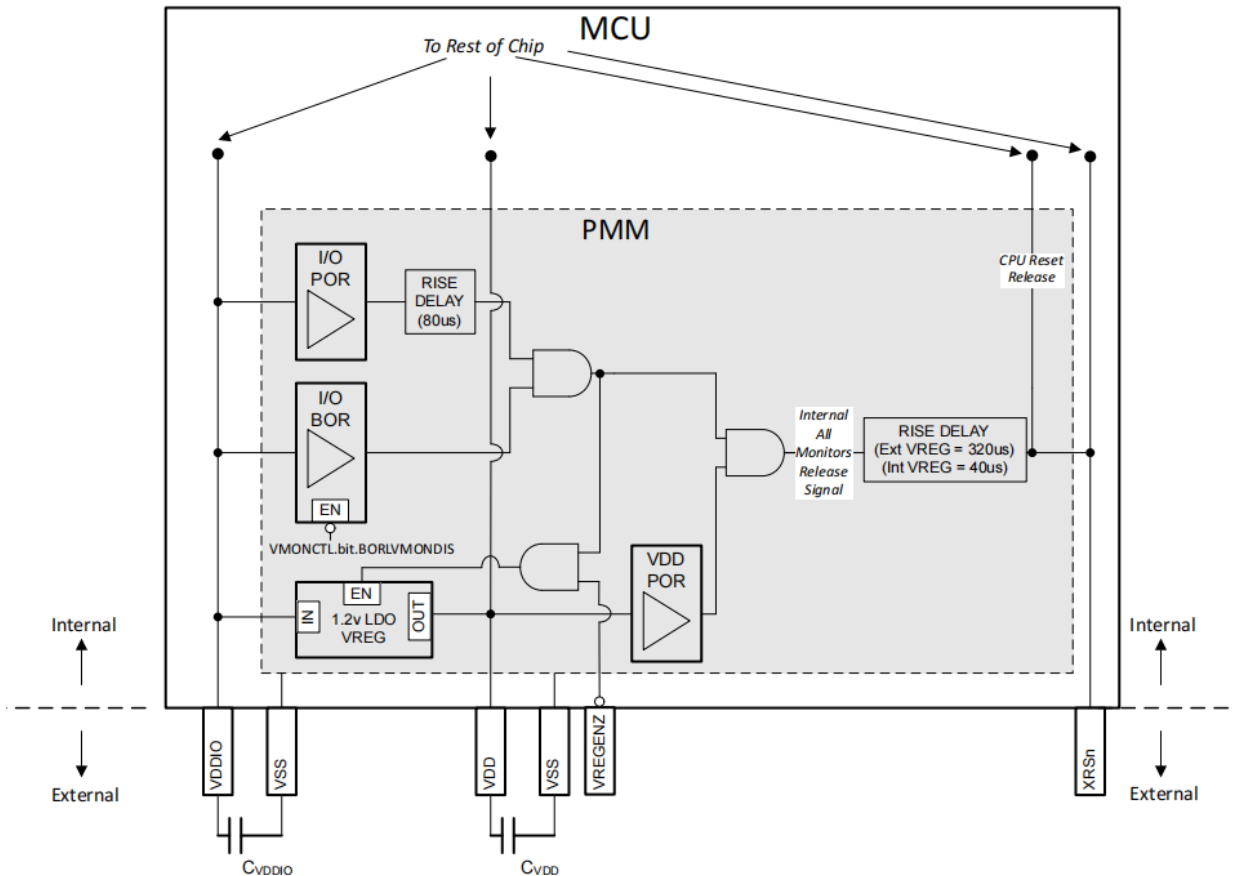


图 6-38 PMM方框图

#### 6.11.1.2 概述

PMM 在电源轨上有电压监视器, 一旦电压在上电期间超过设定的阈值, XRSn 信号便会释放为高电平。如果任何电压降至编程的电平以下, 这些电压监视器还可以使 XRSn 信号跳闸为低电平。后续各节将介绍各种电压监视器。

#### 备注

启动后, 并非所有电压监视器都支持在应用中运行器件。在不支持电压监视器的情况下, 如果器件在应用运行过程中需要监视电源电压, 则建议使用外部监控器。

三个电压监视器（I/O POR、I/O BOR、VDD POR）都必须在器件开始运行（即 XRSn 变为高电平）之前释放各自的输出。但是，如果任何电压监视器跳闸，XRSn 将被驱动为低电平。当任何电压监视器跳闸时，I/O 保持高阻抗。

### 6.11.1.3 I/O POR（上电复位）监视器

I/O POR 监视器会监控 VDDIO 电源轨。在上电期间，这是第一个在 VDDIO 上释放的监视器（即第一个要解除跳闸的监视器）。

### 6.11.1.4 I/O BOR（上电复位）监视器

I/O BOR 监视器还会监控 VDDIO 电源轨。在上电期间，这是第二个在 VDDIO 上释放的监视器（即第二个要解除跳闸的监视器）。与 I/O POR 相比，该监视器具有更严格的容差。

只要电压降至低于建议工作电压，都会导致 I/O BOR 跳闸并复位器件，但可以通过将 VMONCTL.bit.BORLVMONDIS 设置为 1 来禁用该功能。只有在器件完全启动后，才能禁用 I/O BOR。如果 I/OBOR 被禁用，I/O POR 将在电压下降时复位器件。

备注

I/O POR 跳闸的电平远低于 VDDIO 的最小建议电压，因此不应用于器件监控。

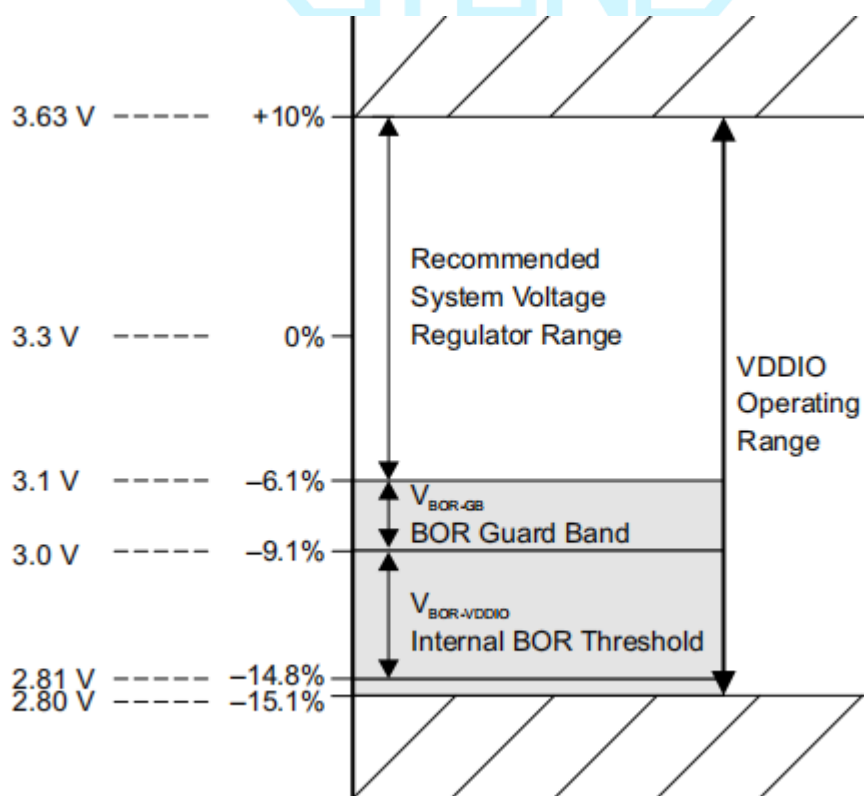


图 6-39 BOR 工作区域

### 6.11.1.5 VDD POR（上电复位）监视器

VDD POR 监视器可监控 VDD 电源轨。在上电期间，一旦电压超过 VDD 上编程的跳闸电平，该监视器就会释放（即解除跳闸）。

备注

VDD POR 编程为低于 VDD 最小建议电压的水平，因此，如果应用中需要 VDD 监控，不应该依赖 VDD POR 来进行此监控。

### 6.11.1.6 外部监控器使用情况

VDDIO 监控：I/O BOR 支持应用使用，因此无需外部监控器来监控 I/O 电源轨。

VDD 监控：

- VDD 由内部 VREG 供电：VDD 电源由 VDDIO 电源提供。VREG 的设计方式使有效的 VDDIO 电源（由 IO BOR 监控）意味着有效的 VDD 电源。
- VDD 由外部电源供电：VDD POR 不支持应用使用。如果应用需要 VDD 监控，则可以使用外部监控器监控 VDD 电源轨。

备注

不支持将外部监控器与内部 VREG 一起使用。如果应用需要 VDD 监控，则必须使用具有 VREGENZ 引脚的封装从外部为 VDD 供电。

### 6.11.1.7 延迟块

电压监控器路径中的延迟块协同工作，以延迟电压监控器和 XRSn 之间的释放时间。这是为了确保当 XRSn 释放时电压稳定。延迟块仅在上电期间（即，当 VDDIO 和 VDD 斜升时）有效。延迟块有助于实现电源管理模块电气数据和时序中所指定的电源轨最小压摆率。

### 6.11.1.8 内部 VDD LDO 稳压器 (VREG)

内部 VREG 通过 VDDIO 电源轨供电，并且能够生成为 VDD 引脚供电所需的输出。启用它的方法是将 VREGENZ 引脚绑定为低电平。尽管有了内部 VREG 后便不再需要为 VDD 使用外部电源，但 VDD 引脚上仍需要去耦电容器以便确保 VREG 的稳定性与瞬态稳定性。

### 6.11.1.9 VREGENZ

VREGENZ (VREG 禁用) 引脚可控制内部 VREG 的状态。要启用内部 VREG，请将 VREGENZ 引脚连接到逻辑低电压。对于从外部为 VDD 供电 (外部 VREG) 的应用，通过将 VREGENZ 引脚连接至高电平来禁用内部 VREG。

### 6.11.1.10 电源时序

#### 6.11.1.10.1 电源引脚联动

强烈建议将所有 3.3V 电源轨连接在一起并由单个电源供电。该列表包括：

- VDDIO
- VDDA

此外，连接所有电源引脚以避免任何未连接的情况。

在外部 VREG 模式下，VDD 引脚应连接在一起并由单个电源供电。

在内部 VREG 模式下，将 VDD 引脚连接在一起是可选操作，只要每个 VDD 引脚上都有一个电容器连接至引脚即可。如需了解 VDD 去耦配置的更多详细信息，可参阅“VDD 去耦”一节。器件上的模拟模块具有相当高的 PSRR；因此，在大多数情况下，VDDA 上的噪声必须超过电源轨的建议运行条件之后，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的好处通常微乎其微。然而，为了改善噪声，一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个  $\pi$  型滤波器。

#### 备注

每个电源轨的所有电源引脚在内部连接在一起。例如，所有 VDDIO 引脚在内部连接在一起，所有 VDD 引脚在内部连接在一起，以此类推。

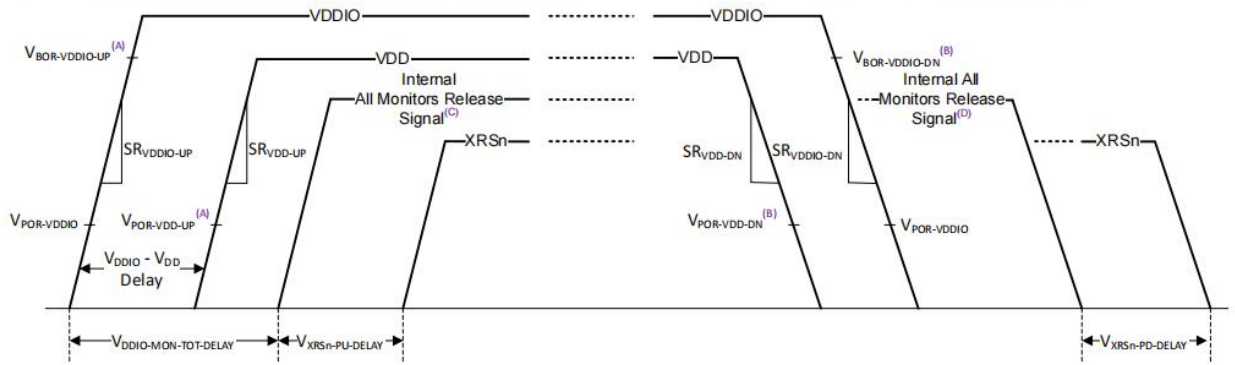
#### 6.11.1.10.2 信号引脚电源序列

在给器件供电之前，请勿向任何数字引脚施加比 VDDIO 高 0.3V 或比 VSS 低 0.3V 的电压，也不得向任何模拟引脚施加比 VDDA 高 0.3V 或比 VSSA 低 0.3V 的电压（包括 VREFHI 和 VDAC）。简单地说，只应在 XRSn 变为高电平后驱动信号引脚，且前提是所有 3.3V 电源轨连接在一起。即使 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

#### 6.11.1.10.3 信号引脚电源序列

##### 6.11.1.10.3.1 外部 VREG/VDD 模式序列

展示了外部 VREG 模式的电源时序控制要求



- A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅 电源管理模块特性表。
- B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅 电源管理模块特性表。
- C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监视器释放后变为高电平。请参阅 PMM 方框图。
- D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 PMM 方框图。

图 6-40 外部 VREG 上电序列

• 在上电期间：

1. VDDIO（即 3.3V 电源轨）应首先以指定的最小压摆率出现。
2. VDD（即 1.2V 电源轨）应随后以指定的最小压摆率出现。
3. 还指定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差。
4. 在 VDDIO-MON-TOT-DELAY 和 V\_XRSN-PD-DELAY 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
5. I/O BOR 监视器在上电和断电期间具有不同的释放点。
6. 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。

• 在断电期间：

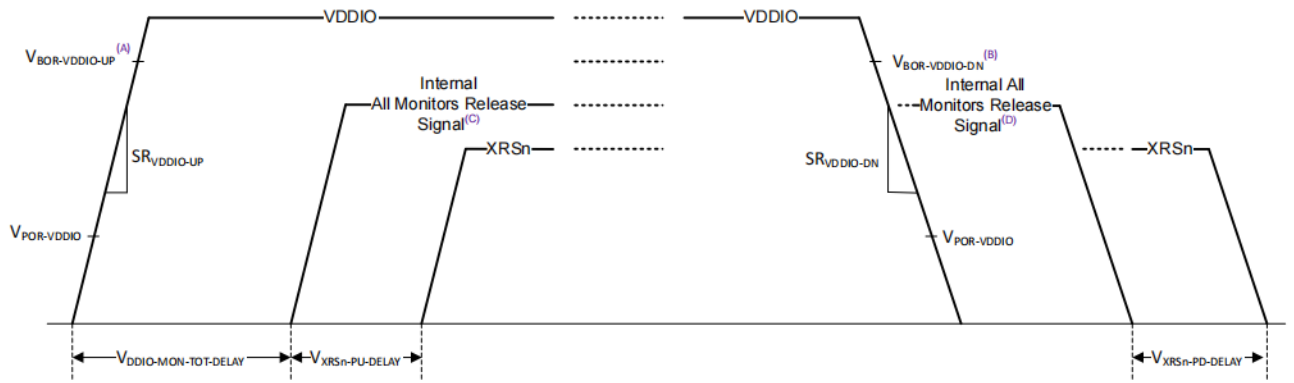
1. 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是，有最小压摆率规格。
2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
3. 在断电期间跳闸的任何 POR 或 BOR 监视器都会导致 XRSn 在 V\_XRSN-PD-DELAY 之后变为低电平。

备注

如果有一个驱动 XRSn 的外部电路（例如，监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

6.11.1.10.3.2 内部 VREG/VDD 模式序列

展示了内部 VREG 模式的电源时序控制要求



- A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅 *电源管理模块特性表*。
- B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅 *电源管理模块特性表*。
- C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 *PMM 方框图*。
- D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 *PMM 方框图*。

图 6-41 内部 VREG 上电序列

• 在上电期间：

1. VDDIO（即 3.3V 电源轨）应提供指定的最小压摆率。
2. 在释放 I/O 监视器（I/O POR 和 I/O BOR）后，内部 VREG 将上电。
3. 在 VDDIO-MON-TOT-DELAY 和 VXRSN-PU-DELAY 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
4. I/O BOR 监视器在上电和断电期间具有不同的释放点。

• 在断电期间：

1. 在断电期间对 VDDIO 的唯一要求是压摆率。
2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
3. I/O BOR 跳闸将导致 XRSn 在 VXRSN-PD-DELAY 之后变为低电平，并使内部 VREG 断电。

### 6.11.1.11 复位

XRSn 是器件复位引脚。它用作输入和漏极开路输出。该器件内置上电复位 (POR) 和欠压复位 (BOR) 监控器。在上电期间，监控器电路会将 XRSn 引脚保持为低电平。有关更多详细信息，请参阅 *电源管理模块 (PMM)* 部分。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部开漏电路可以驱动该引脚，从而使器件复位生效。应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2k $\Omega$  至 10k $\Omega$  的电阻。应在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除；电容应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。图 6-42 展示了推荐的复位电路。

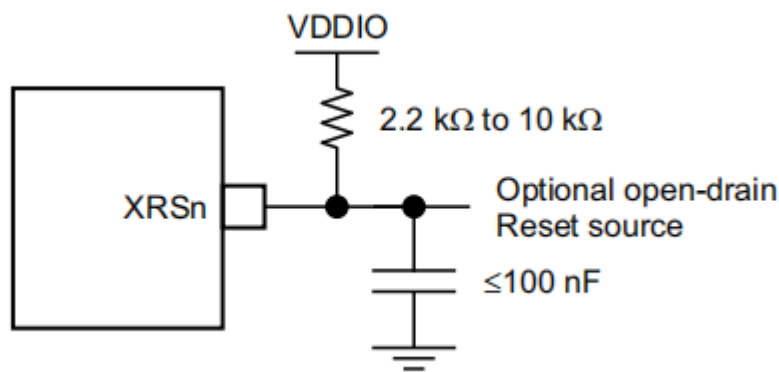


图 6-42 内部 VREG 上电序列

## 6.11.2 时钟规范

### 6.11.2.1 时钟资源

表6-37列举了三个可以使用的时钟资源，图6-43为时钟系统，图6-44为锁相环系统。

表 6-37 可以使用的时钟资源

CLOCK SOURCE	MODULES CLOCKED	COMMENTS
INTOSC1	可以被用于： <ul style="list-style-type: none"> <li>看门狗模块</li> <li>作为PLL的参考时钟</li> <li>作为CPU的时钟</li> </ul>	内部振荡器1 无外部引脚的10Mhz振荡器
INTOSC2(1)	可以被用于： <ul style="list-style-type: none"> <li>作为PLL的参考时钟</li> <li>作为CPU的时钟</li> </ul>	内部振荡器2 无外部引脚的10Mhz振荡器
X1 (XTAL)	可以被用于： <ul style="list-style-type: none"> <li>作为PLL的参考时钟</li> <li>作为CPU的时钟</li> </ul>	外部晶体或谐振器连接在X1和X2引脚之间或单端时钟连接到X1引脚
AUXCLKIN	可用于为以下模块提供时钟： <ul style="list-style-type: none"> <li>作为PLL的参考时钟</li> <li>作为CPU的时钟</li> </ul>	单端 3.3V 电平时钟源。 GPIO133/AUXCLKIN 引脚应用于提供输入时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为系统 PLL (OSCCLK) 和辅助 PLL (AUXOSCCLK) 的默认时钟源。

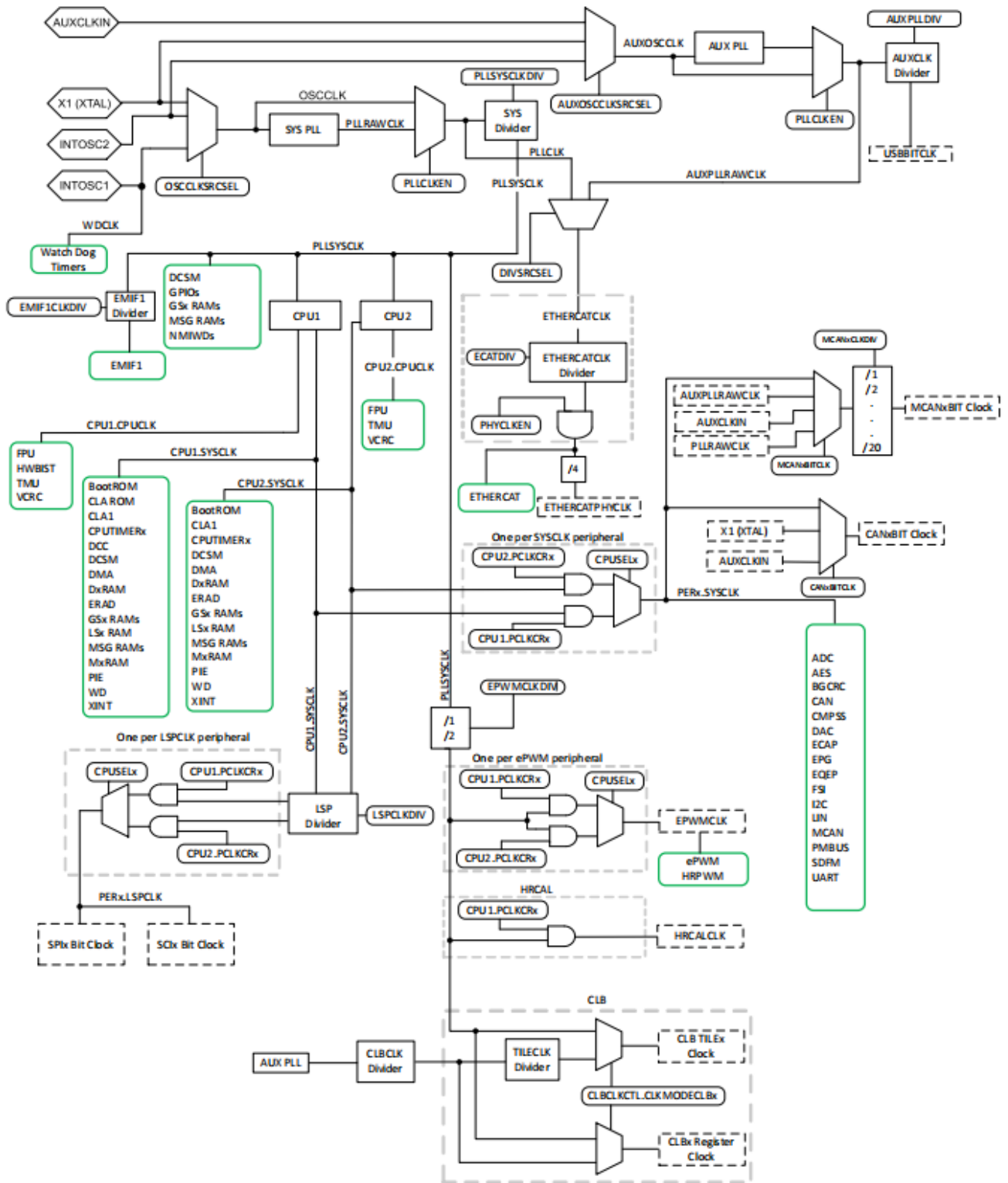


图6-43 系统时钟

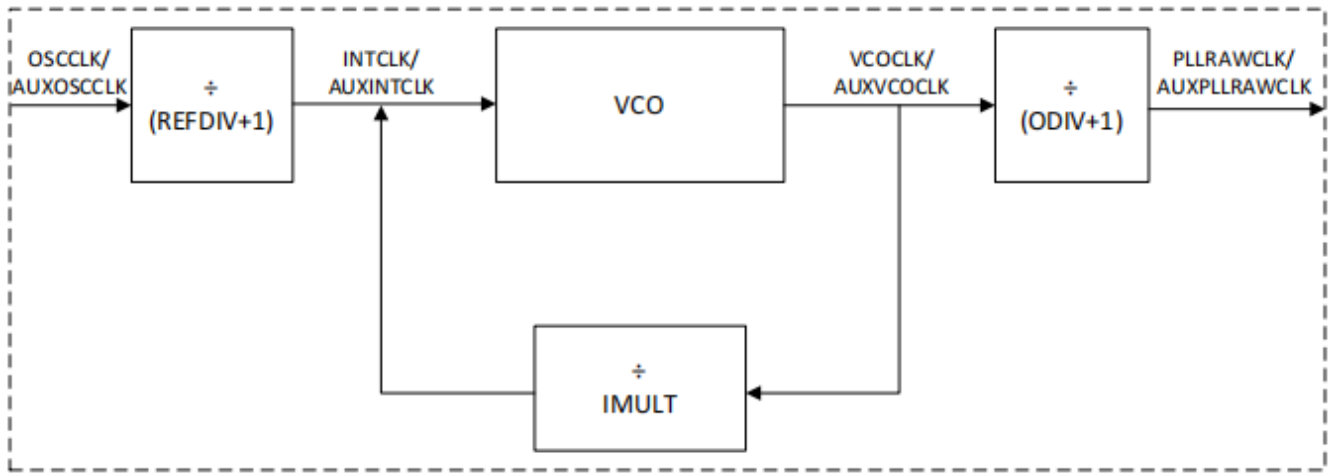


图6-44 SYSPLL/AUXPLL

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)} \quad (1)$$

在 SYSPLL/AUXPLL 图中，

$$f_{AUXPLLRAWCLK} = \frac{f_{AUXOSCCLK}}{(REVDIV + 1)} \times \frac{IMULT}{(ODIV + 1)}$$

### 6.11.2.2 时钟频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

#### 6.11.2.2.1 输入时钟频率和定时要求，锁相环锁定时间

输入时钟的频率要求请参见6.11.2.2.1.1。章节6.11.2.2.1.2列出了XTAL振荡器的特性。X1时序要求请参见6.11.2.2.1.3。章节6.11.2.2.1.4列出了主锁相环的锁相环时间。

##### 6.11.2.2.1.1 输入时钟频率

		MIN	MAX	UNIT
$f_{(XTAL)}$	Frequency, X1/X2, from external crystal or resonator	10	20	MHz
$f_{(X1)}$	Frequency, X1, from external oscillator	2	20	MHz

##### 6.11.2.2.1.2 XTAL振荡器特性

超过推荐的操作条件(除非另有说明)

	MIN	TYP	MAX	UNIT

X1 VIL	Valid low-level input voltage	- 0.3		0.3 * VDDIO	V
X1 VIH	Valid high-level input voltage	0.7 * VDDIO		VDDIO + 0.3	V

### 6.11.2.2.1.3 时间要求

		MIN	MAX	UNIT
$t_{f(X1)}$	Fall time, X1		6	ns
$t_{r(X1)}$	Rise time, X1		6	ns
$t_{w(X1L)}$	Pulse duration, X1 low as a percentage of $t_c(X1)$	45%	55%	
$t_{w(X1H)}$	Pulse duration, X1 high as a percentage of $t_c(X1)$	45%	55%	

### 6.11.2.2.1.4 锁相环锁定时间

		MIN NOM	MAX	UNIT
$t_{PLL}$	Lock time, Main PLL	200us + 20us ( $t_{OSC\_stable}$ )		μs

### 6.11.2.2.2 内部时钟频率

章节6.11.2.2.1给出了内部时钟的时钟频率。

#### 6.11.2.2.2.1 内部时钟频率

		MIN	NOM	MAX	UNIT
$f_{(SYSCLK)}$	Frequency, device (system) clock			300	MHz
$t_{c(SYSCLK)}$	Period, device (system) clock	6.67			ns
$f_{(VCO)}$	Frequency, VCO output clock	400		800	MHz
$f_{(CLK\_PFD)}$	Frequency, PFD input clock	8	12	16	MHz
$f_{(CLKIN)}$	Frequency, Input clock	8		240	MHz
$f_{(CLK\_Q)}$	Frequency, CLK_Q output frequency	26		800	MHz
$f_{(CLK\_S)}$	Frequency, CLK_S output frequency	26		800	MHz
$f_{(LSP)}$	Frequency, LSPCLK			150	MHz
$f_{(HRPWM)}$	Frequency, HRPWMCLK	50		150	MHz
$f_{(OSCCLK)}$	Frequency, OSCCLK (INTOSC1 or INTOSC2 or XTAL or X1)	See respective clock			MHz

### 6.11.2.3 输入时钟

除了内部 0 引脚振荡器，还提供了多个外部时钟源选项。图 6-45 显示了将晶振、谐振器和振荡器连接到引脚X1/X2（也称为 XTAL）和 AUXCLKIN 的推荐方法。

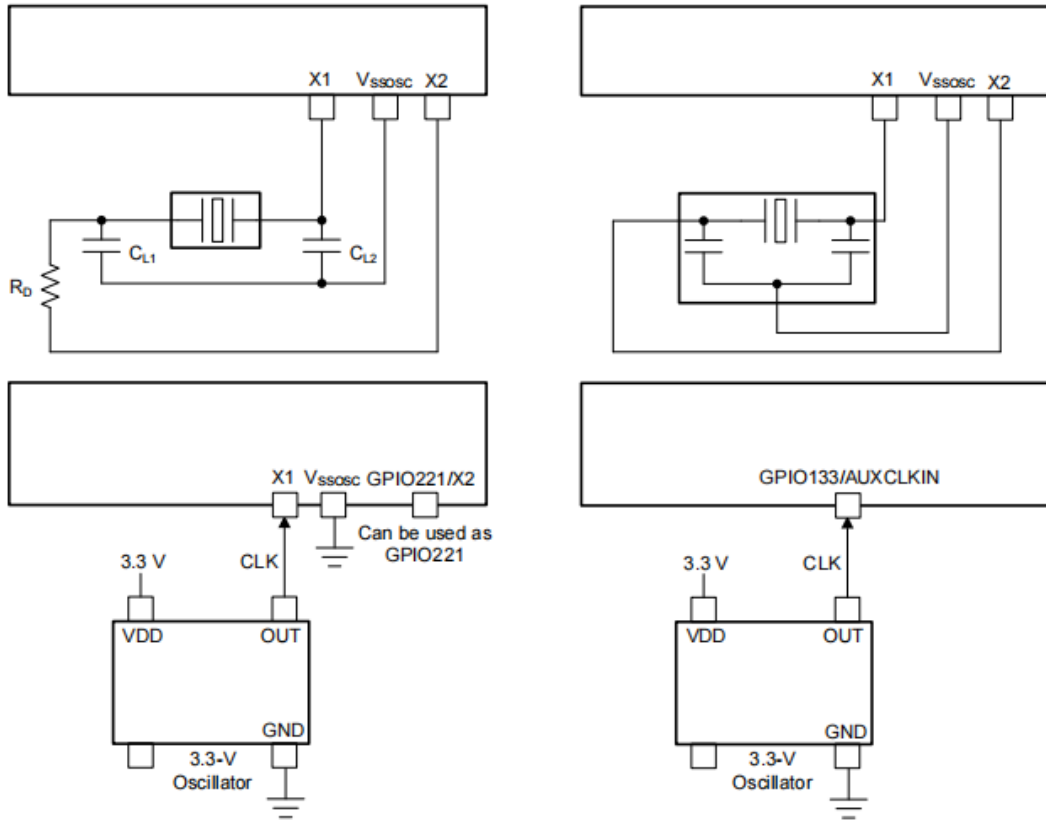


图6 - 45 将输入时钟连接到 F28P65x 器件

## 7 详细描述

### 7.1 概述

QXM320F28P650配备一个功能强大的32位浮点微控制器单元(MCU)， 可让设计人员在单个器件上集成关键的控制外设、差分模拟和非易失性存储器。

实时控制子系统基于QX的32位C28xCPU， 可提供250MHz的信号处理性能。QX C28xCPU的性能通过新的TMU扩展指令集和VCU扩展指令集得到了进一步提升， TMU扩展指令集可快速执行包含变换和扭矩环路计算中常见三角运算的算法， VCU扩展指令集可降低编码应用中常见复杂数学运算的延迟。

QXM320F28P650内核为双核结构， 副C28xCPU允许从主C28xCPU上大量卸载常见任务。副C28xCPU类似CLA是一款与CPU并行执行的独立64位浮点数学加速器。此外， 副C28xCPU自带专用存储资源， 它可以直接访问典型控制系统中所需的关键外设。对 ANSIC子集的支持是标准配置， 就像硬件断点和硬件任务切换等关键特性也是标准配置。

QXM320F28P650支持高达2MB的闪存和高达2MB的片上SRAM， 支持闪存ECC、SRAMECC/奇偶校验和双区安全性。

QXM320F28P650集成了高性能模拟块， 以进一步支持系统整合。8个独立的12位/16位ADC可准确、高效地管理多个模拟信号， 从而最终提高系统吞吐量。11个模拟比较器模块针对跳闸情况下的对输入电压电平进行连续监控。

QXM320F28P650包含先进的控制外设(具有独立于频率的ePWM/HRPWM和eCAP)， 可对系统进行出色的控制。内置的16通道SDFM允许在隔离层上无缝集成过采样 $\Sigma$ - $\Delta$ 调制器。

通过各种业界通用通信端口(如ESC、SPI、SCI、I2C和CAN2.0和CANFD)支持连接， 并且提供了多个多路复用选项， 可在各种应用中实现出色的信号布局。

## 7.2 功能框图

CPU 系统及其外设如图 7-1 所示。

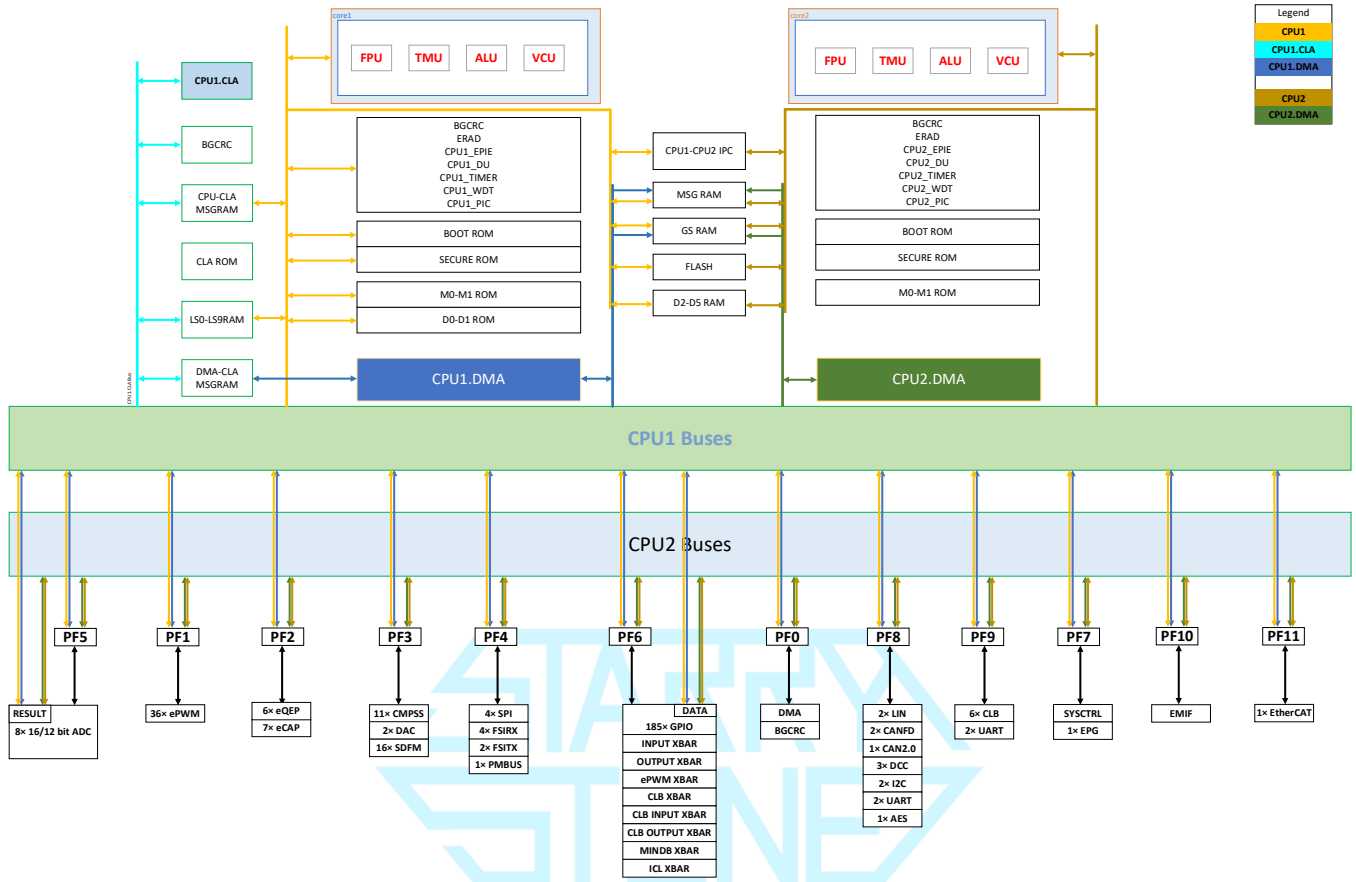


图 7-1. 功能框图

## 7.3 内存

### 7.3.1 内存映射

表 7-1. 内存映射

存储器	大小	起始地址	结束地址	副 C28xCPU 存取	DMA 存取	支持 ECC	奇偶校验	存储器 访问保护	SECURE
GSD0 RAM	32KB	0x00000000	0x00007FFF	是	是	是			
GSD1 RAM	32KB	0x00008000	0x0000FFFF	是	是	是			
GSD2 RAM	32KB	0x00010000	0x00017FFF	是	是	是			
GSD3 RAM	32KB	0x00018000	0x0001FFFF	是	是	是			
GS4 RAM	32KB	0x00020000	0x00027FFF	是	是				
GS5 RAM	32KB	0x00028000	0x0002FFFF	是	是				
GS6 RAM	32KB	0x00030000	0x00037FFF	是	是	是			
GS7 RAM	32KB	0x00038000	0x0003FFFF	是	是	是			
GS8 RAM	32KB	0x00040000	0x00047FFF	是	是	是			
GS9 RAM	32KB	0x00048000	0x0004FFFF	是	是	是			
GS10 RAM	32KB	0x00050000	0x00057FFF	是					
GS11 RAM	32KB	0x00058000	0x0005FFFF	是					
GS12 RAM	32KB	0x00060000	0x00067FFF	是					
GS13 RAM	32KB	0x00068000	0x0006FFFF	是					
GS14 RAM	32KB	0x00070000	0x00077FFF	是					
GS15 RAM	32KB	0x00078000	0x0007FFFF	是					
GS16 RAM	32KB	0x00080000	0x00087FFF	是					
GS17 RAM	32KB	0x00088000	0x0008FFFF	是					
GS18 RAM	32KB	0x00090000	0x00097FFF	是					
GS19 RAM	32KB	0x00098000	0x0009FFFF	是					
GS20 RAM	32KB	0x000A0000	0x000A7FFF	是					
GS21 RAM	32KB	0x000A8000	0x000AFFFF	是					
GS22 RAM	32KB	0x000B0000	0x000B7FFF	是					
GS23 RAM	32KB	0x000B8000	0x000BFFFF	是					
FAR0 RAM	64KB	0x000C0000	0x000CFFFF	是					
FAR1 RAM	64KB	0x000D0000	0x000DFFFF	是					
FAR2 RAM	64KB	0x000E0000	0x000EFFFF	是					
FAR3 RAM	64KB	0x000F0000	0x000FFFFF	是					
FAR4 RAM	64KB	0x00100000	0x0010FFFF	是					
FAR5 RAM	64KB	0x00110000	0x0011FFFF	是					

FAR6 RAM	64KB	0x00120000	0x0012FFFF	是					
FAR7 RAM	64KB	0x00130000	0x0013FFFFo	是					
FAR8 RAM	64KB	0x00140000	0x0014FFFFo	是					
FAR9 RAM	64KB	0x00150000	0x0015FFFFo	是					
FAR10 RAM	64KB	0x00160000	0x0016FFFFo	是					
FAR11 RAM	64KB	0x00170000	0x0017FFFFo	是					
FAR12 RAM	64KB	0x00180000	0x0018FFFFo	是					
FAR13 RAM	64KB	0x00190000	0x0019FFFFo	是					
FAR14 RAM	64KB	0x001A0000	0x001AFFFFo	是					
FAR15 RAM	64KB	0x001B0000	0x001BFFFFo	是					
FAR16 RAM	64KB	0x001C0000	0x001CFFFFo	是					
FAR17 RAM	64KB	0x001D0000	0x001DFFFFo	是					
FAR18 RAM	64KB	0x001E0000	0x001EFFFFo	是					
FAR19 RAM	64KB	0x001F0000	0x001FFFFFo	是					
IPC CPU0_RAM	4KB	0x00200000	0x00200FFF	是					
IPC CPU1_RAM	4KB	0x00201000	0x00201FFF	是					
IPC CPU0_CLA0	4KB	0x00202000	0x00202FFF	是					
IPC CLA0_CPU0	4KB	0x00203000	0x00203FFF	是					
IPC CPU1_CLA1	4KB	0x00204000	0x00204FFF	是					
IPC CLA1_CPU1	4KB	0x00205000	0x00205FFF	是					
CPU0 BOOT RAM	8KB	0x00280000	0x00281FFF	是					
CPU1 BOOT RAM	8KB	0x00282000	0x00283FFF	是					
PICTRL	256B	0x007F0100	0x007F01FF	是					
DEBUG	256B	0x007F0200	0x007F02FF	是					
CPUTIMERO	20B	0x007F0300	0x007F030F	是					
CPUTIMER1	20B	0x007F0320	0x007F031F	是					
CPUTIMER2	20B	0x007F0340	0x007F033F	是					
CR	256B	0x007F0400	0x007F04FF	是					
GR	256B	0x007F0500	0x007F05FF	是					
MOB	256B	0x007F0600	0x007F06FF	是					
EXP	256B	0x007F0700	0x007F07FF	是					
WD	256B	0x007F0800	0x007F08FF	是					
IPC_REG	256B	0x007F0900	0x007F09FF	是					
IPC_CMD	256B	0x007F0A00	0x007F0AFF	是					
VCU	256B	0x007F0B00	0x007F0BFF	是					
TRACE_BUFFER	256B	0x007F0C00	0x007F0CFF	是					
WATCH_POINT	256B	0x007F0D00	0x007F0DFF	是					

ECC	256B	0x007F0E00	0x007F0EFF	是					
ERAD_GLOBAL	256B	0x007F0F00	0x007F0FFF	是	是				
ERAD_HWBP1	256B	0x007F1000	0x007F10FF	是	是				
ERAD_HWBP2	256B	0x007F1100	0x007F11FF	是	是				
ERAD_HWBP3	256B	0x007F1200	0x007F12FF	是	是				
ERAD_HWBP4	256B	0x007F1300	0x007F13FF	是	是				
ERAD_HWBP5	256B	0x007F1400	0x007F14FF	是	是				
ERAD_HWBP6	256B	0x007F1500	0x007F15FF	是	是				
ERAD_HWBP7	256B	0x007F1600	0x007F16FF	是	是				
ERAD_HWBP8	256B	0x007F1700	0x007F17FF	是	是				
ERAD_COUNTER1	256B	0x007F1800	0x007F18FF	是	是				
ERAD_COUNTER2	256B	0x007F1900	0x007F19FF	是	是				
ERAD_COUNTER3	256B	0x007F1A00	0x007F1AFF	是	是				
ERAD_COUNTER4	256B	0x007F1B00	0x007F1BFF	是	是				
FPU	256B	0x007F1F00	0x007F1FFF	是	是				
ADCARESULT	4KB	0x01000000	0x01000FFF	是	是				
ADCBRESULT	4KB	0x01001000	0x01001FFF	是	是				
ADCCRESULT	4KB	0x01002000	0x01002FFF	是	是				
ADCDRESULT	4KB	0x01003000	0x01003FFF	是	是				
DSCM_Z1_OTP	4KB	0x01004000	0x01004FFF	是	是				
DSCM_Z2_OTP	4KB	0x01005000	0x01005FFF	是	是				
DMA_CTRL	256B	0x01006000	0x010060FF	是	是				
DMACH1	256B	0x01006100	0x010061FF	是	是				
DMACH2	256B	0x01006200	0x010062FF	是	是				
DMACH3	256B	0x01006300	0x010063FF	是	是				
DMACH4	256B	0x01006400	0x010064FF	是	是				
DMACH5	256B	0x01006500	0x010065FF	是	是				
DMACH6	256B	0x01006600	0x010066FF	是	是				
BOOT_CTRL	4KB	0x01007000	0x01007FFF	是	是				
ADCERESULT	4KB	0x01008000	0x01008FFF	是	是				
ADCFRESULT	4KB	0x01009000	0x01009FFF	是	是				
ADCGRESULT	4KB	0x0100A000	0x0100AFFF	是	是				
ADCHRESULT	4KB	0x0100B000	0x0100BFFF	是	是				
BGCRC	4KB	0x0100C000	0x0100CFFF	是	是				
GPIO_DATA	4KB	0x0100C000	0x0100CFFF	是	是				
EPWM1	4KB	0x01010000	0x01010FFF	是	是				
EPWM2	4KB	0x01011000	0x01011FFF	是	是				

EPWM3	4KB	0x01012000	0x01012FFF	是	是				
EPWM4	4KB	0x01013000	0x01013FFF	是	是				
EPWM5	4KB	0x01014000	0x01014FFF	是	是				
EPWM6	4KB	0x01015000	0x01015FFF	是	是				
EPWM7	4KB	0x01016000	0x01016FFF	是	是				
EPWM8	4KB	0x01017000	0x01017FFF	是	是				
EPWM9	4KB	0x01018000	0x01018FFF	是	是				
EPWM10	4KB	0x01019000	0x01019FFF	是	是				
EPWM11	4KB	0x0101A000	0x0101AFFF	是	是				
EPWM12	4KB	0x0101B000	0x0101BFFF	是	是				
EPWM13	4KB	0x0101C000	0x0101CFFF	是	是				
EPWM14	4KB	0x0101D000	0x0101DFFF	是	是				
EPWM15	4KB	0x0101E000	0x0101EFFF	是	是				
EPWM16	4KB	0x0101F000	0x0101FFFF	是	是				
EPWM17	4KB	0x01020000	0x01020FFF	是	是				
EPWM18	4KB	0x01021000	0x01021FFF	是	是				
EQEP1	4KB	0x01022000	0x01022FFF	是	是				
EQEP2	4KB	0x01023000	0x01023FFF	是	是				
EQEP3	4KB	0x01024000	0x01024FFF	是	是				
EQEP4	4KB	0x01025000	0x010257FF	是	是				
EQEP5	4KB	0x01026000	0x01026FFF	是	是				
EQEP6	4KB	0x01027000	0x01027FFF	是	是				
ECAP1	4KB	0x01028000	0x01028FFF	是	是				
ECAP2	4KB	0x01029000	0x01029FFF	是	是				
ECAP3	4KB	0x0102A000	0x0102AFFF	是	是				
ECAP4	4KB	0x0102B000	0x0102BFFF	是	是				
ECAP5	4KB	0x0102C000	0x0102CFFF	是	是				
HRECAP6	4KB	0x0102D000	0x0102DFFF	是	是				
HRECAP7	2KB	0x0102E000	0x0102E7FF	是	是				
HRPWMCAL1	256B	0x0102E800	0x0102E8FF	是	是				
HRPWMCAL2	256B	0x0102E900	0x0102E9FF	是	是				
HRPWMCAL3	256B	0x0102EA00	0x0102EAFF	是	是				
HHRPWMCAL1	256B	0x0102EC00	0x0102ECFF	是	是				
HHRPWMCAL2	256B	0x0102ED00	0x0102EDFF	是	是				
HHRPWMCAL3	256B	0x0102EE00	0x0102EEFF	是	是				
CMPSS1	4KB	0x0102F000	0x0102FFFF	是	是				
CMPSS2	4KB	0x01030000	0x01030FFF	是	是				

CMPSS3	4KB	0x01031000	0x01031FFF	是	是				
CMPSS4	4KB	0x01032000	0x01032FFF	是	是				
CMPSS5	4KB	0x01033000	0x01033FFF	是	是				
CMPSS6	4KB	0x01034000	0x01034FFF	是	是				
CMPSS7	4KB	0x01035000	0x01035FFF	是	是				
CMPSS8	4KB	0x01036000	0x01036FFF	是	是				
CMPSS9	4KB	0x01037000	0x01037FFF	是	是				
CMPSS10	4KB	0x01038000	0x01038FFF	是	是				
CMPSS11	4KB	0x01039000	0x01039FFF	是	是				
DACA	4KB	0x0103A000	0x0103AFFF	是	是				
DACB	4KB	0x0103B000	0x0103BFFF	是	是				
DACC	4KB	0x0103C000	0x0103CFFF	是	是				
SDFM1	4KB	0x0103D000	0x0103DFFF	是	是				
SDFM2	4KB	0x0103E000	0x0103EFFF	是	是				
SDFM3	4KB	0x0103F000	0x0103FFFF	是	是				
SDFM4	4KB	0x01040000	0x01040FFF	是	是				
SPIA_MASTER	1KB	0x01041000	0x010413FF	是	是				
SPIA_SLAVE	1KB	0x01041400	0x010417FF	是	是				
SPIA_SEL	256B	0x01041800	0x010418FF	是	是				
SPIB_MASTER	1KB	0x01042000	0x010423FF	是	是				
SPIB_SLAVE	1KB	0x01042400	0x010427FF	是	是				
SPIB_SEL	256B	0x01042800	0x010428FF	是	是				
SPIC_MASTER	1KB	0x01043000	0x010433FF	是	是				
SPIC_SLAVE	1KB	0x01043400	0x010437FF	是	是				
SPIC_SEL	256B	0x01043800	0x010438FF	是	是				
SPID_MASTER	1KB	0x01044000	0x010443FF	是	是				
SPID_SLAVE	1KB	0x01044400	0x010447FF	是	是				
SPI_SEL	256B	0x01044800	0x010448FF	是	是				
DMA_MUX	4KB	0x01045000	0x01045FFF	是	是				
DMA_REQ_ACK	4KB	0x01046000	0x01046FFF	是	是				
FSITXA	4KB	0x01049000	0x01049FFF	是	是				
FSIRXA	4KB	0x0104A000	0x0104AFFF	是	是				
FSITXB	4KB	0x0104B000	0x0104BFFF	是	是				
FSIRXB	4KB	0x0104C000	0x0104CFFF	是	是				
FSIRXC	4KB	0x0104D000	0x0104DFFF	是	是				
FSIRXD	4KB	0x0104E000	0x0104EFFF	是	是				
PMBUS	4KB	0x0104F000	0x0104FFFF	是	是				

ADCA	4KB	0x01050000	0x01050FFF	是	是				
ADCB	4KB	0x01051000	0x01051FFF	是	是				
ADCC	4KB	0x01052000	0x01052FFF	是	是				
ADCD	4KB	0x01053000	0x01053FFF	是	是				
ADCE	4KB	0x01054000	0x01054FFF	是	是				
ADCF	4KB	0x01055000	0x01055FFF	是	是				
ADCG	4KB	0x01056000	0x01056FFF	是	是				
ADCH	4KB	0x01057000	0x01057FFF	是	是				
EPWMXBARA	4KB	0x01060000	0x01060FFF	是	是				
EPWMXBARB	4KB	0x01061000	0x01061FFF	是	是				
INPUTXBAR	4KB	0x01062000	0x01062FFF	是	是				
XBAR	4KB	0x01063000	0x01063FFF	是	是				
CLBINPUTXBAR	4KB	0x01064000	0x01064FFF	是	是				
CLBXBAR	4KB	0x01065000	0x01065FFF	是	是				
OUTPUTXBAR	4KB	0x01066000	0x01066FFF	是	是				
CLBOUTPUTXBAR	4KB	0x01067000	0x01067FFF	是	是				
MINDBXBAR	4KB	0x01068000	0x01068FFF	是	是				
ICLXBAR	4KB	0x01069000	0x01069FFF	是	是				
GPIOATA	4KB	0x0106A000	0x0106AFFF	是	是				
GPIOCTRL	4KB	0x0106B000	0x0106BFFF	是	是				
DEVCFG	4KB	0x01070000	0x0107012F	是	是				
SYNCSOC	4KB	0x01070130	0x01070FFF	是	是				
CLKCFG	4KB	0x01071000	0x01071FFF	是	是				
CPUxSYS	4KB	0x01072000	0x01072FFF	是	是				
ANALOGSUBSYS	4KB	0x01073000	0x01073FFF	是	是				
EPG	4KB	0x01074000	0x01074FFF	是	是				
ADCSAFETYINTEVTAGG 1	4KB	0x01075000	0x01075FFF	是	是				
ADCSAFETYINTEVTAGG 2	4KB	0x01076000	0x01076FFF	是	是				
ADCSAFETYCHK1-8	4KB	0x01077000	0x01077FFF	是	是				
MEMCFG	4KB	0x01078000	0x01078FFF	是	是				
DCSM_Z1	4KB	0x01079000	0x01079FFF	是	是				
DCSM_COMMON	4KB	0x0107A000	0x0107AFFF	是	是				
DCSM_Z2	4KB	0x0107B000	0x0107BFFF	是	是				
TRIM	4KB	0x0107C000	0x0107CFFF	是	是				
NMI_INPUT	4KB	0x0107D000	0x0107DFFF	是	是				
SYSERR	4KB	0x0107E000	0x0107EFFF	是	是				

XINT	4KB	0x0107F000	0x0107FFFF	是	是				
CANFDA	4KB	0x01080000	0x01080FFF	是	是				
CANFDB	4KB	0x01081000	0x01081FFF	是	是				
CANFDC	4KB	0x01082000	0x01082FFF	是	是				
DCC0	4KB	0x01083000	0x01083FFF	是	是				
DCC1	4KB	0x01084000	0x01084FFF	是	是				
DCC2	4KB	0x01085000	0x01085FFF	是	是				
LINA	4KB	0x01086000	0x01086FFF	是	是				
LINB	4KB	0x01087000	0x01087FFF	是	是				
SCIA	4KB	0x01088000	0x01088FFF	是	是				
SCIB	4KB	0x01089000	0x01089FFF	是	是				
I2CA	4KB	0x0108A000	0x0108AFFF	是	是				
I2CB	4KB	0x0108B000	0x0108BFFF	是	是				
UPP_CTRL	4KB	0x0108C000	0x0108CFFF	是	是				
UPP_TX_RAM	4KB	0x0108D000	0x0108DFFF	是	是				
UPP_RX_RAM	4KB	0x0108E000	0x0108EFFF	是	是				
AES	4KB	0x0108F000	0x0108FFFF	是	是				
CLB1	4KB	0x01090000	0x01090FFF	是	是				
CLB2	4KB	0x01091000	0x01091FFF	是	是				
CLB3	4KB	0x01092000	0x01092FFF	是	是				
CLB4	4KB	0x01093000	0x01093FFF	是	是				
CLB5	4KB	0x01094000	0x01094FFF	是	是				
CLB6	4KB	0x01095000	0x01095FFF	是	是				
SCIC	4KB	0x01096000	0x01096FFF	是	是				
SCID	4KB	0x01097000	0x01097FFF	是	是				
UPP	4KB	0x01098000	0x01098FFF	是	是				
UPPRAM	4KB	0x01099000	0x01099FFF	是	是				
EMIF_CTRL	4KB	0x20000000	0x20000FFF	是	是				
EMIF_CS2	4KB	0x20100000	0x204FFFFFFF	是	是				
EMIF_CS3	1MB	0x20500000	0x205FFFFFFF	是	是				
EMIF_CS4	786KB	0x20600000	0x206BFFFFFF	是	是				
EMIF_CS0	512MB	0x80000000	0x9FFFFFFF	是	是				
FLASHDATA	2MB	0x30000000	0x301FFFFFFF	是	是				
FLASH00TP1	1KB	0x30200000	0x302003FF	是	是				
FLASH00TP2	1KB	0x30201000	0x302013FF	是	是				
ECAT	512KB	0x30300000	0x30306FFF	是	是				
ESCSS	4KB	0x30307000	0x30307FFF	是	是				

备注：地址空间[23:16] = 7f的空间主\副C28xCPU各有独立的地址空间



### 7.3.2 Flash 内存映射

在QXM320F28P650设备上有一个闪存(2048KB [256KW])可用。一次可以对一个Page、Sector、Block、Chip进行编程或擦除操作。

在正在进行擦除/编程操作的 FLASH Bank 上不应进行任何访问。

FLASH的Page、Sector、Block、Chip关系如表所示。

Each device has	Each block has	Each sector has	Each page has	
1M	64	4K	256	Bytes
4K	256	16		pages
256	16			sectors
16				blocks

可分配的FLASH 扇区地址如表 7-3所示。

#### 7.3.2.1 Flash 扇区地址

表 7- 3-1. FLASH OTP扇区地址

扇区	地址		
	大小	开始	结束
OTP 0 扇区			
FLASH00TP1	1KB	0x30100000	0x301003FF
FLASH00TP2	1KB	0x30101000	0x301013FF

表 7- 3-2. FLASH Block 地址

Block	Sector	Address range	
15	255	0x300FF000H	0x300FFFFFFH
	.....	.....	.....
14	240	0x300F0000H	0x300F0FFFH
	239	0x300EF000H	0x300EFFFFH
14	.....	.....	.....
	224	0x300E0000H	0x300E0FFFH
.....	.....	.....	.....
	.....	.....	.....
.....	.....	.....	.....
	.....	.....	.....
2	47	0x3002F000H	0x3002FFFFFFH
	.....	.....	.....
1	32	0x30020000H	0x30020FFFH
	31	0x3001F000H	0x3001FFFFFFH
0	.....	.....	.....
	16	0x30010000H	0x30010FFFH
0	15	0x3000F000H	0x3000FFFFFFH
	.....	.....	.....
	0	0x30000000H	0x30000FFFH

### 7.3.3.2 外设寄存器内存映射

外设寄存器内存映射表(QX28x)如下:

**表 7-4. 外设寄存器内存映射表 (QX28x)**

寄存器	大小	起始地址	结束地址	流水线保护(1)	副 C28xCPU 存取	DMA 存取
ADCARESLT	4KB	0x01000000	0x01000FFF	是	是	是
ADCBRESLT	4KB	0x01001000	0x01001FFF	是	是	是
ADCCRESLT	4KB	0x01002000	0x01002FFF	是	是	是
ADCDRSLT	4KB	0x01003000	0x01003FFF	是	是	是
DCSM_Z1_OTP	4KB	0x01004000	0x01004FFF	是	是	是
DCSM_Z2_OTP	4KB	0x01005000	0x01005FFF	是	是	是
DMA_CTRL	256B	0x01006000	0x010060FF	是	是	是
DMACH1	256B	0x01006100	0x010061FF	是	是	是
DMACH2	256B	0x01006200	0x010062FF	是	是	是
DMACH3	256B	0x01006300	0x010063FF	是	是	是
DMACH4	256B	0x01006400	0x010064FF	是	是	是
DMACH5	256B	0x01006500	0x010065FF	是	是	是
DMACH6	256B	0x01006600	0x010066FF	是	是	是
BOOT_CTRL	4KB	0x01007000	0x01007FFF	是	是	是
ADCERESLT	4KB	0x01008000	0x01008FFF	是	是	是
ADCFRESLT	4KB	0x01009000	0x01009FFF	是	是	是
ADCGRESLT	4KB	0x0100A000	0x0100AFFF	是	是	是
ADCHRESLT	4KB	0x0100B000	0x0100BFFF	是	是	是
BGCRC	4KB	0x0100C000	0x0100CFFF	是	是	是
GPIO_DATA	4KB	0x0100C000	0x0100CFFF	是	是	是
EPWM1	4KB	0x01010000	0x01010FFF	是	是	是
EPWM2	4KB	0x01011000	0x01011FFF	是	是	是
EPWM3	4KB	0x01012000	0x01012FFF	是	是	是
EPWM4	4KB	0x01013000	0x01013FFF	是	是	是
EPWM5	4KB	0x01014000	0x01014FFF	是	是	是

EPWM6	4KB	0x01015000	0x01015FFF	是	是	是
EPWM7	4KB	0x01016000	0x01016FFF	是	是	是
EPWM8	4KB	0x01017000	0x01017FFF	是	是	是
EPWM9	4KB	0x01018000	0x01018FFF	是	是	是
EPWM10	4KB	0x01019000	0x01019FFF	是	是	是
EPWM11	4KB	0x0101A000	0x0101AFFF	是	是	是
EPWM12	4KB	0x0101B000	0x0101BFFF	是	是	是
EPWM13	4KB	0x0101C000	0x0101CFFF	是	是	是
EPWM14	4KB	0x0101D000	0x0101DFFF	是	是	是
EPWM15	4KB	0x0101E000	0x0101EFFF	是	是	是
EPWM16	4KB	0x0101F000	0x0101FFFF	是	是	是
EPWM17	4KB	0x01020000	0x01020FFF	是	是	是
EPWM18	4KB	0x01021000	0x01021FFF	是	是	是
EQEP1	4KB	0x01022000	0x01022FFF	是	是	是
EQEP2	4KB	0x01023000	0x01023FFF	是	是	是
EQEP3	4KB	0x01024000	0x01024FFF	是	是	是
EQEP4	4KB	0x01025000	0x010257FF	是	是	是
EQEP5	4KB	0x01026000	0x01026FFF	是	是	是
EQEP6	4KB	0x01027000	0x01027FFF	是	是	是
ECAP1	4KB	0x01028000	0x01028FFF	是	是	是
ECAP2	4KB	0x01029000	0x01029FFF	是	是	是
ECAP3	4KB	0x0102A000	0x0102AFFF	是	是	是
ECAP4	4KB	0x0102B000	0x0102BFFF	是	是	是
ECAP5	4KB	0x0102C000	0x0102CFFF	是	是	是
HRECAP6	4KB	0x0102D000	0x0102DFFF	是	是	是
HRECAP7	2KB	0x0102E000	0x0102E7FF	是	是	是
HRPWMCAL1	256B	0x0102E800	0x0102E8FF	是	是	是
HRPWMCAL2	256B	0x0102E900	0x0102E9FF	是	是	是
HRPWMCAL3	256B	0x0102EA00	0x0102EAFF	是	是	是
HHRPWMCAL1	256B	0x0102EC00	0x0102ECFF	是	是	是

HHRPWCAL2	256B	0x0102ED00	0x0102EDFF	是	是	是
HHRPWCAL3	256B	0x0102EE00	0x0102EEFF	是	是	是
CMPSS1	4KB	0x0102F000	0x0102FFFF	是	是	是
CMPSS2	4KB	0x01030000	0x01030FFF	是	是	是
CMPSS3	4KB	0x01031000	0x01031FFF	是	是	是
CMPSS4	4KB	0x01032000	0x01032FFF	是	是	是
CMPSS5	4KB	0x01033000	0x01033FFF	是	是	是
CMPSS6	4KB	0x01034000	0x01034FFF	是	是	是
CMPSS7	4KB	0x01035000	0x01035FFF	是	是	是
CMPSS8	4KB	0x01036000	0x01036FFF	是	是	是
CMPSS9	4KB	0x01037000	0x01037FFF	是	是	是
CMPSS10	4KB	0x01038000	0x01038FFF	是	是	是
CMPSS11	4KB	0x01039000	0x01039FFF	是	是	是
DACA	4KB	0x0103A000	0x0103AFFF	是	是	是
DACB	4KB	0x0103B000	0x0103BFFF	是	是	是
DACC	4KB	0x0103C000	0x0103CFFF	是	是	是
SDFM1	4KB	0x0103D000	0x0103DFFF	是	是	是
SDFM2	4KB	0x0103E000	0x0103EFFF	是	是	是
SDFM3	4KB	0x0103F000	0x0103FFFF	是	是	是
SDFM4	4KB	0x01040000	0x01040FFF	是	是	是
SPIA_MASTER	1KB	0x01041000	0x010413FF	是	是	是
SPIA_SLAVE	1KB	0x01041400	0x010417FF	是	是	是
SPIA_SEL	256B	0x01041800	0x010418FF	是	是	是
SPIB_MASTER	1KB	0x01042000	0x010423FF	是	是	是
SPIB_SLAVE	1KB	0x01042400	0x010427FF	是	是	是
SPIB_SEL	256B	0x01042800	0x010428FF	是	是	是
SPIC_MASTER	1KB	0x01043000	0x010433FF	是	是	是
SPIC_SLAVE	1KB	0x01043400	0x010437FF	是	是	是
SPIC_SEL	256B	0x01043800	0x010438FF	是	是	是
SPID_MASTER	1KB	0x01044000	0x010443FF	是	是	是

SPID_SLAVE	1KB	0x01044400	0x010447FF	是	是	是
SPI_SEL	256B	0x01044800	0x010448FF	是	是	是
DMA_MUX	4KB	0x01045000	0x01045FFF	是	是	是
DMA_REQ_ACK	4KB	0x01046000	0x01046FFF	是	是	是
FSITXA	4KB	0x01049000	0x01049FFF	是	是	是
FSIRXA	4KB	0x0104A000	0x0104AFFF	是	是	是
FSITXB	4KB	0x0104B000	0x0104BFFF	是	是	是
FSIRXB	4KB	0x0104C000	0x0104CFFF	是	是	是
FSIRXC	4KB	0x0104D000	0x0104DFFF	是	是	是
FSIRXD	4KB	0x0104E000	0x0104EFFF	是	是	是
PMBUS	4KB	0x0104F000	0x0104FFFF	是	是	是
ADCA	4KB	0x01050000	0x01050FFF	是	是	是
ADCB	4KB	0x01051000	0x01051FFF	是	是	是
ADCC	4KB	0x01052000	0x01052FFF	是	是	是
ADCD	4KB	0x01053000	0x01053FFF	是	是	是
ADCE	4KB	0x01054000	0x01054FFF	是	是	是
ADCF	4KB	0x01055000	0x01055FFF	是	是	是
ADCG	4KB	0x01056000	0x01056FFF	是	是	是
ADCH	4KB	0x01057000	0x01057FFF	是	是	是
EPWMXBARA	4KB	0x01060000	0x01060FFF	是	是	是
EPWMXBARB	4KB	0x01061000	0x01061FFF	是	是	是
INPUTXBAR	4KB	0x01062000	0x01062FFF	是	是	是
XBAR	4KB	0x01063000	0x01063FFF	是	是	是
CLBINPUTXBAR	4KB	0x01064000	0x01064FFF	是	是	是
CLBXBAR	4KB	0x01065000	0x01065FFF	是	是	是
OUTPUTXBAR	4KB	0x01066000	0x01066FFF	是	是	是
CLBOUTPUTXBAR	4KB	0x01067000	0x01067FFF	是	是	是
MINDBXBAR	4KB	0x01068000	0x01068FFF	是	是	是
ICLXBAR	4KB	0x01069000	0x01069FFF	是	是	是
GPIOATA	4KB	0x0106A000	0x0106AFFF	是	是	是

GPIOCTRL	4KB	0x0106B000	0x0106BFFF	是	是	是
DEVCFG	4KB	0x01070000	0x0107012F	是	是	是
SYNCSOC	4KB	0x01070130	0x01070FFF	是	是	是
CLKCFG	4KB	0x01071000	0x01071FFF	是	是	是
CPUxSYS	4KB	0x01072000	0x01072FFF	是	是	是
ANALOGSUBSYS	4KB	0x01073000	0x01073FFF	是	是	是
EPG	4KB	0x01074000	0x01074FFF	是	是	是
ADCSAFETYINTEVT AGG1	4KB	0x01075000	0x01075FFF	是	是	是
ADCSAFETYINTEVT AGG2	4KB	0x01076000	0x01076FFF	是	是	是
ADCSAFETYCHK1-8	4KB	0x01077000	0x01077FFF	是	是	是
MEMCFG	4KB	0x01078000	0x01078FFF	是	是	是
DCSM_Z1	4KB	0x01079000	0x01079FFF	是	是	是
DCSM_COMMON	4KB	0x0107A000	0x0107AFFF	是	是	是
DCSM_Z2	4KB	0x0107B000	0x0107BFFF	是	是	是
TRIM	4KB	0x0107C000	0x0107CFFF	是	是	是
NMI_INPUT	4KB	0x0107D000	0x0107DFFF	是	是	是
SYSERR	4KB	0x0107E000	0x0107EFFF	是	是	是
XINT	4KB	0x0107F000	0x0107FFFF	是	是	是
CANFDA	4KB	0x01080000	0x01080FFF	是	是	是
CANFDB	4KB	0x01081000	0x01081FFF	是	是	是
CANFDC	4KB	0x01082000	0x01082FFF	是	是	是
DCC0	4KB	0x01083000	0x01083FFF	是	是	是
DCC1	4KB	0x01084000	0x01084FFF	是	是	是
DCC2	4KB	0x01085000	0x01085FFF	是	是	是
LINA	4KB	0x01086000	0x01086FFF	是	是	是
LINB	4KB	0x01087000	0x01087FFF	是	是	是
SCIA	4KB	0x01088000	0x01088FFF	是	是	是
SCIB	4KB	0x01089000	0x01089FFF	是	是	是
I2CA	4KB	0x0108A000	0x0108AFFF	是	是	是
I2CB	4KB	0x0108B000	0x0108BFFF	是	是	是

UPP_CTRL	4KB	0x0108C000	0x0108CFFF	是	是	是
UPP_TX_RAM	4KB	0x0108D000	0x0108DFFF	是	是	是
UPP_RX_RAM	4KB	0x0108E000	0x0108EFFF	是	是	是
AES	4KB	0x0108F000	0x0108FFFF	是	是	是
CLB1	4KB	0x01090000	0x01090FFF	是	是	是
CLB2	4KB	0x01091000	0x01091FFF	是	是	是
CLB3	4KB	0x01092000	0x01092FFF	是	是	是
CLB4	4KB	0x01093000	0x01093FFF	是	是	是
CLB5	4KB	0x01094000	0x01094FFF	是	是	是
CLB6	4KB	0x01095000	0x01095FFF	是	是	是
SCIC	4KB	0x01096000	0x01096FFF	是	是	是
SCID	4KB	0x01097000	0x01097FFF	是	是	是
UPP	4KB	0x01098000	0x01098FFF	是	是	是
UPPRAM	4KB	0x01099000	0x01099FFF	是	是	是
EMIF_CTRL	4KB	0x20000000	0x20000FFF	是	是	是
EMIF_CS2	4KB	0x20100000	0x204FFFFF	是	是	是
EMIF_CS3	1MB	0x20500000	0x205FFFFF	是	是	是
EMIF_CS4	786KB	0x20600000	0x206BFFFF	是	是	是
EMIF_CS0	512MB	0x80000000	0x9FFFFFFF	是	是	是
FLASHDATA	2MB	0x30000000	0x301FFFFF	是	是	是
FLASH00TP1	1KB	0x30200000	0x302003FF	是	是	是
FLASH00TP2	1KB	0x30201000	0x302013FF	是	是	是
ECAT	512KB	0x30300000	0x30306FFF	是	是	是
ESCSS	4KB	0x30307000	0x30307FFF	是	是	是

(1) CPU (不适用于DMA) 包含先写后读保护模式，以确保在受保护地址范围内，通过延迟读取操作直至启动写入操作，按写入形式执行位于写入操作之后的任何读取操作。

表 7-5. 互联说明

Slave No	Slave name	M0	M1	M2	M3	M4
		CPU0	CPU1	DMA	BOOT	DEBUG
S0	外设组1	Y	Y	Y	Y	Y
S1	外设组2	Y	Y	Y	Y	Y
S2	外设组3	Y	Y	Y	Y	Y
S3	外设组3	Y	Y	Y	Y	Y
S4	外设组5	Y	Y	Y	Y	Y
S5	外设组6	Y	Y	Y	Y	Y
S6	外设组7	Y	Y	Y	Y	Y
S7	外设组8	Y	Y	Y	Y	Y
S8	外设组9	Y	Y	Y	Y	Y
S9	外设组10	Y	Y	Y	Y	Y
S10	MEM	Y	Y	Y	Y	Y
S11	Flash ctrl	Y	Y	Y	Y	Y
S12	Emif1	Y	Y	Y	Y	Y
S13	Flash data	Y	Y	Y	Y	Y
S14	ESC	Y	Y	Y	Y	Y
S15	ESCSS	Y	Y	Y	Y	Y

### 7.3.3 存储器类型

#### 7.3.3.3 CPU共享数据 RAM (GSDx RAM)

CPU 子系统有四个支持 ECC 功能的数据RAM，CPU0与CPU1共享。

#### 7.3.3.4 IPC共享 RAM (IPC CPUx\_RAM)

双核通信所需要的RAM，IPC\_CPU0\_RAM为CPU0与共享CPU1内存，CPU0可读写，CPU1可读。IPC\_CPU1\_RAM为CPU1与共享CPU0内存，CPU1可读写，CPU0可读。

#### 7.3.3.5 CPU共享指令RAM (GSIx RAM)

CPU 子系统有四个支持 ECC 功能的指令RAM，CPU0与CPU1共享。

#### 7.3.3.6 CPU共享指令RAM (BOOT RAM)

CPU的BOOT代码存放区。



## 7.4 总线架构-外设连接

外设连接表列出了每条总线访问外设和配置寄存器。

**表 7-9. 外设连接**

外设	DMA	CPU0	CPU1
系统外设			
CPU 计时器	是	是	是
系统配置 (WD、NMIWD、LPM、外设时钟门控)		是	是
器件功能、外设复位	是	是	是
时钟和PLL配置	是	是	是
闪存配置	是	是	是
复位配置	是	是	是
GPIO 引脚映射和配置	是	是	是
GPIO 数据	是	是	是
DMA触发源选择	是	是	是
控制外设			
ePWM/HRPWM	是	是	是
eCAP/HRCAP	是	是	是
eQEP	是	是	是
SDFM	是	是	是
模拟外设			
模拟系统控制	是	是	是
外设	DMA	副CPU	CPU
ADC 配置	是	是	是
ADC 结果	是	是	是
COMPSS	是	是	是
DAC	是	是	是
通信外设			
CAN	是	是	是
SPI	是	是	是
I2C	是	是	是
ESC	是	是	是
SCI	是	是	是

## 7.6 C28x 处理器

### 7.6.1 介绍

CPU 为具有自主知识产权的高性能低功耗32 位浮点处理器,采用了数字信号处理最佳特性: 精简指令集计算; 以及微控制器架构、固件和工具集。以及微控制器架构、固件和工具集。

### 7.6.2 特点

处理器是一款具有自主知识产权的高性能低功耗数字信号处理器芯片。“高性能”是以、超长指令字 (VLIW) 技术和硬件循环 (hardware loop) 技术为基础, 通过对各模块功能的细分和优化来实现的。同时基于对移动多媒体领域应用的分析, 精确定义指令集, 提高应用程序的代码密度、减少程序执行周期数以降低总能耗。微控制器特性包括易懂易用的指令集、字节打包和解包以及位操作。改进型哈佛体系架构的 CPU 可实现指令和数据的并行获取。CPU 可以在读取指令和数据的同时写入数据, 以维持流水线中的单周期指令操作。

完整的处理器主要包含了DSP内核、片上存储器 (I-MEM、D-MEM)、直接存储访问模块 (DMA)、对外接口 (EMIF、HPI、SPI、I2C、GPIO、CAN等) 和调试模块 (Debug)。

### 7.6.3 浮点单元(FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下:

八个浮点结果寄存器, RnH (其中  $n=0-7$ )

浮点状态寄存器 (STF)

重复块寄存器 (RB)

除 RB 寄存器外, 所有浮点寄存器都采用影子化技术。这种影子化可用于高优先级中断, 以实现浮点寄存器的快速上下文保存和恢复。

### 7.6.4 三角数学单元(TMU)

三角函数数学单元 (TMU) 通过添加指令和利用现有 FPU 指令来扩展H28x+FPU 的功能, 加速执行常见三角函数和下表中所列算术运算。

表 TMU支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 Rd, Rs	$a = b * 2\pi$	2/3
DIV2PIF32 Rd, Rs	$a = b / 2\pi$	2/3
FSSQRT Rd, Rs	$a = \text{sqrt}(b)$	7
SINPUF32 Rd, Rs	$a = \sin(b*2\pi)$	5
COSPUF32 Rd, Rs	$a = \cos(b*2\pi)$	5
ATANPUF32 Rd, Rs	$a = \text{atan}(b)/2\pi$	5
QUADF Rd, Rs, Rt	用于协助计算 ATANPU2 的运算	8

TMU单元没有对现有指令、流水线或内存总线架构进行任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集。

### 7.6.5 Viterbi、复数和循环冗余校验单元 (VCU)

该模块通过添加指令和相应寄存器来扩展DSP芯片的功能, 以支持和加速以下算法执行。

#### 7.6.5.1 Viterbi运算

Viterbi算法在卷积编码的解码过程中被广泛使用, 以找到最可能的原始数据序列。该算法包括分支度量计算、路径度量计算、幸存路径选择、回溯等步骤。

该部分有相应指令以支持Viterbi解码, 每条指令均可在1个周期内完成。

运算	指令	说明
计算分支度量	VITBM2 VITBM3	码率为 1/2 码率为 1/3
计算路径度量	VITDHAS VITDHSA VITDLAS VITDLSA	
路径选择	VITHSEL VITLSEL	
路径回溯	VTRACE	

#### 7.6.5.2 循环冗余校验 (CRC)

CRC算法通过循环生成校验码的方式, 在数字通信、存储系统和无线通信等领域提高数据传输的完整性和可靠性。

该部分相关指令可用于进行8位、16位、32位的CRC校验码生成。可在1个周期内计算出一字节数据对应的CRC校验码。

### 7.6.5.3 复数运算

在DSP芯片中，复数运算广泛应用于许多信号处理任务，包括快速傅里叶变换（FFT）和复数滤波器等。

例如，使用FFT进行频谱分析，复数运算可以有效地处理信号的幅度和相位信息。数字滤波器设计中，复数运算也用于频域滤波器的设计和实现。

该部分有以下指令以支持复数的加、减、乘、乘累加运算：

运算	指令	备注
加/减法	VCADD/VCSUB	$32 \pm 32 = 32$ 位
加/减法	VCDA16/VCDS16	$16 \pm 32 = 16$ 位
乘法	VCMPY	$16 \times 16 = 32$ 位
乘法和累加	VCMPYAC	$16 \times 16 = 32$ 位, $32 \pm 32 = 32$ 位
取负	VNEG	$-32 = 32$ 位

### 7.6.6 增强型整数除法单元（EINTDIV）

C28x CPU 的增强型整数除法(EINTDIV)单元非常独特，能支持三种不同数据类型大小(16 / 16, 32 / 16, 32 / 32, 64 / 32, 64 / 64)的无符号或有符号格式的整数除法(Truncated, Modulus, Euclidean)。

- 支持C语言 Truncated 整数除法(/, %运算符)。
- Modulus 和 Euclidean 除法是控制算法更有效的类型，并支持C函数。

所有三种类型的整数除法都产生商和余数分量，都是可中断的，并且执行周期少。此外，C28x CPU的增强型整数除法功能支持 32 位和64 位除法的快速执行。

## 7.7 直接内存访问(DMA)

DMA 模块提供了一种硬件方法，可以在外设和/或内存之间传输数据，而不需要 CPU 的干预，从而为其他系统功能释放带宽。此外，DMA 具有在传输数据时对数据进行正交重新排列的能力，以及缓冲区之间的“乒乓”数据。这些特性有助于优化 CPU 进程，将数据结构化成块。DMA 的设备级框图如图 7-3 所示。

DMA 特性包括：

- 六个具有独立 PIE 中断的通道
- 外设DMA触发源
  - ADC 中断和 EVT 信号
  - 多通道缓冲串行端口发送和接收
  - 外部中断
  - ePWM SOC 信号
  - CPU 计时器
  - SDFM
  - SPIx 发送和接收
  - 软件触发
- 数据源和目标：
  - GSx RAM
  - CPU 消息 RAM (IPC RAM)
  - ADC 结果寄存器
  - 控制外设寄存器 ( ePWM、eQEP、eCAP、SDFM )
  - ePWMx
  - SPI 寄存器
  - EMIF
- 字大小：8位、16 位或 32 位
- 数据率：每个字十五个周期，8深度FIFO，无需仲裁



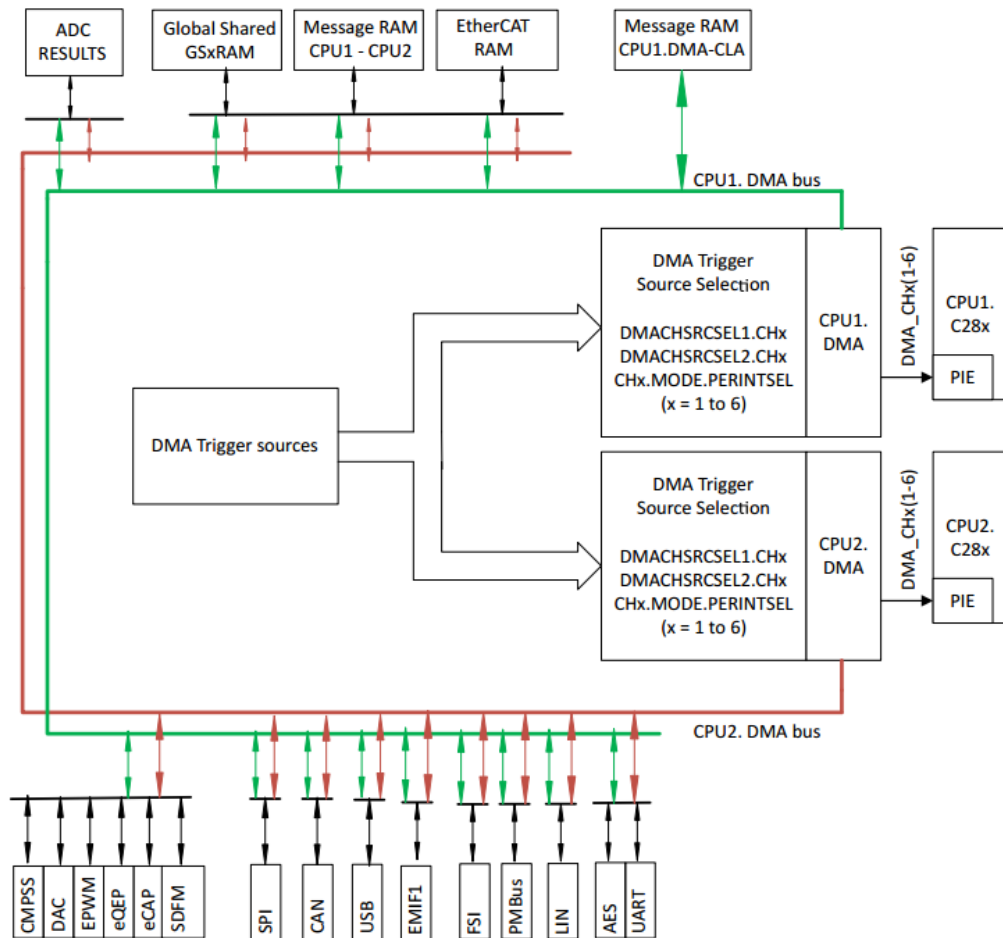


图 7-3. DMA 框图

## 7.8 看门狗

看门狗计数器的软件重置间隔有一个可选的下限时间。这个窗口倒计时默认是禁用的。

看门狗产生复位或中断。它的时钟可以来自内部振荡器与可选择的分频器。看门狗模块各功能模块如图 7-4 所示。

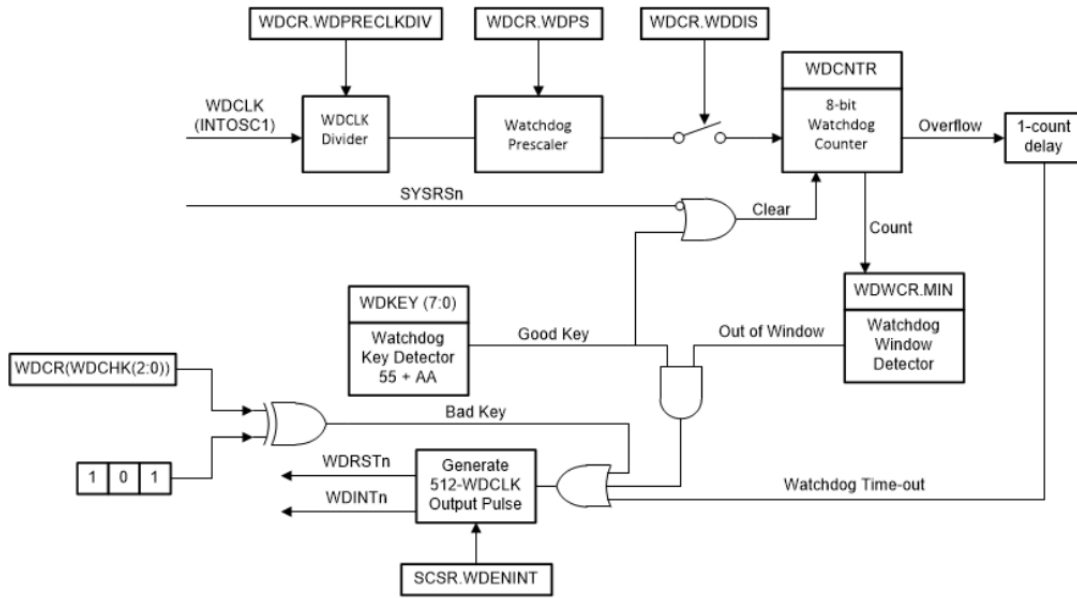


图 7-4. 看门狗



## 7.9 C28x 计时器

CPU 定时器 0、1、2 都是相同的 32 位定时器，具有可预置的周期和预缩放 16 位时钟。计时器有一个 32 位倒计时寄存器，当计数器达到零时产生中断。计数器以 CPU 时钟速度除以预置值的值递减。当计数器达到零时，它会自动用一个 32 位的周期值重新加载。

CPU-Timer 0 用于一般用途，并且已连接到 PIE 块。CPU-timer 1 也是通用的，并且连接到 CPU 的 INT13。CPU-Timer 2 为 QX-RTOS 预留，并且连接 CPU 的 INT14。如果 QX-RTOS 不被使用，CPU-Timer2 可用于一般用途。

CPU-Timer 2 可以通过以下任何一个来计时：

- SYSCLK (默认)
- 内部晶振振荡器1 (INTOSC1)
- 内部晶振振荡器 2 (INTOSC2)
- X1 (XTAL)



## 8 开发支持

### 8.1 集成开发环境QX-IDE

用户可以在“QXDSPC2000系列-开发工具链”的发布地址（如下），下载QX-IDE。

1. [https://pan.baidu.com/s/1bfo-FDc\\_qO7cY8KOFM-vMg](https://pan.baidu.com/s/1bfo-FDc_qO7cY8KOFM-vMg) 提取码: qjide
2. <https://pan.quark.cn/s/a4fccb17121f> 提取码: B6Kg

QX-IDE的安装和使用方法参考“QX-IDE\_User\_Manual.pdf”。



图 1: QX-IDE欢迎界面

## 8.2 仿真器

### 8.2.1 简介

QXS320f 3槽DSP的仿真环境如图 所示，包括

- (1) 宿主机：执行调试命令、显示目标机状态
- (2) 目标机：被调试设备
- (3) 接口卡：FT2232HL，负责USB/JTAG接口及协议转换

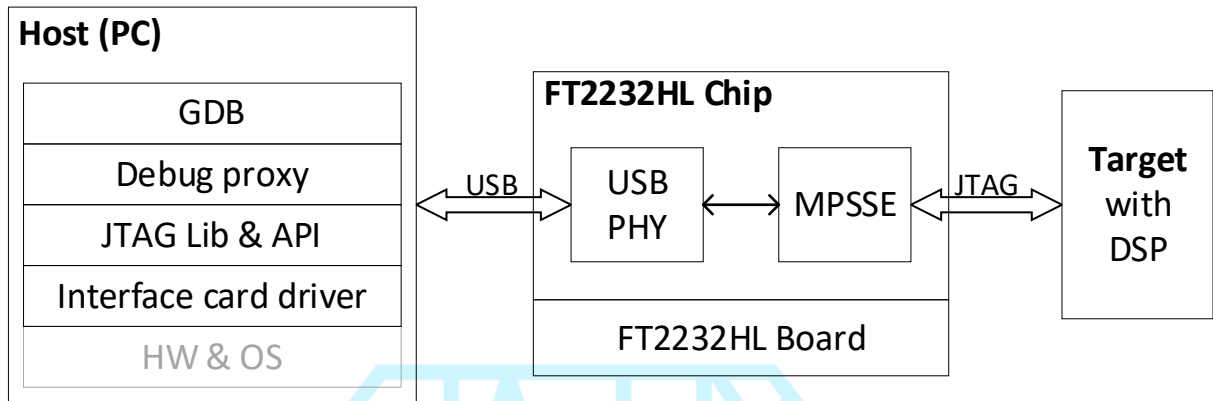


图 2: 基本结构

### 8.2.2 结构

#### 8.2.2.1 宿主机

与DSP仿真相关的宿主机软件结构如图 所示。

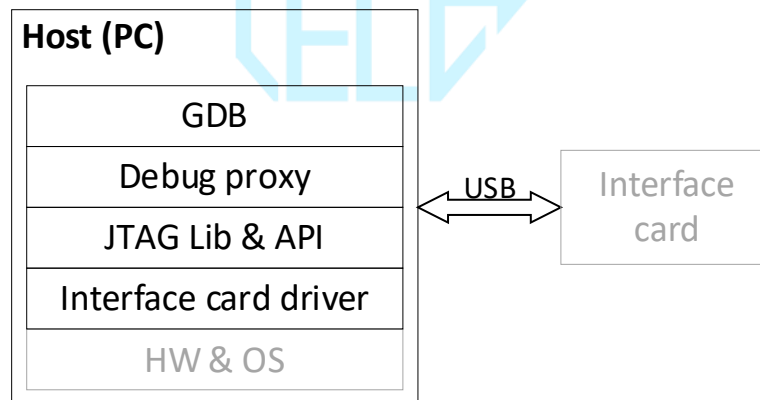


图 3: 宿主机软件结构

宿主机通过USB接口和接口卡连接，并包含以下部分

- 1) 接口卡驱动：使宿主机能够通过接口卡收发数据
- 2) JTAG Lib和API：接口卡组件，针对接口卡在USB/JTAG工作模式的函数库及应用程序接口
- 3) GDB：基于GNU Debugger为DSP定制的调试器
- 4) 调试代理：通过调用JTAG API进行JTAG接口配置，以及GDB和JTAG API之间的消息转发。

GDB发出的调试命令被调试代理转换成对应的JTAG API调用，接口卡返回的消息被调试代理转换为对应的GDB packet发送给GDB

### 8.2.2.2 目标机

目标机通过JTAG接口和接口卡连接。

### 8.2.2.3 接口卡

宿主机和目标机的连接、通讯需借助接口卡以进行USB和JTAG接口及协议的相互转换。接口卡的逻辑结构如图 所示。

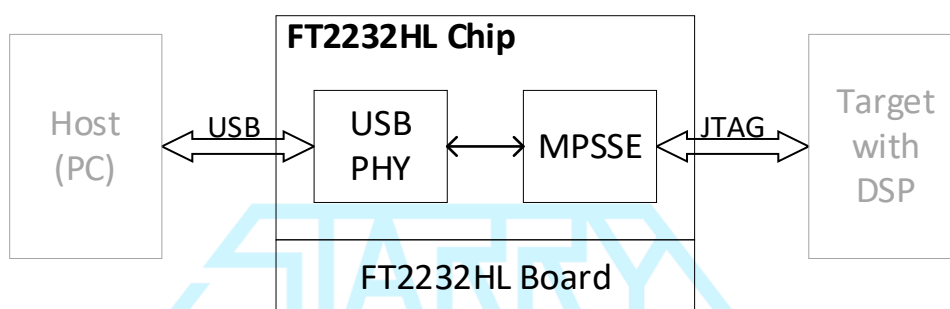


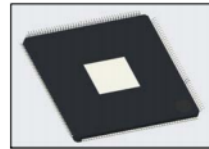
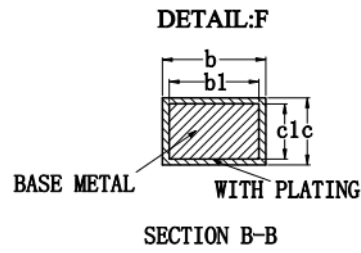
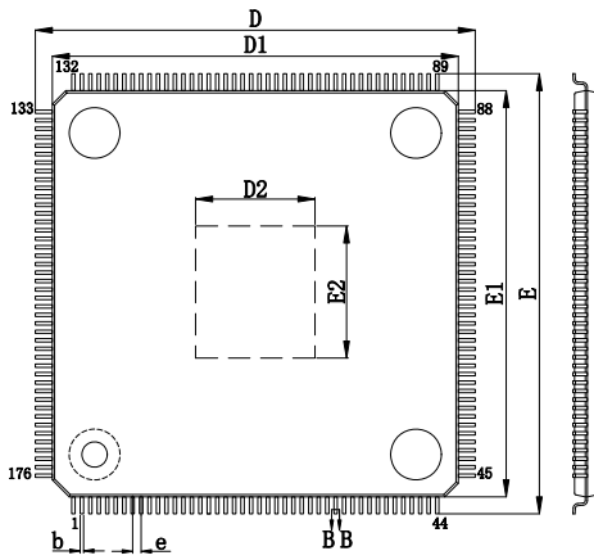
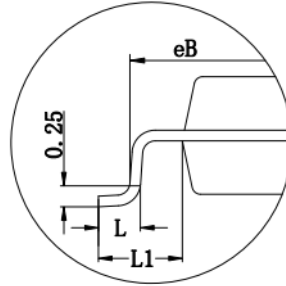
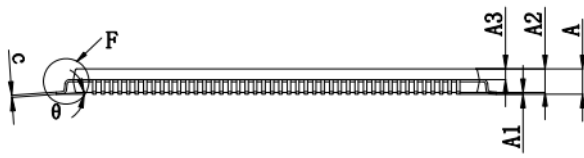
图 4：接口卡逻辑结构

接口卡采用FTDI公司的FT2232HL芯片。该芯片一边固定为USB 2.0的物理层和宿主机连接；另一边是可配置的UART/FIFO接口。

在当前的DSP仿真场景，该接口配置成MPSSE（Multi-Protocol Synchronous Serial Engine），作为JTAG接口和目标机连接。

## 9 封装外形尺寸

### 9.1 HLQFP176 PIN



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	25.80	26.00	26.20
D1	23.90	24.00	24.10
E	25.80	26.00	26.20
E1	23.90	24.00	24.10
eB	25.05	—	25.25
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	7°

L/P size (mil)	size (mm)	
	D2	E2
307*278	7.06REF	7.80REF



## 10 订货信息

### 10.1 封装信息

表 10-1.封装信息

产品型号	芯片版本	封装系列	封装类型	管脚数	环保标准	引线镀层/球材料	湿敏等级和最大耐焊接温度	工作温度
QXS320F28P650PTPS	RevA	HLQHP	PTP	176	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于 260° C-168小时寿命)	-40° C 至25° C

### 10.2 封装概览



## 关于乾芯科技

合肥乾芯科技有限公司是一家专业研发各类处理器芯片及IP软核的企业。我们核心产品是以数字信号处理器（DSP）为主，以微控制器（MCU）等产品为外延的处理器系列产品，主要面向数字电源、电机控制、光伏逆变器控制等领域。

公司核心研发团队由工业界知名专家组成，研发设计处理器芯片数十年，具有丰富的研发经验；核心团队成员曾成功大规模量产过多款芯片，研制的各类处理器芯片均达到国际一流技术水平。是国内为数不多的具备涵盖处理器体系结构定义、逻辑设计、物理实现到 GDS 生成全流程，以及工具链、配套函数库和集成开发环境全方位研发能力的团队。

我们的优势在于从指令集到内核微架构再到完整工具链均为自主研发。公司目前已拥有多项发明专利和软著，对核心技术建立专利池并形成完整知识产权保护链。



## 联系方式

公司网址：[www.starrystonetech.com](http://www.starrystonetech.com)

联系邮箱：[qx001@starrystonetech.com](mailto:qx001@starrystonetech.com)

联系电话：0551-68168580

公司地址：安徽合肥高新区创业产业园2期F1栋21楼