



乾芯科技
STARRYSTONETECH

QXS320F28377D数字信号控制器

数据手册

v1.2

合肥乾芯科技有限公司

QXS320F28377D 双核实时微控制器

1 特性

- 双核架构
 - 两个 32 位 CPU
 - 240MHz
 - IEEE 754 单精度浮点单元 (FPU)
 - 三角法数学单元 (TMU)
 - Viterbi/复杂数学单元 (VCU-II)
- 两个可编程控制律加速器 (CLA)
 - 240MHz
 - IEEE 754 单精度浮点指令
 - 独立于主 CPU 执行代码
- 片上存储器
 - 2MB 闪存 (ECC保护)
 - 2MB RAM (ECC保护或奇偶校验保护)
 - 支持第三方开发的双区安全
- 时钟和系统控制
 - 两个内部零引脚10MHz 振荡器
 - 片上晶体振荡器
 - 窗口化看门狗计时器模块
 - 丢失时钟检测电路
- 1.2V 内核、3.3V I/O 设计
- 系统外设
 - 两个支持 ASRAM 和 SDRAM 的外部存储器接口 (EMIF)
 - 两个 6 通道直接存储器存取 (DMA) 控制器
 - 多达 169 个具有输入滤波功能的独立可编程、多路复用通用输入/输出 (GPIO) 引脚
 - 扩展外设中断控制器 (ePIE)
 - 支持多个具有外部唤醒功能的低功耗模式 (LPM)
- 通信外设
 - USB 2.0 (MAC + PHY)
 - 支持 12 引脚 3.3V 兼容通用并行端口 (uPP) 接口
 - 两个控制器局域网 (CAN) 模块
 - 三个高速 (高达30MHz) SPI 端口
 - 两个多通道缓冲串行端口 (McBSP)
 - 六个串行通信接口 (SCI/UART)
 - 两个 I2C 接口
- 模拟子系统
 - 多达八个模数转换器 (ADC)
 - 16 位模式
 - 每个为 1.6MSPS (系统吞吐量高达 12.8MSPS)
 - 单端/差分输入
 - 多达 24/12 个外部通道
 - 12 位模式
 - 每个为 1.6MSPS (系统吞吐量高达 12.8MSPS)
 - 单端/差分输入
 - 多达 24/12 个外部通道
 - 每个 ADC 上有一个采样保持 (S/H) 电路
 - ADC 转换的硬件集成后处理
 - 饱和和偏移量校准
 - 设定点计算的误差
 - 具有中断功能的高电平、低电平和过零比较
 - 触发至采样延迟采集
 - 八个具有 12 位数模转换器 (DAC) 参考的窗口比较器
 - 三个 12 位缓冲 DAC 输出
- 增强型控制外设
 - 36 个具有增强特性的脉宽调制器 (PWM) 通道
 - 16 个高分辨率脉宽调制器 (HRPWM) 通道
 - 8 个 PWM 模块的 A、B 通道均具有高分辨率
 - 死区支持 (对于标准和高分辨率均支持)
 - 6 个增强型采集 (eCAP) 模块
 - 三个增强型正交编码器脉冲 (eQEP) 模块
 - 8 个 Δ - Σ 滤波器模块 (SDFM) 输入通道, 每通道有 2 个并联滤波器
 - 标准 SDFM 数据滤波
 - 用于快速响应超范围情况的比较器滤波器

- 封装选项：
 - 无铅，绿色环保封装
 - 337 焊球 New Fine Pitch Ball Grid Array (nFBGA) [ZWT 后缀]
 - 176 引脚 PowerPAD™ 热增强型低剖面四通道扁平封装 (HLQFP) [PTP 后缀]
 - 100 引脚 PowerPAD 热增强型薄型四通道扁平封装 (HTQFP) [PZP 后缀]
- 温度选项：
 - T: - 40°C 至 105°C 结温
 - S: - 40°C 至 125°C 结温
 - Q: - 40°C 至 125°C 的自然通风下

2 应用

- 1.中距离/短距离雷达
- 2.牵引逆变器电机控制
- 3.HVAC 大型商用电机控制
- 4.自动分拣设备
- 5.CNC 控制
- 6.交流充电（桩）站
- 7.直流充电（桩）站
- 8.电动汽车充电站电源模块
- 9.能量存储电源转换系统 (PCS)
- 10.中央逆变器
- 11.太阳能电源优化器
- 12.串式逆变器
- 13.逆变器和电机控制
- 14.车载充电器 (OBC) 和无线充电器
- 15.线性电机分段控制器
- 16.伺服驱动器控制模块
- 17.交流输入 BLDC 电机驱动器
- 18.直流输入 BLDC 电机驱动器
- 19.工业交流-直流
- 20.三相 UPS



3 说明

QXS320F28377D是一款对标TI公司的TMS320F28377D系列的32位处理器。主要针对实时控制应用（如工业电机驱动、光伏逆变器和数字电源、电动汽车的电机控制以及空调变频等）。

QXS320F28377D拥有对标TI C28x的自主研发的32位CPU内核，可提供240MHz的处理能力。QXS320F28377D内部同样集成了FPU，TMU和VCU扩展指令集，FPU可以提供32位浮点加速指令，TMU可快速执行包含变换和扭矩环路计算中常见三角运算的算法，VCU扩展指令集能够降低编码应用中常见复杂数学运算的延迟。

QXS320F28377D采用双核架构，CPU0和CPU1可独立并行运行，也可以相互通信。每个核都具有其独立的存储资源，都可以独立访问典型控制系统所需的主要外设。双核之间可以通过中断，特殊寄存器和共享内存三种方式通信。

QXS320F28377D还集成了高性能模拟外设和增强型控制外设，8个独立的12位采样率为1.6MSPS/8个独立的16位采样率为1.6MSPS的常规ADC可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。8个模拟比较器模块可以针对跳闸情况对输入电压电平进行持续监控。先进的控制外设（具有独立于频率的ePWM/HRPWM/HHRPWM和eCAP），可对系统进行出色的控制。内置的8通道SDFM允许在隔离层上无缝集成过采样 $\Sigma-\Delta$ 调制器。

通过各种业界通用通信端口（如USB、SPI、SCI、I2C、uPP、McBSP和CAN2.0，CAN FD）支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。

QXS320F28377D支持高达768KB可配置的指令RAM或数据RAM以及额外的1.28MB指令RAM和2MB Flash存储，能够适应大部分嵌入场景。QXS320F28377D还支持16KB的bootloader指令RAM，灵活配置启动过程。



3.1 功能方框图

功能方框图展示了 CPU 系统及关联的外设。

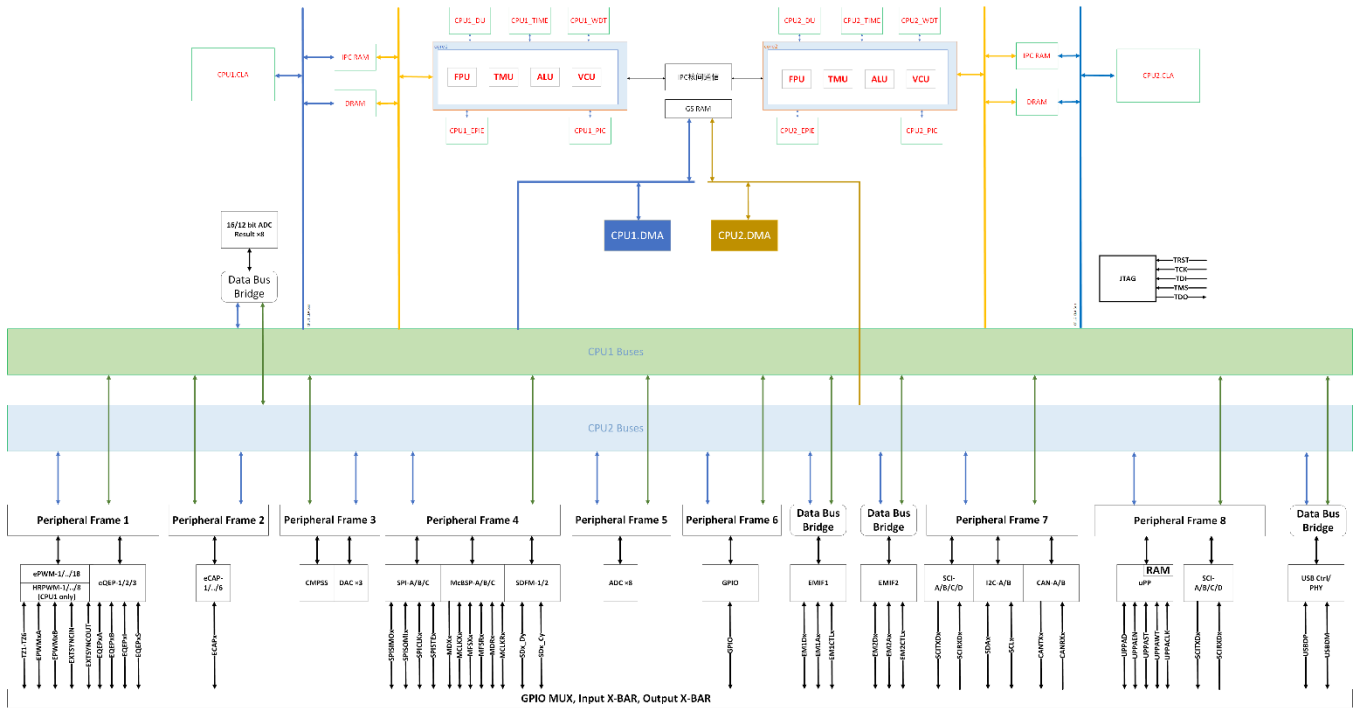


图 3-1 功能框图

3.2 产品编码

通用器件号: QXS 320 F 28377D -Q1

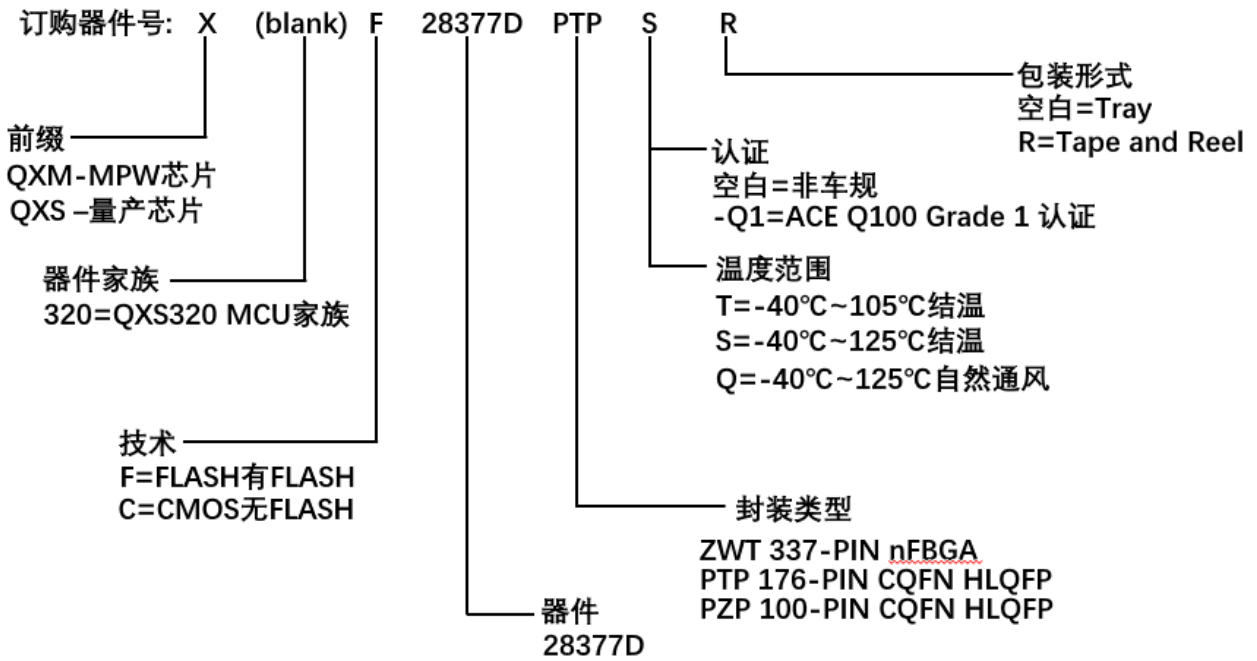


图 3-2 器件命名规则图

表 4-1 列出了28377D 器件的特性。

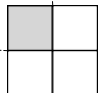
功能		QXS320F28377D
时钟主频		240 MHz
内核数		双核
IEEE754单精度浮点单元 (FPU)		支持
三角函数加速器 (TMU)		支持
复杂数学单元 (VCU-I)		支持
指令存储IRAM		双核共享2MB
数据存储DRAM		双核共享768KB
片上FLASH		2MB
高速DMA模块通道		12 (每个核支持6个)
32位CPU定时器		6 (每个核支持3个)
窗口看门狗定时器		2 (每个核支持1个)
非可屏蔽中断看门狗定时器		2 (每个核支持1个)
IO引脚	GPIO	169/97/42
	AIO	0
外部中断		10 (每个核支持5个)
12-bit ADC	数量	8/8/6
	采样率	1.6M
	通道数	24/24/14
	输入模式	单端/差分
	后处理(PPB)	4
16-bit ADC	数量	8/8/6
	采样率	1.6M
	通道数	24/24/14
	输入模式	单端/差分
	后处理(PPB)	4
比较子系统 (CMPSS)	数量	8/8/4
	DAC	12bit
12-bit DAC		3
I2C		2
CAN FD(兼容CAN2.0)		2
SPI		3
SCI		6/6/3
16bit/32bit EMIF		2/1/1
UAB2.0		1
uPP		1
McBSP		2
EPWM	EPWM通道	36/36/18
	HRPWM	16/16/9
	HHRPWM(45p)	16/16/9
eCAP		6
eQEP		3/3/2
Σ - Δ 滤波器模块 (SDFM)		8/8/4
结温 (Tj)		-40°C~150°C
自然通风温度 (TA)		-40°C~125°C
封装形式	337 nFBGA	
	176 LQFP	
	100 LQFP	

5 引脚配置和功能

5.1 引脚图

图 5-1 至图 5-4 显示了 337 焊球 ZWT 全新细间距球栅阵列的终端分配。每个图显示了一个象限的终端分配。图 5-5 展示了 176 引脚 PTP PowerPAD Thermally Enhanced Low-Profile Quad Flatpack 上的引脚分配。图 5-6 显示了 100 引脚 PZP PowerPAD Thermally Enhanced Low-Profile Quad Flatpack (热增强型低剖面四通道扁平封装) 上的引脚分配。

	1	2	3	4	5	6	7	8	9	10
W	VSSA	ADCINB1	ADCINB ₃	ADCINB5	VREFHIB	VREFLOD	VSS	VDDIO	GPIO128	GPIO116
V	VREFHIA	ADCINB0	ADCINB ₂	ADCINB4	VREFHID	VREFLOB	VSSA	GPIO124	GPIO127	GPIO131
U	ADCINA0	ADCINA2	ADCINA ₄	ADCIN15	ADCIND1	ADCIND3	ADCIND5	GPIO123	GPIO126	GPIO130
T	ADCINA1	ADCINA3	ADCINA ₅	ADCIN14	ADCIND0	ADCIND2	ADCIND4	GPIO122	GPIO125	GPIO129
R	VREFHIC	VREFLOA	ADCINC ₂	ADCINC4	VSSA	VDDA	VSS	VSS	VDDIO	VDD
P	VSSA	VREFLOC	ADCINC ₃	ADCINC5	VSSA	VDDA	VSS	VSS	VDDIO	VDD
N	VSS	GPIO109	GPIO11 ₄	GPIO113	VSS	VSS	7 N	8	9	10
M	VDDIO	GPIO110	GPIO11 ₂	GPIO111	VDDIO	VDDIO	M	VSS	VSS	VSS
L	GPIO27	GPIO106	GPIO10 ₇	GPIO108	VSS	VSS	L	VSS	VSS	VSS
K	GPIO26	GPIO25	GPIO24	GPIO23	VDD	VDD	K	VSS	VSS	VSS



A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2.1。

图 5-1. 337 焊球 ZWT 全新细间距球栅阵列 (底视图) - [象限 A]

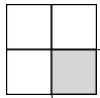
11 12 13 14 15 16 17 18 19

GPIO29	TEST MODE	TDI	TMS	TDO	GPIO121	GPIO39	GPIO132	V _{SS}	W
GPIO28	GPIO115	NC	TRST	TCK	GPIO36	GPIO40	GPIO134	V _{DDIO}	V
GPIO31	GPIO117	GPIO32	GPIO34	GPIO120	GPIO37	GPIO41	GPIO135	ERRORSTS	U
GPIO30	GPIO118	GPIO33	GPIO35	GPIO119	GPIO38	GPIO136	GPIO137	GPIO138	T
V _{DDIO}	V _{DDIO}	V _{DD}	V _{SS}	V _{SS}	GPIO48	GPIO49	GPIO50	GPIO51	R
V _{SS}	V _{SS}	V _{DD}	V _{SS}	V _{SS}	GPIO52	GPIO53	GPIO54	GPIO55	P
11	12	13	V _{DDIO}	V _{DDIO}	GPIO56	GPIO58	GPIO57	GPIO139	N
V _{SS}	V _{SS}	M	V _{SS}	V _{SS}	GPIO59	GPIO60	GPIO141	GPIO140	M
V _{SS}	V _{SS}	L	V _{DDIO}	V _{DDIO}	GPIO61	GPIO64	V _{SS}	GPIO142	L
V _{SS}	V _{SS}	K	V _{SS}	V _{SS}	GPIO65	GPIO66	GPIO44	GPIO45	K



A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2.1。

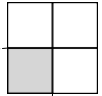
图 5-2.337 焊球 ZWT 全新细间距球栅阵列 (底视图) - [象限 B]



Vss	Vss	J	VDD	VDD	GPIO63	GPIO62	VREGEN _Z	X2	J
Vss	Vss	H	Vss	Vss	VDDOSC	VDDOSC	VSSOSC	VSSOSC	H
11	12	G	VDD	VDD	Vss	Vss	GPIO13 ₃	X1	G
VDD	Vss	VDDIO	Vss	Vss	VDDIO	GPIO144	GPIO14 ₃	XRS	F
VDD	Vss	VDDIO	Vss	Vss	VDDIO	GPIO145	GPIO47	GPIO46	E
GPIO87	GPIO156	GPIO152	GPIO148	GPIO80	GPIO75	GPIO147	GPIO14 ₆	GPIO42	D
GPIO86	GPIO155	GPIO151	GPIO83	GPIO79	GPIO76	GPIO74	GPIO68	GPIO43	C
GPIO85	GPIO154	GPIO150	GPIO82	GPIO78	GPIO72	GPIO71	GPIO69	GPIO67	B
GPIO84	GPIO153	GPIO149	GPIO81	GPIO77	GPIO73	GPIO70	VDDIO	Vss	A
11	12	13	14	15	16	17	18	19	

A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2.1。

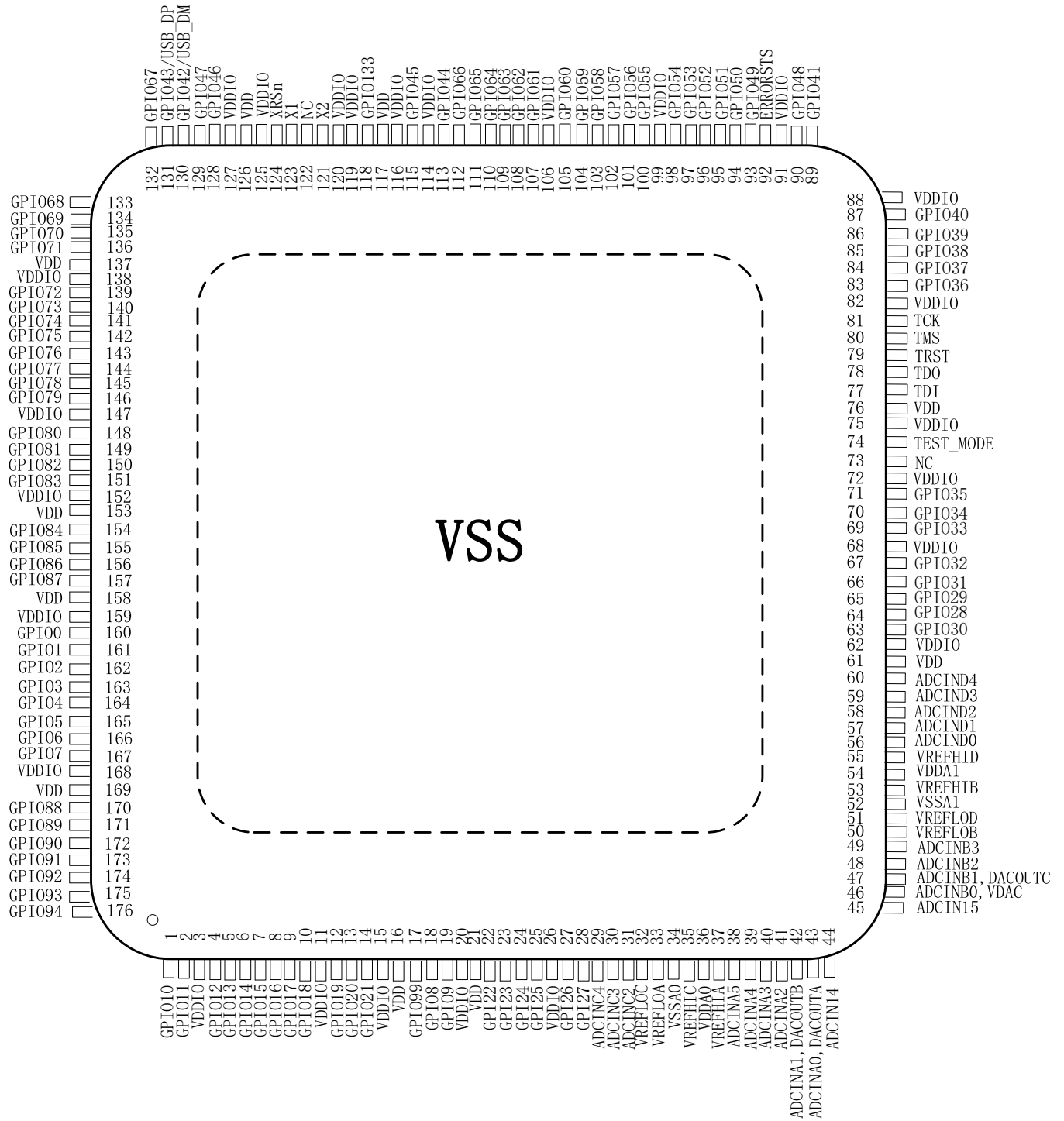
图 5-3. 337 焊球 ZWT 全新细间距球栅阵列 (底视图) - [象限 C]



J	GPIO103	GPIO104	GPIO105	GPIO22	Vss	Vss	J	Vss	Vss	Vss
H	GPIO100	GPIO101	GPIO102	NC	VDDIO	VDDIO	H	Vss	Vss	Vss
G	GPIO99	GPIO8	GPIO9	VDDIO	VDDIO	VDDIO	G	7	8	9
F	GPIO98	GPIO20	GPIO21	VDDIO	Vss	Vss	VDDIO	Vss	VDD	VDDIO
E	GPIO16	GPIO17	GPIO18	GPIO19	Vss	Vss	VDDIO	Vss	VDD	VDDIO
D	GPIO13	GPIO14	GPIO15	GPIO168	GPIO166	GPIO89	GPIO5	GPIO1	GPIO162	GPIO159
C	GPIO11	GPIO12	GPIO96	GPIO167	GPIO165	GPIO88	GPIO4	GPIO0	GPIO161	GPIO158
B	VDDIO	GPIO10	GPIO95	GPIO93	GPIO91	GPIO7	GPIO3	GPIO16 ₄	GPIO160	GPIO157
A	Vss	GPIO97	GPIO94	GPIO92	GPIO90	GPIO6	GPIO2	GPIO16 ₃	VDDIO	Vss
	1	2	3	4	5	6	7	8	9	10

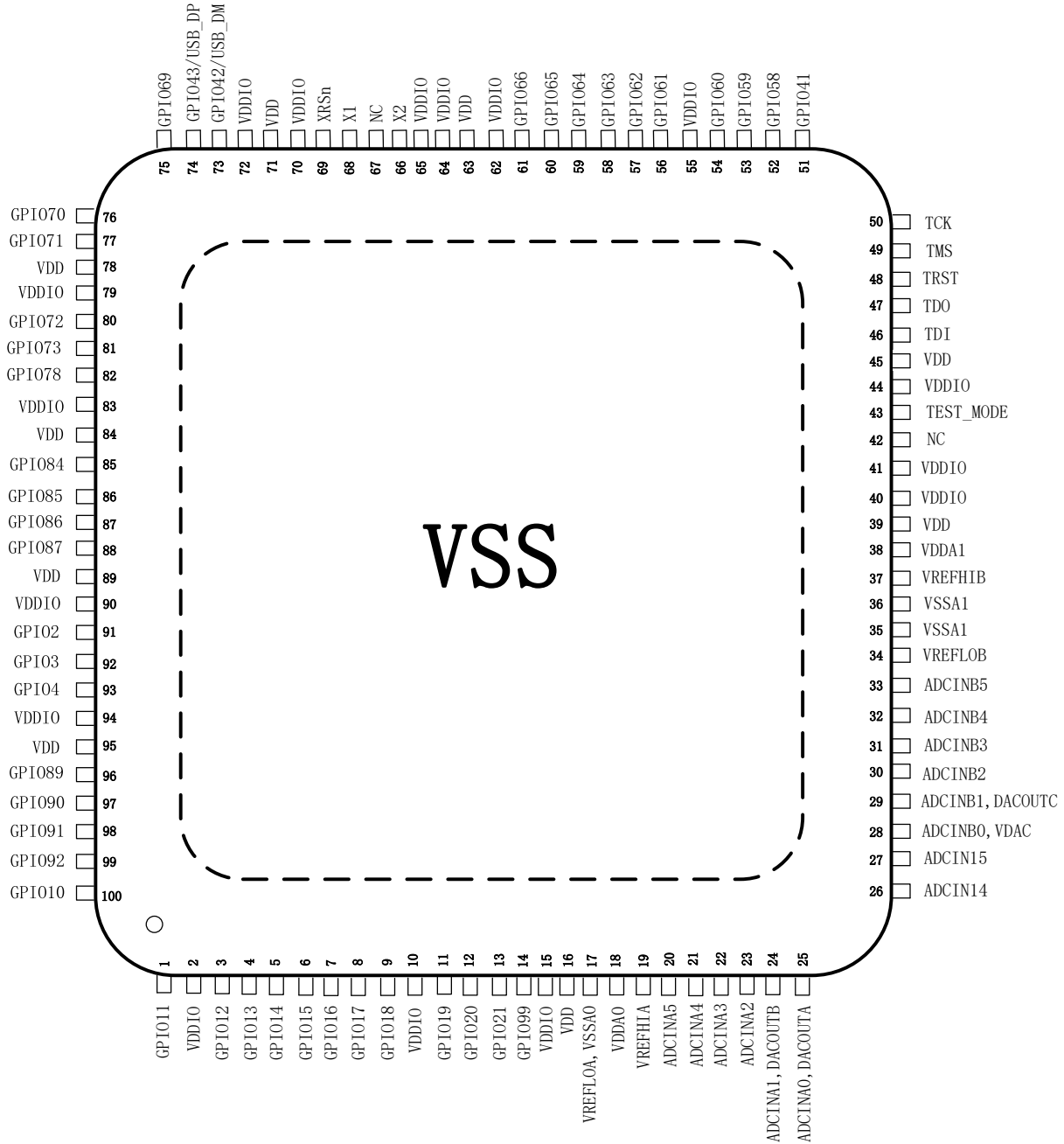
A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2.1。

图 5-4. 337 焊球 ZWT 全新细间距球栅阵列 (底视图) - [象限 D]



A. GPIO 引脚上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2.1。

图 5-5. 176 引脚 PTP PowerPAD Thermally Enhanced Low-Profile Quad Flatpack (顶视图)



A. GPIO 引脚上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2.1。

图 5-6. 100 引脚 PZP PowerPAD HTQFP (顶视图)

备注

PowerPAD™ 封装的外露引线框裸片焊盘有两个功能：从芯片散热和为数字接地提供接地路径（通过专用引脚提供模拟接地）。因此，PowerPAD 应焊接到 PCB 的接地 (GND) 平面，因为这将提供数字接地路径和良好的热传导路径。为了使 PowerPAD 封装中设计的热效率得到最佳利用，在设计 PCB 时必须考虑到这种技术。在 PowerPAD 主体正下方的 PCB 表面上需要散热焊盘。散热焊盘应焊接到 PowerPAD 封装的外露引线框裸片焊盘上；散热焊盘应尽可能大，以散发所需的热量。应使用一组散热过孔将散热焊盘与电路板的内部 GND 平面连接。请参阅 [PowerPAD™ 热增强型封装](#)，了解有关使用 PowerPAD 封装的更多详细信息。

备注

PCB 封装和原理图符号都能以厂商中立格式下载，然后可以将其导出到先进的 EDA CAD/CAE 设计工具。请参阅“封装”部分下每个器件的产品文件夹中的“CAD/CAE 符号”小节。



5.2 信号说明

节 5.2.1 对这些信号进行了说明。除非另有说明，否则复位时默认为 GPIO 功能。在它们下面列出的外设信号是供替换的功能。有些外设功能并非在所有器件上都可用。详细信息请参阅 表 4-1。所有 GPIO 引脚都为 I/O/Z 且有内部上拉电阻器，可在每个引脚上有选择性地启用/禁用。这一特性只适用于 GPIO 引脚。复位时上拉电阻器未启用。

5.2.1 信号说明

表 5-1. 信号说明

名称	终端				I/O/Z ⁽¹⁾	说明
	多路复用器位置	ZWT 焊球编号	PTP 引脚编号	PZP 引脚编号		
ADC、DAC 和比较器信号						
VREFHIA		V1	37	19	I	ADC-A 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 10μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间且尽可能靠近器件。 注意： 请勿从外部加载此引脚。
VREFHIB		W5	53	37	I	ADC-B 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 10μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间且尽可能靠近器件。 注意： 请勿从外部加载此引脚。
VREFHIC		R1	35	-	I	ADC-C 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 10μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引脚之间且尽可能靠近器件。 注意： 请勿从外部加载此引脚。
VREFHID		V5	55	-	I	ADC-D 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 10μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHID 和 VREFLOD 引脚之间且尽可能靠近器件。 注意： 请勿从外部加载此引脚。
VREFLOA		R2	33	17	I	ADC-A 低基准电压。 在 PZP 封装上，引脚 17 双键连接至 VSSA 和 VREFLOA。在 PZP 封装上，引脚 17 必须连接到系统板上的 VSSA。
VREFLOB		V6	50	34	I	ADC-B 低基准电压
VREFLOC		P2	32	-	I	ADC-C 低基准电压
VREFLOD		W6	51	-	I	ADC-D 低基准电压
ADCIN14					I	到所有 ADC 的输入 14。此引脚可用作通用 ADCIN 引脚或可用于通过外部基准对 ADC 进行校准（无论是单端输入还是差分输入）。
CMPIN4P		T4	44	26	I	比较器 4 正输入
ADCIN15					I	到所有 ADC 的输入 15。此引脚可用作通用 ADCIN 引脚或可用于通过外部基准对 ADC 进行校准（无论是单端输入还是差分输入）。
CMPIN4N		U4	45	27	I	比较器 4 负输入
ADCINA0					I	ADC-A 输入 0。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50kΩ 内部下拉电阻器。
DACOUTA		U1	43	25	O	DAC-A 输出

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
ADCINA1		T1	42	24	I	ADC-A 输入 1。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50k Ω 内部下拉电阻器。
DACOUTB					O	DAC-B 输出
ADCINA2		U2	41	23	I	ADC-A 输入 2。
CMPIN1P					I	比较器 1 正输入
ADCINA3		T2	40	22	I	ADC-A 输入 3。
CMPIN1N					I	比较器 1 负输入
ADCINA4		U3	39	21	I	ADC-A 输入 4。
CMPIN2P					I	比较器 2 正输入
ADCINA5		T3	38	20	I	ADC-A 输入 5。
CMPIN2N					I	比较器 2 负输入
ADCINB0		V2	46	28	I	ADC-B 输入 0。在 ADC 输入或 DAC 基准模式中，此引脚上有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准，请在此引脚上放置至少一个 1 μ F 电容器。
VDAC					I	片上 DAC 的可选外部基准电压。在 ADC 输入或 DAC 基准模式中，此引脚上有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准，请在此引脚上放置至少一个 1 μ F 电容器。
ADCINB1		W2	47	29	I	ADC-B 输入 1。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50k Ω 内部下拉电阻器。
DACOUTC					O	DAC-C 输出
ADCINB2		V3	48	30	I	ADC-B 输入 2
CMPIN3P					I	比较器 3 正输入
ADCINB3		W3	49	31	I	ADC-B 输入 3
CMPIN3N					I	比较器 3 负输入
ADCINB4		V4	-	32	I	ADC-B 输入 4
ADCINB5		W4	-	33	I	ADC-B 输入 5
ADCINC2		R3	31	-	I	ADC-C 输入 2
CMPIN6P					I	比较器 6 正输入
ADCINC3		P3	30	-	I	ADC-C 输入 3
CMPIN6N					I	比较器 6 负输入
ADCINC4		R4	29	-	I	ADC-C 输入 4
CMPIN5P					I	比较器 5 正输入
ADCINC5		P4	-	-	I	ADC-C 输入 5
CMPIN5N					I	比较器 5 负输入
ADCIND0		T5	56	-	I	ADC-D 输入 0
CMPIN7P					I	比较器 7 正输入
ADCIND1		U5	57	-	I	ADC-D 输入 1
CMPIN7N					I	比较器 7 负输入
ADCIND2		T6	58	-	I	ADC-D 输入 2
CMPIN8P					I	比较器 8 正输入
ADCIND3		U6	59	-	I	ADC-D 输入 3
CMPIN8N					I	比较器 8 负输入

表 5-1.信号说明 (续)

终端						I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT 焊球编号	PTP 引脚编号	PZP 引脚编号			
ADCIND4		T7	60	-	I	ADC-D 输入 4	
ADCIND5		U7	-	-	I	ADC-D 输入 5	
GPIO 和外设信号							
GPIO0	0、4、8、12				I/O	通用输入/输出 0	
EPWM1A	1	C8	160	-	O	增强型 PWM1 输出 A (支持 HRPWM)	
SDAA	6				I/OD	I2C-A 数据漏极开路双向接口	
GPIO1	0、4、8、12				I/O	通用输入/输出 1	
EPWM1B	1	D8	161	-	O	增强型 PWM1 输出 B (支持 HRPWM)	
MFSRB	3				I/O	McBSP-B 接收帧同步	
SCLA	6				I/OD	I2C-A 时钟漏极开路双向接口	
GPIO2	0、4、8、12				I/O	通用输入/输出 2	
EPWM2A	1				O	增强型 PWM2 输出 A (支持 HRPWM)	
OUTPUTXBAR1	5	A7	162	91	O	输出 XBAR 的输出 1	
SDAB	6				I/OD	I2C-B 数据漏极开路双向接口	
CANASTBY	7				O	CAN-A 旁路信号	
GPIO3	0、4、8、12				I/O	通用输入/输出 3	
EPWM2B	1				O	增强型 PWM2 输出 B (支持 HRPWM)	
OUTPUTXBAR2	2				O	输出 XBAR 的输出 2	
MCLKRB	3	B7	163	92	I/O	McBSP-B 接收时钟	
OUTPUTXBAR2	5				O	输出 XBAR 的输出 2	
SCLB	6				I/OD	I2C-B 时钟漏极开路双向接口	
CANBSTBY	7				O	CAN-A 旁路信号	
GPIO4	0、4、8、12				I/O	通用输入/输出 4	
EPWM3A	1	C7	164	93	O	增强型 PWM3 输出 A (支持 HRPWM)	
OUTPUTXBAR3	5				O	输出 XBAR 的输出 3	
CANTXA	6				O	CAN-A 发送	
GPIO5	0、4、8、12				I/O	通用输入/输出 5	
EPWM3B	1				O	增强型 PWM3 输出 B (支持 HRPWM)	
MFSRA	2	D7	165	-	I/O	McBSP-A 接收帧同步	
OUTPUTXBAR3	3				O	输出 XBAR 的输出 3	
CANRXA	6				I	CAN-A 接收	
GPIO6	0、4、8、12				I/O	通用输入/输出 6	
EPWM4A	1				O	增强型 PWM4 输出 A (支持 HRPWM)	
OUTPUTXBAR4	2	A6	166	-	O	输出 XBAR 的输出 4	
EXTSYNCOUT	3				O	外部 ePWM 同步脉冲输出	
EQEP3A	5				I	增强型 QEP3 输入 A	
CANTXB	6				O	CAN-B 发送	

表 5-1.信号说明 (续)

名称	终端				I/O/Z ⁽¹⁾	说明
	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO7	0、4、8、12	B6	167	-	I/O	通用输入/输出 7
EPWM4B	1				O	增强型 PWM4 输出 B (支持 HRPWM)
MCLKRA	2				I/O	McBSP-A 接收时钟
OUTPUTXBAR5	3				O	输出 XBAR 的输出 5
EQEP3B	5				I	增强型 QEP3 输入 B
CANRXB	6				I	CAN-B 接收
GPIO8	0、4、8、12	G2	18	-	I/O	通用输入/输出 8
EPWM5A	1				O	增强型 PWM5 输出 A (支持 HRPWM)
CANTXB	2				O	CAN-B 发送
ADCSOCAO	3				O	外部 ADC 的 ADC 转换启动 A 输出
EQEP3S	5				I/O	增强型 QEP3 选通
SCITXDA	6				O	SCI-A 发送数据
GPIO9	0、4、8、12	G3	19	-	I/O	通用输入/输出 9
EPWM5B	1				O	增强型 PWM5 输出 B (支持 HRPWM)
SCITXDB	2				O	SCI-B 发送数据
OUTPUTXBAR6	3				O	输出 XBAR 的输出 6
EQEP3I	5				I/O	增强型 QEP3 索引
SCIRXDA	6				I	SCI-A 接收数据
CANASTBY	7				O	CAN-A 旁路信号
GPIO10	0、4、8、12	B2	1	100	I/O	通用输入/输出 10
EPWM6A	1				O	增强型 PWM6 输出 A (支持 HRPWM)
CANRXB	2				I	CAN-B 接收
ADCSOCBO	3				O	外部 ADC 的 ADC 转换启动 B 输出
EQEP1A	5				I	增强型 QEP1 输入 A
SCITXDB	6				O	SCI-B 发送数据
UPP-WAIT	15				I/O	通用并行端口等待。接收器生效以请求暂停传输。
GPIO11	0、4、8、12	C1	2	1	I/O	通用输入/输出 11
EPWM6B	1				O	增强型 PWM6 输出 B (支持 HRPWM)
SCIRXDB	2、6				I	SCI-B 接收数据
OUTPUTXBAR7	3				O	输出 XBAR 的输出 7
EQEP1B	5				I	增强型 QEP1 输入 B
UPP-START	15				I/O	通用并行端口开始。发送器在 DMA 线开始时生效。

表 5-1.信号说明 (续)

终端						I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT 焊球 编号	PTP 引脚 编号	PZP 引脚 编号			
GPIO12	0、4、8、12				I/O	通用输入/输出 12	
EPWM7A	1				O	增强型 PWM7 输出 A (支持 HRPWM)	
CANTXB	2				O	CAN-B 发送	
MDXB	3	C2	4	3	O	McBSP-B 发送串行数据	
EQEP1S	5				I/O	增强型 QEP1 选通	
SCITXDC	6				O	SCI-C 发送数据	
UPP-ENA	15				I/O	通用并行端口使能。发送器在数据总线处于运行状态时生效。	
GPIO13	0、4、8、12				I/O	通用输入/输出 13	
EPWM7B	1				O	增强型 PWM7 输出 B (支持 HRPWM)	
CANRXB	2				I	CAN-B 接收	
MDRB	3	D1	5	4	I	McBSP-B 接收串行数据	
EQEP1I	5				I/O	增强型 QEP1 索引	
SCIRXDC	6				I	SCI-C 接收数据	
UPP-D7	15				I/O	通用并行端口数据线 7	
GPIO14	0、4、8、12				I/O	通用输入/输出 14	
EPWM8A	1				O	增强型 PWM8 输出 A (支持 HRPWM)	
SCITXDB	2				O	SCI-B 发送数据	
MCLKXB	3	D2	6	5	I/O	McBSP-B 发送时钟	
OUTPUTXBAR3	6				O	输出 XBAR 的输出 3	
CANBSTBY	7				O	CAN-B 旁路信号	
UPP-D6	15				I/O	通用并行端口数据线 6	
GPIO15	0、4、8、12				I/O	通用输入/输出 15	
EPWM8B	1				O	增强型 PWM8 输出 B (支持 HRPWM)	
SCIRXDB	2				I	SCI-B 接收数据	
MFSXB	3	D3	7	6	I/O	McBSP-B 发送帧同步	
OUTPUTXBAR4	6				O	输出 XBAR 的输出 4	
CANBSTBY	7				O	CAN-B 旁路信号	
UPP-D5	15				I/O	通用并行端口数据线 5	
GPIO16	0、4、8、12				I/O	通用输入/输出 16	
SPISIMOA	1				I/O	SPI-A 从器件输入, 主器件输出	
CANTXB	2				O	CAN-B 发送	
OUTPUTXBAR7	3	E1	8	7	O	输出 XBAR 的输出 7	
EPWM9A	5				O	增强型 PWM9 输出 A	
SD1_D1	7				I	Σ - Δ 1 通道 1 数据输入	
UPP-D4	15				I/O	通用并行端口数据线 4	

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO17	0、4、8、12				I/O	通用输入/输出 17
SPISOMIA	1				I/O	SPI-A 从器件输出, 主器件输入
CANRXB	2				I	CAN-B 接收
OUTPUTXBAR8	3	E2	9	8	O	输出 XBAR 的输出 8
EPWM9B	5				O	增强型 PWM9 输出 B
SD1_C1	7				I	Σ - Δ 1 通道 1 时钟输入
UPP-D3	15				I/O	通用并行端口数据线3
GPIO18	0、4、8、12				I/O	通用输入/输出 18
SPICLKA	1				I/O	SPI-A 时钟
SCITXDB	2				O	SCI-B 发送数据
CANRXA	3	E3	10	9	I	CAN-A 接收
EPWM10A	5				O	增强型 PWM10 输出 A
SD1_D2	7				I	Σ - Δ 1 通道 2 数据输入
UPP-D2	15				I/O	通用并行端口数据线 2
GPIO19	0、4、8、12				I/O	通用输入/输出 19
SPISTEA	1				I/O	SPI-A 从器件发送使能
SCIRXDB	2				I	SCI-B 接收数据
CANTXA	3	E4	12	11	O	CAN-A 发送
EPWM10B	5				O	增强型 PWM10 输出 B
SD1_C2	7				I	Σ - Δ 1 通道 2 时钟输入
UPP-D1	15				I/O	通用并行端口数据线 1
GPIO20	0、4、8、12				I/O	通用输入/输出 20
EQEP1A	1				I	增强型 QEP1 输入 A
MDXA	2				O	McBSP-A 发送串行数据
CANTXB	3	F2	13	12	O	CAN-B 发送
EPWM11A	5				O	增强型 PWM11 输出 A
SD1_D3	7				I	Σ - Δ 1 通道 3 数据输入
UPP-D0	15				I/O	通用并行端口数据线 0

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO21	0、4、8、12				I/O	通用输入/输出 21
EQEP1B	1				I	增强型 QEP1 输入 B
MDRA	2				I	McBSP-A 接收串行数据
CANRXB	3	F3	14	13	I	CAN-B 接收
EPWM11B	5				O	增强型 PWM11 输出 B
SD1_C3	7				I	Σ - Δ 1 通道 3 时钟输入
UPP-CLK	15				I/O	通用并行端口发送时钟
GPIO22	0、4、8、12				I/O	通用输入/输出22
EQEP1S	1				I/O	增强型QEP1选通
MCLKXA	2				I/O	McBSP-A发送时钟
SCITXDB	3	J4	22	-	O	SCI-B发送数据
EPWM12A	5				O	增强型PWM12输出A
SPICLKB	6				I/O	SPI-B时钟
SD1_D4	7				I	Σ - Δ 1 通道 4 数据输入
GPIO23	0、4、8、12				I/O	通用输入/输出 23
EQEP1I	1				I/O	增强型 QEP1 索引
MFSXA	2				I/O	McBSP-A 发送帧同步
SCIRXDB	3	K4	23	-	I	SCI-B 接收数据
EPWM12B	5				O	增强型 PWM12 输出 B
SPISTEB	6				I/O	SPI-B 从器件发送使能
SD1_C4	7				I	Σ - Δ 1 通道 4 时钟输入
GPIO24	0、4、8、12				I/O	通用输入/输出 24
OUTPUTXBAR1	1				O	输出 XBAR 的输出 1
EQEP2A	2				I	增强型 QEP2 输入 A
MDXB	3	K3	24	-	O	McBSP-B 发送串行数据
CANASTBY	5				O	CAN-A 旁路信号
SPISIMOB	6				I/O	SPI-B 从器件输入, 主器件输出
SD2_D1	7				I	Σ - Δ 2 通道 1 数据输入
GPIO25	0、4、8、12				I/O	通用输入/输出 25
OUTPUTXBAR2	1				O	输出 XBAR 的输出 2
EQEP2B	2				I	增强型 QEP2 输入 B
MDRB	3	K2	25	-	I	McBSP-B 接收串行数据
CANBSTBY	5				O	CAN-B 旁路信号
SPISOMIB	6				I/O	SPI-B 从器件输出, 主器件输入
SD2_C1	7				I	Σ - Δ 2 通道 1 时钟输入

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT 焊球 编号	PTP 引脚 编号	PZP 引脚 编号		
GPIO26	0、4、8、12				I/O	通用输入/输出 26
OUTPUTXBAR3	1				O	输出 XBAR 的输出 3
EQEP2I	2				I/O	增强型 QEP2 索引
MCLKXB	3	K1	27	-	I/O	McBSP-B 发送时钟
OUTPUTXBAR3	5				O	输出 XBAR 的输出 3
SPICLK _B	6				I/O	SPI-B 时钟
SD2_D2	7				I	Σ - Δ 通道 2 数据输入
GPIO27	0、4、8、12				I/O	通用输入/输出 27
OUTPUTXBAR4	1				O	输出 XBAR 的输出 4
EQEP2S	2				I/O	增强型 QEP2 选通
MFSXB	3	L1	28	-	I/O	McBSP-B 发送帧同步
OUTPUTXBAR4	5				O	输出 XBAR 的输出 4
SPISTEB	6				I/O	SPI-B 从器件发送使能
SD2_C2	7				I	Σ - Δ 通道 2 时钟输入
GPIO28	0、4、8、12				I/O	通用输入/输出 28
SCIRXDA	1				I	SCI-A 接收数据
EM1CS4	2	V11	64	-	O	外部存储器接口 1 芯片选择 4
OUTPUTXBAR5	5				O	输出 XBAR 的输出 5
EQEP3A	6				I	增强型 QEP3 输入 A
SD2_D3	7				I	Σ - Δ 通道 3 数据输入
GPIO29	0、4、8、12				I/O	通用输入/输出 29
SCITXDA	1				O	SCI-A 发送数据
EM1SDCKE	2	W11	65	-	O	外部存储器接口 1 SDRAM 时钟使能
OUTPUTXBAR6	5				O	输出 XBAR 的输出 6
EQEP3B	6				I	增强型 QEP3 输入 B
SD2_C3	7				I	Σ - Δ 通道 3 时钟输入
GPIO30	0、4、8、12				I/O	通用输入/输出 30
CANRXA	1				I	CAN-A 接收
EM1CLK	2	T11	63	-	O	外部存储器接口 1 时钟
OUTPUTXBAR7	5				O	输出 XBAR 的输出 7
EQEP3S	6				I/O	增强型 QEP3 选通
SD2_D4	7				I	Σ - Δ 通道 4 数据输入

表 5-1.信号说明 (续)

名称	终端				I/O/Z ⁽¹⁾	说明
	多路复用器位置	ZWT 焊球 编号	PTP 引脚 编号	PZP 引脚 编号		
GPIO31	0、4、8、12	U11	66	-	I/O	通用输入/输出 31
CANTXA	1				O	CAN-A 发送
EM1WE	2				O	外部存储器接口 1 写入使能
OUTPUTXBAR8	5				O	输出 XBAR 的输出 8
EQEP3I	6				I/O	增强型 QEP3 索引
SD2_C4	7				I	Σ - Δ 2 通道 4 时钟输入
GPIO32	0、4、8、12	U13	67	-	I/O	通用输入/输出 32
SDAA	1				I/OD	I2C-A 数据漏极开路双向端口
EM1CS0	2				O	外部存储器接口 1 芯片选择 0
CANASTBY	3				O	CAN-A 旁路信号
SD3_D1	7				I	Σ - Δ 3 通道 1 数据输入
GPIO33	0、4、8、12	T13	69	-	I/O	通用输入/输出 33
SCLA	1				I/OD	I2C-A 时钟漏极开路双向端口
EM1RNW	2				O	外部存储器接口 1 读/不写
EPWM13A	3				O	增强型 PWM13 输出 A (支持 HRPWM)
SD3_C1	7				I	Σ - Δ 3 通道 1 时钟输入
GPIO34	0、4、8、12	U14	70	-	I/O	通用输入/输出 34
OUTPUTXBAR1	1				O	输出 XBAR 的输出 1
EM1CS2	2				O	外部存储器接口 1 芯片选择 2
EPWM13B	3				O	增强型 PWM13 输出 B (支持 HRPWM)
SDAB	6				I/OD	I2C-B 数据漏极开路双向端口
SD3_D2	7				I	Σ - Δ 3 通道 2 数据输入
GPIO35	0、4、8、12	T14	71	-	I/O	通用输入/输出 35
SCIRXDA	1				I	SCI-A 接收数据
EM1CS3	2				O	外部存储器接口 1 芯片选择 3
EPWM14A	3				O	增强型 PWM14 输出 A (支持 HRPWM)
SCLB	6				I/OD	I2C-B 时钟漏极开路双向端口
SD3_C2	7				I	Σ - Δ 3 通道 2 时钟输入
GPIO36	0、4、8、12	V16	83	-	I/O	通用输入/输出 36
SCITXDA	1				O	SCI-A 发送数据
EM1WAIT	2				I	外部存储器接口 1 异步 SRAMWAIT
EPWM14B	3				O	增强型 PWM14 输出 B (支持 HRPWM)
CANRXA	6				I	CAN-A 接收
SD3_D3	7				I	Σ - Δ 3 通道 3 数据输入

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT 焊球 编号	PTP 引脚 编号	PZP 引脚 编号		
GPIO37	0、4、8、12	U16	84	-	I/O	通用输入/输出 37
OUTPUTXBAR2	1				O	输出 XBAR 的输出 2
EM1OE	2				O	外部存储器接口 1 输出使能
EPWM15A	3				O	增强型 PWM15 输出 A (支持 HRPWM)
CANTXA	6				O	CAN-A 发送
SD3_C3	7				I	Σ - Δ 3 通道 3 时钟输入
GPIO38	0、4、8、12	T16	85	-	I/O	通用输入/输出 38
EM1A0	2				O	外部存储器接口 1 地址线 0
EPWM15B	3				O	增强型 PWM15 输出 B (支持 HRPWM)
SCITXDC	5				O	SCI-C 发送数据
CANTXB	6				O	CAN-B 发送
SD3_D4	7				I	Σ - Δ 3 通道 4 数据输入
GPIO39	0、4、8、12	W17	86	-	I/O	通用输入/输出 39
EM1A1	2				O	外部存储器接口 1 地址线 1
EPWM16A	3				O	增强型 PWM16 输出 A (支持 HRPWM)
SCIRXDC	5				I	SCI-C 接收数据
CANRXB	6				I	CAN-B 接收
SD3_C4	7				I	Σ - Δ 3 通道 4 时钟输入
GPIO40	0、4、8、12	V17	87	-	I/O	通用输入/输出 40
CANASTBY	1				O	CAN-A 旁路信号
EM1A2	2				O	外部存储器接口 1 地址线 2
EPWM16B	3				O	增强型 PWM16 输出 B (支持 HRPWM)
SDAB	6				I/OD	I2C-B 数据漏极开路双向端口
GPIO41	0、4、8、12	U17	89	51	I/O	通用输入/输出 41。对于使用休眠低功耗模式的应用,此引脚用作 GPIOHIBWAKE 信号。有关详细信息,请参阅 QXS320F28377D 技术参考手册的“系统控制”一章中的“低功耗模式”小节。
CANBSTBY	1				O	CAN-B 旁路信号
EM1A3	2				O	外部存储器接口 1 地址线 3
EPWM17A	3				O	增强型 PWM17 输出 A (支持 HRPWM)
SCLB	6				I/OD	I2C-B 时钟漏极开路双向端口
GPIO42	0、4、8、12	D19	130	73	I/O	通用输入/输出 42
EPWM17B	3				O	增强型 PWM17 输出 B (支持 HRPWM)
SDAA	6				I/OD	I2C-A 数据漏极开路双向端口
SCITXDA	15				O	SCI-A 发送数据
USB0DM	模拟				I/O	USBPHY 差分数据

表 5-1.信号说明 (续)

名称	终端				I/O/Z ⁽¹⁾	说明
	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO43	0、4、8、12				I/O	通用输入/输出 43
EPWM18A	3				O	增强型 PWM18 输出 A (支持 HRPWM)
SCLA	6	C19	131	74	I/OD	I2C-A 时钟漏极开路双向端口
SCIRXDA	15				I	SCI-A 接收数据
USB0DP	模拟				I/O	USBPHY 差分数据
GPIO44	0、4、8、12				I/O	通用输入/输出 44
EM1A4	2	K18	113	-	O	外部存储器接口 1 地址线 4
EPWM18B	3				O	增强型 PWM18 输出 B (支持 HRPWM)
GPIO45	0、4、8、12				I/O	通用输入/输出 45
EM1A5	2	K19	115	-	O	外部存储器接口 1 地址线 5
GPIO46	0、4、8、12				I/O	通用输入/输出 46
EM1A6	2	E19	128	-	O	外部存储器接口 1 地址线 6
SCIRXDD	6				I	SCI-D 接收数据
GPIO47	0、4、8、12				I/O	通用输入/输出 47
EM1A7	2	E18	129	-	O	外部存储器接口 1 地址线 7
SCITXDD	6				O	SCI-D 发送数据
GPIO48	0、4、8、12				I/O	通用输入/输出 48
OUTPUTXBAR3	1				O	输出 XBAR 的输出 3
EM1A8	2	R16	90	-	O	外部存储器接口 1 地址线 8
SCITXDA	6				O	SCI-A 发送数据
SD1_D1	7				I	Σ - Δ 1 通道 1 数据输入
GPIO49	0、4、8、12				I/O	通用输入/输出 49
OUTPUTXBAR4	1				O	输出 XBAR 的输出 4
EM1A9	2	R17	93	-	O	外部存储器接口 1 地址线 9
SCIRXDA	6				I	SCI-A 接收数据
SD1_C1	7				I	Σ - Δ 1 通道 1 时钟输入
GPIO50	0、4、8、12				I/O	通用输入/输出 50
EQEP1A	1				I	增强型 QEP1 输入 A
EM1A10	2	R18	94	-	O	外部存储器接口 1 地址线 10
SPI SIMOC	6				I/O	SPI-C 从器件输入, 主器件输出
SD1_D2	7				I	Σ - Δ 1 通道 2 数据输入

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO51	0、4、8、12				I/O	通用输入/输出 51
EQEP1B	1				I	增强型 QEP1 输入 B
EM1A11	2	R19	95	-	O	外部存储器接口 1 地址线 11
SPISOMIC	6				I/O	SPI-C 从器件输出, 主器件输入
SD1_C2	7				I	Σ - Δ 通道 2 时钟输入
GPIO52	0、4、8、12				I/O	通用输入/输出 52
EQEP1S	1				I/O	增强型 QEP1 选通
EM1A12	2	P16	96	-	O	外部存储器接口 1 地址线 12
SPICLK	6				I/O	SPI-C 时钟
SD1_D3	7				I	Σ - Δ 通道 3 数据输入
GPIO53	0、4、8、12				I/O	通用输入/输出 53
EQEP1I	1				I/O	增强型 QEP1 索引
EM1D31	2	P17	97	-	I/O	外部存储器接口 1 数据线 31
EM2D15	3				I/O	外部存储器接口 2 数据线 15
SPISTEC	6				I/O	SPI-C 从器件发送使能
SD1_C3	7				I	Σ - Δ 通道 3 时钟输入
GPIO54	0、4、8、12				I/O	通用输入/输出 54
SPISIMOA	1				I/O	SPI-A 从器件输入, 主器件输出
EM1D30	2				I/O	外部存储器接口 1 数据线 30
EM2D14	3	P18	98	-	I/O	外部存储器接口 2 数据线 14
EQEP2A	5				I	增强型 QEP2 输入 A
SCITXDB	6				O	SCI-B 发送数据
SD1_D4	7				I	Σ - Δ 通道 4 数据输入
GPIO55	0、4、8、12				I/O	通用输入/输出 55
SPISOMIA	1				I/O	SPI-A 从器件输出, 主器件输入
EM1D29	2				I/O	外部存储器接口 1 数据线 29
EM2D13	3	P19	100	-	I/O	外部存储器接口 2 数据线 13
EQEP2B	5				I	增强型 QEP2 输入 B
SCIRXDB	6				I	SCI-B 接收数据
SD1_C4	7				I	Σ - Δ 通道 4 时钟输入
GPIO56	0、4、8、12				I/O	通用输入/输出 56
SPICLKA	1				I/O	SPI-A 时钟
EM1D28	2				I/O	外部存储器接口 1 数据线 28
EM2D12	3	N16	101	-	I/O	外部内存接口 2 数据线 12
EQEP2S	5				I/O	增强型 QEP2 选通
SCITXDC	6				O	SCI-C 发送数据
SD2_D1	7				I	Σ - Δ 通道 1 数据输入

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT 焊球 编号	PTP 引脚 编号	PZP 引脚 编号		
GPIO57	0、4、8、12				I/O	通用输入/输出 57
SPISTE A	1				I/O	SPI-A 从器件发送使能
EM1D27	2				I/O	外部存储器接口 1 数据线 27
EM2D11	3	N18	102	-	I/O	外部存储器接口 2 数据线 11
EQEP2I	5				I/O	增强型 QEP2 索引
SCIRXDC	6				I	SCI-C 接收数据
SD2_C1	7				I	Σ - Δ 2 通道 1 时钟输入
GPIO58	0、4、8、12				I/O	通用输入/输出 58
MCLKRA	1				I/O	McBSP-A 接收时钟
EM1D26	2				I/O	外部存储器接口 1 数据线 26
EM2D10	3	N17	103	52	I/O	外部存储器接口 2 数据线 10
OUTPUTXBAR1	5				O	输出 XBAR 的输出 1
SPICLKB	6				I/O	SPI-B 时钟
SD2_D2	7				I	Σ - Δ 2 通道 2 数据输入
SPISIMOA	15				I/O	SPI-A 从器件输入, 主器件输出 ⁽²⁾
GPIO59	0、4、8、12				I/O	通用输入/输出 59 ⁽³⁾
MFSRA	1				I/O	McBSP-A 接收帧同步
EM1D25	2				I/O	外部存储器接口 1 数据线 25
EM2D9	3				I/O	外部存储器接口 2 数据线 9
OUTPUTXBAR2	5	M16	104	53	O	输出 XBAR 的输出 2
SPISTEB	6				I/O	SPI-B 从器件发送使能
SD2_C2	7				I	Σ - Δ 2 通道 2 时钟输入
SPISOMIA	15				I/O	SPI-A 从器件输出, 主器件输入 ⁽²⁾
GPIO60	0、4、8、12				I/O	通用输入/输出 60
MCLKRB	1				I/O	McBSP-B 接收时钟
EM1D24	2				I/O	外部存储器接口 1 数据线 24
EM2D8	3				I/O	外部存储器接口 2 数据线 8
OUTPUTXBAR3	5	M17	105	54	O	输出 XBAR 的输出 3
SPISIMOB	6				I/O	SPI-B 从器件输入, 主器件输出
SD2_D3	7				I	Σ - Δ 2 通道 3 数据输入
SPICLKA	15				I/O	SPI-A 时钟 ⁽²⁾

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT 焊球 编号	PTP 引脚 编号	PZP 引脚 编号		
GPIO61	0、4、8、12	L16	107	56	I/O	通用输入/输出 61 ⁽³⁾
MFSRB	1				I/O	McBSP-B 接收帧同步
EM1D23	2				I/O	外部存储器接口 1 数据线 23
EM2D7	3				I/O	外部存储器接口 2 数据线 7
OUTPUTXBAR4	5				O	输出 XBAR 的输出 4
SPI_SOMIB	6				I/O	SPI-B 从器件输出, 主器件输入
SD2_C3	7				I	Σ - Δ 通道 3 时钟输入
SPI_STEA	15				I/O	SPI-A 从器件发送使能 ⁽²⁾
GPIO62	0、4、8、12	J17	108	57	I/O	通用输入/输出 62
SCIRXDC	1				I	SCI-C 接收数据
EM1D22	2				I/O	外部存储器接口 1 数据线 22
EM2D6	3				I/O	外部存储器接口 2 数据线 6
EQEP3A	5				I	增强型 QEP3 输入 A
CANRXA	6				I	CAN-A 接收
SD2_D4	7				I	Σ - Δ 通道 4 数据输入
USB_DTO	15				O	USB 内部测试接口
GPIO63	0、4、8、12	J16	109	58	I/O	通用输入/输出 63
SCITXDC	1				O	SCI-C 发送数据
EM1D21	2				I/O	外部存储器接口 1 数据线 21
EM2D5	3				I/O	外部存储器接口 2 数据线 5
EQEP3B	5				I	增强型 QEP3 输入 B
CANTXA	6				O	CAN-A 发送
SD2_C4	7				I	Σ - Δ 通道 4 时钟输入
SPI_SIMOB	15				I/O	SPI-B 从器件输入, 主器件输出 ⁽²⁾
GPIO64	0、4、8、12	L17	110	59	I/O	通用输入/输出 64 ⁽³⁾
CANASTBY	1				O	CAN-A 旁路信号
EM1D20	2				I/O	外部存储器接口 1 数据线 20
EM2D4	3				I/O	外部内存接口 2 数据线 4
EQEP3S	5				I/O	增强型 QEP3 选通
SCIRXDA	6				I	SCI-A 接收数据
SD3_D1	7				I	Σ - Δ 通道 1 数据输入
SPI_SOMIB	15				I/O	SPI-B 从器件输出, 主器件输入 ⁽²⁾

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO65	0、4、8、12				I/O	通用输入/输出 65
EM1D19	2				I/O	外部存储器接口 1 数据线 19
EM2D3	3				I/O	外部内存接口 2 数据线 3
EQEP3I	5	K16	111	60	I/O	增强型 QEP3 索引
SCITXDA	6				O	SCI-A 发送数据
SD3_C1	7				I	Σ - Δ 3 通道 1 时钟输入
SPICLKB	15				I/O	SPI-B 时钟 ⁽²⁾
GPIO66	0、4、8、12				I/O	通用输入/输出 66 ⁽³⁾
EM1D18	2				I/O	外部存储器接口 1 数据线 18
EM2D2	3				I/O	外部内存接口 2 数据线 2
SDAB	6	K17	112	61	I/OD	I2C-B 数据漏极开路双向端口
SD3_D2	7				I	Σ - Δ 3 通道 2 数据输入
SPISTEB	15				I/O	SPI-B 从器件发送使能 ⁽²⁾
GPIO67	0、4、8、12				I/O	通用输入/输出 67
EM1D17	2	B19	132	-	I/O	外部存储器接口 1 数据线 17
EM2D1	3				I/O	外部内存接口 2 数据线 1
SD3_C2	7				I	Σ - Δ 3 通道 2 时钟输入
GPIO68	0、4、8、12				I/O	通用输入/输出 68
EM1D16	2				I/O	外部存储器接口 1 数据线 16
EM2D0	3	C18	133	-	I/O	外部内存接口 2 数据线 0
SD3_D3	7				I	Σ - Δ 3 通道 3 数据输入
GPIO69	0、4、8、12				I/O	通用输入/输出 69
EM1D15	2				I/O	外部存储器接口 1 数据线 15
SCLB	6	B18	134	75	I/OD	I2C-B 时钟漏极开路双向端口
SD3_C3	7				I	Σ - Δ 3 通道 3 时钟输入
SPISIMOC	15				I/O	SPI-C 从器件输入, 主器件输出 ⁽²⁾
GPIO70	0、4、8、12				I/O	通用输入/输出 70 ⁽³⁾
EM1D14	2				I/O	外部存储器接口 1
CANRXA	5	A17	135	76	I	数据线 14 CAN-A 接收
SCITXDB	6				O	SCI-B 发送数据
SD3_D4	7				I	Σ - Δ 3 通道 4 数据输入
SPIOMIC	15				I/O	SPI-C 从器件输出, 主器件输入 ⁽²⁾

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO71	0、4、8、12				I/O	通用输入/输出 71
EM1D13	2				I/O	外部存储器接口 1
CANTXA	5	B17	136	77	O	数据线 13 CAN-A 发送
SCIRXDB	6				I	SCI-B 接收数据
SD3_C4	7				I	Σ - Δ 3 通道 4 时钟输入
SPICLK	15				I/O	SPI-C 时钟 ⁽²⁾
GPIO72	0、4、8、12				I/O	通用输入/输出 72。 ⁽³⁾ 这是出厂默认引导模式选择引脚 1。
EM1D12	2				I/O	外部存储器接口 1 数据线 12
CANTXB	5	B16	139	80	O	CAN-B 发送
SCITXDC	6				O	SCI-C 发送数据
SPISTEC	15				I/O	SPI-C 从器件发送使能 ⁽²⁾
GPIO73	0、4、8、12				I/O	通用输入/输出 73
EM1D11	2				I/O	外部存储器接口 1 数据线 11
XCLKOUT	3	A16	140	81	O/Z	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。使用 CLKSRCCTL3.XCLKOUTSEL 位字段选择时钟信号，而使用 XCLKOUTDIVSEL.XCLKOUTDIV 位字段选择分频比。
CANRXB	5				I	CAN-B 接收
SCIRXDC	6				I	SCI-C 接收
GPIO74	0、4、8、12				I/O	通用输入/输出 74
EM1D10	2	C17	141	-	I/O	外部存储器接口 1 数据线 10
CANASTBY	5				O	CAN-A 旁路信号
SCITXDE	6				O	SCI-E 发送
GPIO75	0、4、8、12				I/O	通用输入/输出 75
EM1D9	2	D16	142	-	I/O	外部存储器接口 1 数据线 9
CANBSTBY	5				O	CAN-B 旁路信号
SCIRXDE	6				I	SCI-E 接收
GPIO76	0、4、8、12				I/O	通用输入/输出 76
EM1D8	2	C16	143	-	I/O	外部存储器接口 1 数据线 8
SCITXDD	6				O	SCI-D 发送数据
GPIO77	0、4、8、12				I/O	通用输入/输出 77
EM1D7	2	A15	144	-	I/O	外部存储器接口 1 数据线 7
SCIRXDD	6				I	SCI-D 接收数据

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO78	0、4、8、12				I/O	通用输入/输出 78
SCITXDF	1	B15	145	82	O	SCI-F 发送数据
EM1D6	2				I/O	外部存储器接口 1 数据线 6
EQEP2A	6				I	增强型 QEP2 输入 A
GPIO79	0、4、8、12					
SCIRXDF	1	C15	146	-	I	SCI-F 接收数据
EM1D5	2				I/O	外部存储器接口 1 数据线 5
EQEP2B	6				I	增强型 QEP2 输入 B
GPIO80	0、4、8、12					
EM1D4	2	D15	148	-	I/O	外部存储器接口 1 数据线 4
EQEP2S	6				I/O	增强型 QEP2 选通
GPIO81	0、4、8、12				I/O	通用输入/输出 81
EM1D3	2	A14	149	-	I/O	外部存储器接口 1 数据线 3
EQEP2I	6				I/O	增强型 QEP2 索引
GPIO82	0、4、8、12				I/O	通用输入/输出 82
EM1D2	2	B14	150	-	I/O	外部存储器接口 1 数据线 2
GPIO83	0、4、8、12					
EM1D1	2	C14	151	-	I/O	外部存储器接口 1 数据线 1
GPIO84	0、4、8、12					
SCITXDA	5	A11	154	85	O	SCI-A 发送数据
MDXB	6				O	McBSP-B 发送串行数据
MDXA	15				O	McBSP-A 发送串行数据
GPIO85	0、4、8、12					
EM1D0	2	B11	155	86	I/O	外部存储器接口 1 数据线 0
SCIRXDA	5				I	SCI-A 接收数据
MDRB	6				I	McBSP-B 接收串行数据
MDRA	15				I	McBSP-A 接收串行数据
GPIO86	0、4、8、12					
EM1A13	2	C11	156	87	O	外部存储器接口 1 地址线 13
EM1CAS	3				O	外部存储器接口 1 列地址选通
SCITXDB	5				O	SCI-B 发送数据
MCLKXB	6				I/O	McBSP-B 发送时
MCLKXA	15				I/O	McBSP-A 发送时钟

表 5-1.信号说明 (续)

名称	终端				I/O/Z ⁽¹⁾	说明
	多路复用器位置	ZWT 焊球 编号	PTP 引脚 编号	PZP 引脚 编号		
GPIO87	0、4、8、12				I/O	通用输入/输出 87
EM1A14	2				O	外部存储器接口 1 地址线 14
EM1RAS	3	D11	157	88	O	外部存储器接口 1 行地址选
SCIRXDB	5				I	SCI-B 接收数据
MFSXB	6				I/O	McBSP-B 发送帧同步
MFSXA	15				I/O	McBSP-A 发送帧同步
GPIO88	0、4、8、12				I/O	通用输入/输出 88
EM1A15	2	C6	170	-	O	外部存储器接口 1 地址线 15
EM1DQM0	3				O	外部存储器接口 1 字节 0 的输入/输出掩码
GPIO89	0、4、8、12				I/O	通用输入/输出 89
EM1A16	2	D6	171	96	O	外部存储器接口 1 地址线 16
EM1DQM1	3				O	外部内存接口 1 字节 1 的输入/输出掩码
SCITXDC	6				O	SCI-C 发送数据
GPIO90	0、4、8、12				I/O	通用输入/输出 90
EM1A17	2	A5	172	97	O	外部存储器接口 1 地址线 17
EM1DQM2	3				O	外部存储器接口 1 字节 2 的输入/输出掩码
SCIRXDC	6				I	SCI-C 接收数据
GPIO91	0、4、8、12				I/O	通用输入/输出 91
EM1A18	2	B5	173	98	O	外部存储器接口 1 地址线 18
EM1DQM3	3				O	外部存储器接口 1 字节 3 的输入/输出掩码
SDAA	6				I/OD	I2C-A 数据漏极开路双向端口
GPIO92	0、4、8、12				I/O	通用输入/输出 92
EM1A19	2	A4	174	99	O	外部存储器接口 1 地址线 19
EM1BA1	3				O	外部存储器接口 1 存储库地址 1
SCLA	6				I/OD	I2C-A 时钟漏极开路双向端口
GPIO93	0、4、8、12				I/O	通用输入/输出 93
EM1BA0	3	B4	175	-	O	外部存储器接口 1 存储库地址 0
SCITXDD	6				O	SCI-D 发送数据
GPIO94	0、4、8、12				I/O	通用输入/输出 94
SCIRXDD	6	A3	176	-	I	SCI-D 接收数据
GPIO95	0、4、8、12	B3	-	-	I/O	通用输入/输出 95
GPIO96	0、4、8、12				I/O	通用输入/输出 96
EM2DQM1	3	C3	-	-	O	外部存储器接口 2 字节 1 的输入/输出掩码
EQEP1A	5				I	增强型 QEP1 输入 A

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO97	0、4、8、12				I/O	通用输入/输出 97
EM2DQM0	3	A2	-	-	O	外部存储器接口 2 字节 0 的输入/输出掩码
EQEP1B	5				I	增强型 QEP1 输入 B
GPIO98	0、4、8、12				I/O	通用输入/输出 98
EM2A0	3	F1	-	-	O	外部存储器接口 2 地址线 0
EQEP1S	5				I/O	增强型 QEP1 选通
GPIO99	0、4、8、12				I/O	通用输入/输出 99
EM2A1	3	G1	17	14	O	外部存储器接口 2 地址线 1
EQEP1I	5				I/O	增强型 QEP1 索引
GPIO100	0、4、8、12				I/O	通用输入/输出 100
EM2A2	3	H1	-	-	O	外部存储器接口 2 地址线 2
EQEP2A	5				I	增强型 QEP2 输入 A
SPISIMOC	6				I/O	SPI-C 从器件输入, 主器件输出
GPIO101	0、4、8、12				I/O	通用输入/输出 101
EM2A3	3	H2	-	-	O	外部存储器接口 2 地址线 3
EQEP2B	5				I	增强型 QEP2 输入 B
SPISOMIC	6				I/O	SPI-C 从器件输出, 主器件输入
GPIO102	0、4、8、12				I/O	通用输入/输出 102
EM2A4	3	H3	-	-	O	外部存储器接口 2 地址线 4
EQEP2S	5				I/O	增强型 QEP2 选通
SPICLK	6				I/O	SPI-C 时钟
GPIO103	0、4、8、12				I/O	通用输入/输出 103
EM2A5	3	J1	-	-	O	外部存储器接口 2 地址线 5
EQEP2I	5				I/O	增强型 QEP2 索引
SPITEC	6				I/O	SPI-C 从器件发送使能
GPIO104	0、4、8、12				I/O	通用输入/输出 104
SDAA	1				I/OD	I2C-A 数据开漏双向端口
EM2A6	3	J2	-	-	O	外部存储器接口 2 地址线 6
EQEP3A	5				I	增强型 QEP3 输入 A
SCITXDD	6				O	SCI-D 发送数据
GPIO105	0、4、8、12				I/O	通用输入/输出 105
SCLA	1				I/OD	I2C-A 时钟漏极开路双向端口
EM2A7	3	J3	-	-	O	外部存储器接口 2 地址线 7
EQEP3B	5				I	增强型 QEP3 输入 B
SCIRXDD	6				I	SCI-D 接收数据

表 5-1.信号说明 (续)

名称	终端				I/O/Z ⁽¹⁾	说明
	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO106	0、4、8、12				I/O	通用输入/输出 106
EM2A8	3	L2	-	-	O	外部存储器接口 2 地址线 8
EQEP3S	5				I/O	增强型 QEP3 选通
SCITXDC	6				O	SCI-C 发送数据
GPIO107	0、4、8、12				I/O	通用输入/输出 107
EM2A9	3	L3	-	-	O	外部存储器接口 2 地址线 9
EQEP3I	5				I/O	增强型 QEP3 索引
SCIRXDC	6				I	SCI-C 接收数据
GPIO108	0、4、8、12				I/O	通用输入/输出 108
SCITXDE	1	L4	-	-	O	SCI-E 发送数据
EM2A10	3				O	外部存储器接口 2 地址线 10
GPIO109	0、4、8、12				I/O	通用输入/输出 109
SCIRXDE	1	N2	-	-	I	SCI-E 接收数据
EM2A11	3				O	外部存储器接口 2 地址线 11
GPIO110	0、4、8、12				I/O	通用输入/输出 110
SCITXDF	1	M2	-	-	O	SCI-F 发送数据
EM2WAIT	3				I	外部存储器接口 2 异步 SRAMWAIT
GPIO111	0、4、8、12				I/O	通用输入/输出 111
SCIRXDF	1	M4	-	-	I	SCI-F 接收数据
EM2BA0	3				O	外部存储器接口 2 库地址 0
GPIO112	0、4、8、12				I/O	通用输入/输出 112
EM2BA1	3	M3	-	-	O	外部存储器接口 2 库地址 1
GPIO113	0、4、8、12				I/O	通用输入/输出 113
EM2CAS	3	N4	-	-	O	外部存储器接口 2 列地址选通
GPIO114	0、4、8、12				I/O	通用输入/输出 114
EM2RAS	3	N3	-	-	O	外部存储器接口 2 行地址选通
GPIO115	0、4、8、12				I/O	通用输入/输出 115
EM2CS0	3	V12	-	-	O	外部存储器接口 2 芯片选择 0
GPIO116	0、4、8、12				I/O	通用输入/输出 116
EM2CS2	3	W10	-	-	O	外部存储器接口 2 芯片选择 2
GPIO117	0、4、8、12				I/O	通用输入/输出 117
EM2SDCKE	3	U12	-	-	O	外部存储器接口 2SDRAM 时钟使能
GPIO118	0、4、8、12				I/O	通用输入/输出 118 外部存储器接口 2 时钟
EM2CLK	3	T12	-	-	O	
GPIO119	0、4、8、12				I/O	通用输入/输出 119
EM2RNW	3	T15	-	-	O	外部存储器接口 2 读/不写

表 5-1.信号说明 (续)

名称	终端				I/O/Z ⁽¹⁾	说明
	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO120	0、4、8、12				I/O	通用输入/输出 120
EM2WE	3	U15	-	-	O	外部存储器接口 2 写入使能
USB0PFLT	15				I/O	USB 外部稳压器电源故障指示器
GPIO121	0、4、8、12				I/O	通用输入/输出 121
EPWM13A	2	W16	-	-	O	增强型 PWM13 输出 A (支持 HRPWM)
EM2OE	3				O	外部存储器接口 2 输出使能
USB0EPEN	15				I/O	USB 外部稳压器使能
GPIO122	0、4、8、12				I/O	通用输入/输出 122
EPWM13B	2	T8	-	-	O	增强型 PWM13 输出 B (支持 HRPWM)
SPISIMOC	6				I/O	SPI-C 从器件输入, 主器件输出
SD1_D1	7				I	Σ - Δ 1 通道 1 数据输入
GPIO123	0、4、8、12				I/O	通用输入/输出 123
EPWM14A	2	U8	-	-	O	增强型 PWM14 输出 A (支持 HRPWM)
SPISOMIC	6				I/O	SPI-C 从器件输出, 主器件输入
SD1_C1	7				I	Σ - Δ 1 通道 1 时钟输入
GPIO124	0、4、8、12				I/O	通用输入/输出 124
EPWM14B	2	V8	-	-	O	增强型 PWM14 输出 B (支持 HRPWM)
SPICLK	6				I/O	SPI-C 时钟
SD1_D2	7				I	Σ - Δ 1 通道 2 数据输入
GPIO125	0、4、8、12				I/O	通用输入/输出 125
EPWM15A	2	T9	-	-	O	增强型 PWM15 输出 A (支持 HRPWM)
SPISTEC	6				I/O	SPI-C 从器件发送使能
SD1_C2	7				I	Σ - Δ 1 通道 2 时钟输入
GPIO126	0、4、8、12				I/O	通用输入/输出 126
SCITXDE	1	U9	-	-	O	SCI-E 发送数据
EPWM15B	2				O	增强型 PWM15 输出 B (支持 HRPWM)
SD1_D3	7				I	Σ - Δ 1 通道 3 数据输入
GPIO127	0、4、8、12				I/O	通用输入/输出 127
SCIRXDE	1	V9	-	-	I	SCI-E 接收数据
EPWM16A	2				O	增强型 PWM16 输出 A (支持 HRPWM)
SD1_C3	7				I	Σ - Δ 1 通道 3 时钟输入
GPIO128	0、4、8、12				I/O	通用输入/输出 128
SCITXDF	1	W9	-	-	O	SCI-F 发送数据
EPWM16B	2				O	增强型 PWM16 输出 B (支持 HRPWM)
SD1_D4	7				I	Σ - Δ 1 通道 4 数据输入

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO129	0、4、8、12				I/O	通用输入/输出 129
SCIRXDF	1	T10	-	-	I	SCI-F 接收数据
EPWM17A	2				O	增强型 PWM17 输出 A (支持 HRPWM)
SD1_C4	7				I	Σ - Δ 1 通道 4 时钟输入
GPIO130	0、4、8、12				I/O	通用输入/输出 130
EPWM17B	2	U10	-	-	O	增强型 PWM17 输出 B (支持 HRPWM)
SD1_D1	7				I	Σ - Δ 2 通道 1 数据输入
GPIO131	0、4、8、12				I/O	通用输入/输出 131
EPWM18A	2	V10	-	-	O	增强型 PWM18 输出 A (支持 HRPWM)
SD2_C1	7				I	Σ - Δ 2 通道 1 时钟输入
GPIO132	0、4、8、12				I/O	通用输入/输出 132
EPWM18B	2	W18	-	-	O	增强型 PWM18 输出 B (支持 HRPWM)
SD2_D2	7				I	Σ - Δ 2 通道 2 数据输入
GPIO133/AUXCLKIN	0、4、8、12				I/O	通用输入/输出 133。此 GPIO 引脚的 AUXCLKIN 功能可用于为辅助锁相环(AUXPLL)提供单端 3.3V 电平时钟信号,其输出用于 USB 模块。AUXCLKIN 时钟也可用于 CAN 模块。
EPWM13A	1	G18	118	-	O	增强型 PWM13 输出 A (支持 HRPWM)
SD2_C2	7				I	Σ - Δ 2 通道 2 时钟输入
GPIO134	0、4、8、12				I/O	通用输入/输出 134
EPWM13B	1	V18	-	-	O	增强型 PWM13 输出 B (支持 HRPWM)
SD2_D3	7				I	Σ - Δ 2 通道 3 数据输入
GPIO135	0、4、8、12				I/O	通用输入/输出 135
EPWM14A	1	U18	-	-	O	增强型 PWM14 输出 A (支持 HRPWM)
SCITXDA	6				O	SCI-A 发送数据
SD2_C3	7				I	Σ - Δ 2 通道 3 时钟输入
GPIO136	0、4、8、12				I/O	通用输入/输出 136
EPWM14B	1	T17	-	-	O	增强型 PWM14 输出 B (支持 HRPWM)
SCIRXDA	6				I	SCI-A 接收数据
SD2_D4	7				I	Σ - Δ 2 通道 4 数据输入
GPIO137	0、4、8、12				I/O	通用输入/输出 137
EPWM15A	1	T18	-	-	O	增强型 PWM15 输出 A (支持 HRPWM)
SCITXDB	6				O	SCI-B 发送数据
SD2_C4	7				I	Σ - Δ 2 通道 4 时钟输入
GPIO138	0、4、8、12				I/O	通用输入/输出 138
EPWM15B	1	T19	-	-	O	增强型 PWM15 输出 B (支持 HRPWM)
SCIRXDB	6				I	SCI-B 接收数据
SD3_D1	7				I	Σ - Δ 3 通道 1 数据输入

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
GPIO139	0、4、8、12	N19	-	-	I/O	通用输入/输出 139
EPWM16A	1				O	增强型 PWM16 输出 A (支持 HRPWM)
SCIRXDC	6				I	SCI-C 接收数据
SD3_C1	7				I	Σ - Δ 3 通道 1 时钟输入
GPIO140	0、4、8、12	M19	-	-	I/O	通用输入/输出 140
EPWM16B	1				O	增强型 PWM16 输出 B (支持 HRPWM)
SCITXDC	6				O	SCI-C 发送数据
SD3_D2	7				I	Σ - Δ 3 通道 2 数据输入
GPIO141	0、4、8、12	M18	-	-	I/O	通用输入/输出 141
EPWM17A	1				O	增强型 PWM17 输出 A (支持 HRPWM)
SCIRXDD	6				I	SCI-D 接收数据
SD3_C2	7				I	Σ - Δ 3 通道 2 时钟输入
GPIO142	0、4、8、12	L19	-	-	I/O	通用输入/输出 142
EPWM17B	1				O	增强型 PWM17 输出 B (支持 HRPWM)
SCITXDD	6				O	SCI-D 发送数据
SD3_D3	7				I	Σ - Δ 3 通道 3 数据输入
GPIO143	0、4、8、12	F18	-	-	I/O	通用输入/输出 143
EPWM18A	1				O	增强型 PWM18 输出 A (支持 HRPWM)
SCITXDE	2				O	SCI-E 发送数据
SD3_C3	7				I	Σ - Δ 3 通道 3 时钟输入
GPIO144	0、4、8、12	F17	-	-	I/O	通用输入/输出 144
EPWM18B	1				O	增强型 PWM18 输出 B (支持 HRPWM)
SCIRXDE	2				I	SCI-E 接收数据
SD3_D4	7				I	Σ - Δ 3 通道 4 数据输入
GPIO145	0、4、8、12	E17	-	-	I/O	通用输入/输出 145
EPWM1A	1				O	增强型 PWM1 输出 A (支持 HRPWM)
SCITXDF	2				O	SCI-F 发送数据
SD3_C4	7				I	Σ - Δ 3 通道 4 时钟输入
GPIO146	0、4、8、12	D18	-	-	I/O	通用输入/输出 146
EPWM1B	1				O	增强型 PWM1 输出 B (支持 HRPWM)
SCIRXDF	2				I	SCI-F 接收数据
GPIO147	0、4、8、12	D17	-	-	I/O	通用输入/输出 147
EPWM2A	1				O	增强型 PWM2 输出 A (支持 HRPWM)
GPIO148	0、4、8、12	D14	-	-	I/O	通用输入/输出 148
EPWM2B	1				O	增强型 PWM2 输出 B (支持 HRPWM)
GPIO149	0、4、8、12	A13	-	-	I/O	通用输入/输出 149
EPWM3A	1				O	增强型 PWM3 输出 A (支持 HRPWM)

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT 焊球 编号	PTP 引脚 编号	PZP 引脚 编号		
GPIO150	0、4、8、12	B13	-	-	I/O	通用输入/输出 150
EPWM3B	1				O	增强型 PWM3 输出 B (支持 HRPWM)
GPIO151	0、4、8、12	C13	-	-	I/O	通用输入/输出 151
EPWM4A	1				O	增强型 PWM4 输出 A (支持 HRPWM)
GPIO152	0、4、8、12	D13	-	-	I/O	通用输入/输出 152
EPWM4B	1				O	增强型 PWM4 输出 B (支持 HRPWM)
GPIO153	0、4、8、12	A12	-	-	I/O	通用输入/输出 153
EPWM5A	1				O	增强型 PWM5 输出 A (支持 HRPWM)
GPIO154	0、4、8、12	B12	-	-	I/O	通用输入/输出 154
EPWM5B	1				O	增强型 PWM5 输出 B (支持 HRPWM)
GPIO155	0、4、8、12	C12	-	-	I/O	通用输入/输出 155
EPWM6A	1				O	增强型 PWM6 输出 A (支持 HRPWM)
GPIO156	0、4、8、12	D12	-	-	I/O	通用输入/输出 156
EPWM6B	1				O	增强型 PWM6 输出 B (支持 HRPWM)
GPIO157	0、4、8、12	B10	-	-	I/O	通用输入/输出 157
EPWM7A	1				O	增强型 PWM7 输出 A (支持 HRPWM)
GPIO158	0、4、8、12	C10	-	-	I/O	通用输入/输出 158
EPWM7B	1				O	增强型 PWM7 输出 B (支持 HRPWM)
GPIO159	0、4、8、12	D10	-	-	I/O	通用输入/输出 159
EPWM8A	1				O	增强型 PWM8 输出 A (支持 HRPWM)
GPIO160	0、4、8、12	B9	-	-	I/O	通用输入/输出 160
EPWM8B	1				O	增强型 PWM8 输出 B (支持 HRPWM)
GPIO161	0、4、8、12	C9	-	-	I/O	通用输入/输出 161
EPWM9A	1				O	增强型 PWM9 输出 A
GPIO162	0、4、8、12	D9	-	-	I/O	通用输入/输出 162
EPWM9B	1				O	增强型 PWM9 输出 B
GPIO163	0、4、8、12	A8	-	-	I/O	通用输入/输出 163
EPWM10A	1				O	增强型 PWM10 输出 A
GPIO164	0、4、8、12	B8	-	-	I/O	通用输入/输出 164
EPWM10B	1				O	增强型 PWM10 输出 B
GPIO165	0、4、8、12	C5	-	-	I/O	通用输入/输出 165
EPWM11A	1				O	增强型 PWM11 输出 A
GPIO166	0、4、8、12	D5	-	-	I/O	通用输入/输出 166
EPWM11B	1				O	增强型 PWM11 输出 B
GPIO167	0、4、8、12	C4	-	-	I/O	通用输入/输出 167
EPWM12A	1				O	增强型 PWM12 输出 A
GPIO168	0、4、8、12	D4	-	-	I/O	通用输入/输出 168
EPWM12B	1				O	增强型 PWM12 输出 B

表 5-1.信号说明 (续)

终端						I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号			
复位							
$\overline{\text{XRS}}$		F19	124	69	I/OD		器件复位(输入)和看门狗复位(输出)。器件具有内置上电复位(POR)电路。在上电条件下,此引脚由器件驱动为低电平。外部电路也可能驱动此引脚以使器件复位生效。当看门狗复位或 NMI 看门狗复位时,此引脚也由 MCU 驱动为低电平。在看门狗复位期间,XRS 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRS 和 VDDIO 之间放置一个阻值为 2.2k Ω 至 10k Ω 的电阻器。如果在 XRS 和 VSS 之间放置一个电容器进行噪声滤除,则该电容器的容值应为 100nF 或更小。当看门狗复位生效时,这些值将能让看门狗在 512 个 OSCCLK 周期内正确地将 XRS 引脚驱动至 VOL。此引脚的输出缓冲器是一个有内部上拉电阻器的漏极开路。如果此引脚由外部器件驱动,则应使用开漏器件进行驱动。
时钟							
X1		G19	123	68	I		片上晶体振荡器输入。为了使用此振荡器,必须在 X1 和 X2 之间连接一个石英晶体。如果此引脚未使用,则必须被连接至 GND。此引脚也可用于馈入单端 3.3V 电平时钟。在这种情况下,X2 无连接(NC)。
X2		J19	121	66	O		片上晶体振荡器输出。可连接在 X1 和 X2 之间连接一个石英晶体。如果 X2 未使用,则必须处于未连接状态。
无连接							
NC		H4	-	-			无连接。BGA 焊球处于电气开路状态,未与裸片连接。
JTAG							
TCK		V15	81	50	I		带有内部上拉电阻器的 JTAG 测试时钟
TDI		W13	77	46	I		带有内部上拉电阻器的 JTAG 测试数据输入(TDI)。在 TCK 的上升沿上,TDI 被计时至所选择的寄存器中(指令或数据)。
TDO		W15	78	47	O/Z		JTAG 扫描输出,测试数据输出(TDO)。所选寄存器(指令或数据)的内容在 TCK 下降沿从 TDO 移出。 ⁽³⁾
TMS		W14	80	49	I		带有内部上拉电阻器的 JTAG 测试模式选择(TMS)。此串行控制输入在 TCK 上升沿被计时到 TAP 控制器。
$\overline{\text{TRST}}$		V14	79	48	I		带有内部上拉电阻的 JTAG 测试复位。当被驱动至高电平时,TRST 使扫描系统获得器件运行的控制权。如果此信号被驱动至低电平,此器件在功能模式下工作,且忽略测试复位信号。注意:在器件正常运行期间,TRST 必须始终保持低电平,因此需要在此引脚上使用一个外部下拉电阻来防止噪声尖峰。这个电阻的阻值应该尽可能的小,只要确保 JTAG 调试探针仍然能够将 TRST 引脚驱动至高电平即可。一个阻值为 2.2k Ω 至 10k Ω 的电阻器通常能够提供足够的保护。由于电阻的阻值是特定于应用的,建议验证每个目标板以确保调试探针和应用的正常运行。此引脚具有一个内部 50ns(标称值)干扰滤波器。
内部稳压控制							
VREGENZ		J18	119	64	I		具有内部下拉电阻的内部稳压器使能。内部 VREG 不受支持,必须禁用。将 VREGENZ 连接至 VDDIO。

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT焊球编号	PTP引脚编号	PZP引脚编号		
模拟、数字和 I/O 电源						
VDD		E9	16	16		1.2V 数字逻辑电源引脚。放置去耦电容器有两个选项。 • 选项 1 - 均匀分布：以大约 20uF 的最小总电容在每个 VDD 引脚上均匀分配去耦电容。 • 选项 2 - 大容量电容：在每个 VDD 引脚附近放置一个 1uF 电容器，然后放置 20uF 的最小总电容的剩余部分，作为 VDD 网络上的大容量电容。 去耦电容器的确切值应由您的系统电压调节解决方案确定。
		E11	21	39		
		F9	61	45		
		F11	76	63		
		G14	117	71		
		G15	126	78		
		J14	137	84		
		J15	153	89		
		K5	158	95		
		K6	169	-		
		P10	-	-		
		P13	-	-		
		R10	-	-		
	R13	-	-			
VDDA		P6	36	18		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 且连接至 VSSA 的去耦电容器。
		R6	54	38		



表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT 焊球 编号	PTP 引脚 编号	PZP 引脚 编号		
VDDIO		A9	3	2		3.3V数字I/O电源引脚。在每个引脚上放置一个最小值为0.1μF的去耦电容器。去耦电容器的确切值应由您的系统电压调节解决方案决定。
		A18	11	10		
		B1	15	15		
		E7	20	40		
		E10	26	44		
		E13	62	55		
		E16	68	62		
		F4	75	72		
		F7	82	79		
		F10	88	83		
		F13	91	90		
		F16	99	94		
		G4	106	-		
		G5	114	-		
		G6	116	-		
		H5	127	-		
		H6	138	-		
		L14	147	-		
		L15	152	-		
		M1	159	-		
		M5	168	-		
		M6	-	-		
		N14	-	-		
		N15	-	-		
	P9	-	-			
	R9	-	-			
	V19	-	-			
	W8	-	-			
	R11	72	41			
	R12	-	-			
VDDOSC		H16	120	65		3.3V 片上晶体振荡器 (X1 和 X2) 的电源引脚以及两个内部零引脚振荡器 (INTOSC)。在每个引脚上放置一个0.1μF (最小值) 的去耦电容器。
		H17	125	70		

表 5-1.信号说明 (续)

终端					I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT 焊球编号	PTP 引脚编号	PZP 引脚编号		
VSS		A1				器件接地。对于四通道扁平封装(QFP)，必须将封装底部的 PowerPAD 焊接到 PCB 的接地层。
		A10				
		A19				
		E5				
		E6				
		E8				
		E12				
		E14				
		E15				
		F5				
		F6				
		F8				
		F12				
		F14				
		F15				
		G16				
		G17				
		H8				
		H9				
		H10				
		H11	PWR 焊盘	PWR 焊盘		
		H12				
		H14				
		H15				
		J5				
		J6				
		J8				
		J9				
		J10				
		J11				
	J12					
	K8					
	K9					
	K10					
	K11					
	K12					
	K14					
	K15					
	L5					
	L6					
	L8					
	L9					

表 5-1.信号说明 (续)

终端						I/O/Z ⁽¹⁾	说明
名称	多路复用器位置	ZWT 焊球编号	PTP 引脚编号	PZP 引脚编号			
VSS		L10	PWR 焊盘	PWR 焊盘		器件接地。对于四通道扁平封装(QFP)，必须将封装底部的 PowerPAD 焊接到 PCB 的接地层。	
		L11					
		L12					
		L18					
		M8					
		M9					
		M10					
		M11					
		M12					
		M14					
		M15					
		N1					
		N5					
		N6					
		P7					
		P8					
		P11					
		P12					
		P14					
P15							
R7							
R8							
R14							
R15							
W7							
W19							
VSSOSC		H18	122	67		晶体振荡器 (X1 和 X2) 接地引脚。使用外部晶体时，请勿将此引脚连接至电路板接地。相反，将其连接至外部晶体振荡器电路的接地基准。如果未使用外部晶体，则此引脚可以连接至电路板接地。	
		H19	-	-			
VSSA		P1	34	17		模拟接地。 在 PZP 封装上，引脚 17 double-bonded 连接至 VSSA 和 VREFLOA。此引脚必须连接至 VSSA。	
		P5	52	35			
		R5	-	36			
		V7	-	-			
		W1	-	-			
特殊功能							
ERRORSTS		U19	92	-	O	错误状态输出。此引脚有内部下拉电阻器。	
测试引脚							
TEST_MODE		V13	74	43	I/O	测试引脚。为 QX 预留。必须保持未连接状态。	

- (1) I = 输入，O = 输出，OD = 漏极开路，Z = 高阻抗
- (2) 支持高速 SPI 的 GPIO 多路复用器选项。在高速模式下使用 SPI 时（在 SPICCR 中，HS_MODE = 1），需要使用此引脚多路复用器选项。在高速模式下未使用 SPI 时（在 SPICCR 中，HS_MODE = 0），此多路复用器选项仍然可用。
- (3) 此引脚的输出阻抗可低至 22 Ω。根据系统 PCB 特征，此输出可以具有快速边沿和振铃。如果这是个问题，用户应采取预防措施，例如增加一个 39 Ω（容差为 10%）串联终端电阻器或实现一些其他终端方案。还建议使用提供的 IBIS 模型对系统级信号进行完整性分析。如果此引脚用于输入功能，则不需要终端。

5.3 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 5-2 列出了拉动方向及其活动时间。默认情况下GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何浮动的未绑定输入。

表 5-2. 带有内部上拉和下拉的引脚

引脚	RESET (XRS= 0)	器件引导	应用软件
GPIOx	禁用上拉	禁用上拉 ⁽¹⁾	上拉使能由应用定义
TRST		上拉有效	
TCK		上拉有效	
TMS		上拉有效	
TDI		上拉有效	
XRS		上拉有效	
VREGENZ		下拉有效	
ERRORSTS		下拉有效	
其他引脚		上拉或下拉未存在	



5.4 引脚复用

5.4.1 GPIO 多路复用引脚

表 5-3 显示了 GPIO 多路复用引脚。每个引脚默认具有 GPIO 功能，可以通过设置 GPyGMUXn.GPIOz 和 GPyMUXn.GPIOz 寄存器位来选择辅助功能。GPyGMUXn 寄存器应在 GPyMUXn 之前配置，以避免交替的多路复用选择对 GPIO 产生瞬时脉冲。未显示栏和空白单元格保留为 GPIO 多路复用器设置。

表 5-3. GPIO 多路复用引脚

GPIO 索引	GPIO 多路复用器选择 ^{(1) (2)}							
	0 · 4 · 8 · 12	1	2	3	5	6	7	15
GPyGMUXn. GPIOz =	00b · 01b · 10b · 11b	00b			01b			11b
GPyMUXn. GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
GPIO0	EPWM1A (O)					SDAA (I/OD)		
GPIO1	EPWM1B (O)			MFSRB (I/O)		SCLA (I/OD)		
GPIO2	EPWM2A (O)				OUTPUTXBAR1 (O)	SDAB (I/OD)	CANASTBY (O)	
GPIO3	EPWM2B (O)	OUTPUTXBAR2 (O)		MCLKRB (I/O)	OUTPUTXBAR2 (O)	SCLB (I/OD)	CANBSTBY (O)	
GPIO4	EPWM3A (O)				OUTPUTXBAR3 (O)	CANTXA (O)		
GPIO5	EPWM3B (O)	MFSRA (I/O)	OUTPUTXBAR3 (O)			CANRXA (I)		
GPIO6	EPWM4A (O)	OUTPUTXBAR4 (O)	EXTSYNCOUT (O)	EQEP3A (I)		CANTXB (O)		
GPIO7	EPWM4B (O)	MCLKRA (I/O)	OUTPUTXBAR5 (O)	EQEP3B (I)		CANRXB (I)		
GPIO8	EPWM5A (O)	CANTXB (O)	ADCSOAO (O)	EQEP3S (I/O)		SCITXDA (O)		
GPIO9	EPWM5B (O)	SCITXDB (O)	OUTPUTXBAR6 (O)	EQEP3I (I/O)		SCIRXDA (I)	CANASTBY (O)	
GPIO10	EPWM6A (O)	CANRXB (I)	ADCSOAO (O)	EQEP1A (I)		SCITXDB (O)		UPP-WAIT (I/O)
GPIO11	EPWM6B (O)	SCIRXDB (I)	OUTPUTXBAR7 (O)	EQEP1B (I)		SCIRXDB (I)		UPP-START (I/O)
GPIO12	EPWM7A (O)	CANTXB (O)	MDXB (O)	EQEP1S (I/O)		SCITXDC (O)		UPP-ENA (I/O)
GPIO13	EPWM7B (O)	CANRXB (I)	MDRB (I)	EQEP1I (I/O)		SCIRXDC (I)		UPP-D7 (I/O)
GPIO14	EPWM8A (O)	SCITXDB (O)	MCLKXB (I/O)			OUTPUTXBAR3 (O)	CANBSTBY (O)	UPP-D6 (I/O)
GPIO15	EPWM8B (O)	SCIRXDB (I)	MFSXB (I/O)			OUTPUTXBAR4 (O)	CANBSTBY (O)	UPP-D5 (I/O)
GPIO16	SPISIMOA (I/O)	CANTXB (O)	OUTPUTXBAR7 (O)	EPWM9A (O)			SD1_D1 (I)	UPP-D4 (I/O)
GPIO17	SPISOMIA (I/O)	CANRXB (I)	OUTPUTXBAR8 (O)	EPWM9B (O)			SD1_C1 (I)	UPP-D3 (I/O)
GPIO18	SPICLKA (I/O)	SCITXDB (O)	CANRXA (I)	EPWM10A (O)			SD1_D2 (I)	UPP-D2 (I/O)
GPIO19	SPISTEA (I/O)	SCIRXDB (I)	CANTXA (O)	EPWM10B (O)			SD1_C2 (I)	UPP-D1 (I/O)
GPIO20	EQEP1A (I)	MDXA (O)	CANTXB (O)	EPWM11A (O)			SD1_D3 (I)	UPP-D0 (I/O)
GPIO21	EQEP1B (I)	MDRA (I)	CANRXB (I)	EPWM11B (O)			SD1_C3 (I)	UPP-CLK (I/O)
GPIO22	EQEP1S (I/O)	MCLKXA (I/O)	SCITXDB (O)	EPWM12A (O)		SPICLKB (I/O)	SD1_D4 (I)	
GPIO23	EQEP1I (I/O)	MFSXA (I/O)	SCIRXDB (I)	EPWM12B (O)		SPISTEB (I/O)	SD1_C4 (I)	
GPIO24	OUTPUTXBAR1 (O)	EQEP2A (I)	MDXB (O)	CANASTBY (O)		SPISIMOB (I/O)	SD2_D1 (I)	
GPIO25	OUTPUTXBAR2 (O)	EQEP2B (I)	MDRB (I)	CANBSTBY (O)		SPISOMIB (I/O)	SD2_C1 (I)	
GPIO26	OUTPUTXBAR3 (O)	EQEP2I (I/O)	MCLKXB (I/O)	OUTPUTXBAR3 (O)		SPICLKB (I/O)	SD2_D2 (I)	
GPIO27	OUTPUTXBAR4 (O)	EQEP2S (I/O)	MFSXB (I/O)	OUTPUTXBAR4 (O)		SPISTEB (I/O)	SD2_C2 (I)	
GPIO28	SCIRXDA (I)	EM1CS4 (O)		OUTPUTXBAR5 (O)		EQEP3A (I)	SD2_D3 (I)	
GPIO29	SCITXDA (O)	EM1SDCKE (O)		OUTPUTXBAR6 (O)		EQEP3B (I)	SD2_C3 (I)	
GPIO30	CANRXA (I)	EM1CLK (O)		OUTPUTXBAR7 (O)		EQEP3S (I/O)	SD2_D4 (I)	
GPIO31	CANTXA (O)	EM1WE (O)		OUTPUTXBAR8 (O)		EQEP3I (I/O)	SD2_C4 (I)	
GPIO32	SDAA (I/OD)	EM1CS0 (O)	CANASTBY (O)				SD3_D1 (I)	
GPIO33	SCLA (I/OD)	EM1RNW (O)	EPWM13A (O)				SD3_C1 (I)	
GPIO34	OUTPUTXBAR1 (O)	EM1CS2 (O)	EPWM13B (O)			SDAB (I/OD)	SD3_D2 (I)	
GPIO35	SCIRXDA (I)	EM1CS3 (O)	EPWM14A (O)			SCLB (I/OD)	SD3_C2 (I)	
GPIO36	SCITXDA (O)	EM1WAIT (I)	EPWM14B (O)			CANRXA (I)	SD3_D3 (I)	
GPIO37	OUTPUTXBAR2 (O)	EM1OE (O)	EPWM15A (O)			CANTXA (O)	SD3_C3 (I)	
GPIO38		EM1A0 (O)	EPWM15B (O)		SCITXDC (O)	CANTXB (O)	SD3_D4 (I)	
GPIO39		EM1A1 (O)	EPWM16A (O)		SCIRXDC (I)	CANRXB (I)	SD3_C4 (I)	
GPIO40	CANASTBY (O)	EM1A2 (O)	EPWM16B (O)			SDAB (I/OD)		
GPIO41	CANBSTBY (O)	EM1A3 (O)	EPWM17A (O)			SCLB (I/OD)		

表 5-3. GPIO

多路复用引脚 (续)

GPIO 索引	GPIO 多路复用器选择 ^{(1) (2)}							
	0 · 4 · 8 · 12	1	2	3	5	6	7	15
GPyGMUXn. GPIOz =	00b · 01b · 10b · 11b	00b			01b			11b
GPyMUXn. GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
GPIO42				EPWM17B (O)		SDAA (I/OD)		SCITXDA (O)
GPIO43				EPWM18A (O)		SCLA (I/OD)		SCIRXDA (I)
GPIO44			EM1A4 (O)	EPWM18B (O)				
GPIO45			EM1A5 (O)					
GPIO46			EM1A6 (O)			SCIRXDD (I)		
GPIO47			EM1A7 (O)			SCITXDD (O)		
GPIO48	OUTPUTXBAR3 (O)	EM1A8 (O)				SCITXDA (O)	SD1_D1 (I)	
GPIO49	OUTPUTXBAR4 (O)	EM1A9 (O)				SCIRXDA (I)	SD1_C1 (I)	
GPIO50	EQEP1A (I)	EM1A10 (O)				SPISIMOC (I/O)	SD1_D2 (I)	
GPIO51	EQEP1B (I)	EM1A11 (O)				SPISOMIC (I/O)	SD1_C2 (I)	
GPIO52	EQEP1S (I/O)	EM1A12 (O)				SPICLK (I/O)	SD1_D3 (I)	
GPIO53	EQEP1I (I/O)	EM1D31 (I/O)	EM2D15 (I/O)			SPISTEC (I/O)	SD1_C3 (I)	
GPIO54	SPISIMOA (I/O)	EM1D30 (I/O)	EM2D14 (I/O)	EQEP2A (I)	SCITXDB (O)	SD1_D4 (I)		
GPIO55	SPISOMIA (I/O)	EM1D29 (I/O)	EM2D13 (I/O)	EQEP2B (I)	SCIRXDB (I)	SD1_C4 (I)		
GPIO56	SPICLKA (I/O)	EM1D28 (I/O)	EM2D12 (I/O)	EQEP2S (I/O)	SCITXDC (O)	SD2_D1 (I)		
GPIO57	SPISTEA (I/O)	EM1D27 (I/O)	EM2D11 (I/O)	EQEP2I (I/O)	SCIRXDC (I)	SD2_C1 (I)		
GPIO58	MCLKRA (I/O)	EM1D26 (I/O)	EM2D10 (I/O)	OUTPUTXBAR1 (O)	SPICLKB (I/O)	SD2_D2 (I)	SPISIMOA ⁽³⁾ (I/O)	
GPIO59	MFSRA (I/O)	EM1D25 (I/O)	EM2D9 (I/O)	OUTPUTXBAR2 (O)	SPISTEB (I/O)	SD2_C2 (I)	SPISOMIA ⁽³⁾ (I/O)	
GPIO60	MCLKRB (I/O)	EM1D24 (I/O)	EM2D8 (I/O)	OUTPUTXBAR3 (O)	SPISIMOB (I/O)	SD2_D3 (I)	SPICLKA ⁽³⁾ (I/O)	
GPIO61	MFSRB (I/O)	EM1D23 (I/O)	EM2D7 (I/O)	OUTPUTXBAR4 (O)	SPISOMB (I/O)	SD2_C3 (I)	SPISTEA ⁽³⁾ (I/O)	
GPIO62	SCIRXDC (I)	EM1D22 (I/O)	EM2D6 (I/O)	EQEP3A (I)	CANRXA (I)	SD2_D4 (I)	USB_DTO (O)	
GPIO63	SCITXDC (O)	EM1D21 (I/O)	EM2D5 (I/O)	EQEP3B (I)	CANTXA (O)	SD2_C4 (I)	SPISIMOB ⁽³⁾ (I/O)	
GPIO64	CANASTBY (O)	EM1D20 (I/O)	EM2D4 (I/O)	EQEP3S (I/O)	SCIRXDA (I)	SD3_D1 (I)	SPISOMB ⁽³⁾ (I/O)	
GPIO65		EM1D19 (I/O)	EM2D3 (I/O)	EQEP3I (I/O)	SCITXDA (O)	SD3_C1 (I)	SPICLKB ⁽³⁾ (I/O)	
GPIO66		EM1D18 (I/O)	EM2D2 (I/O)		SDAB (I/OD)	SD3_D2 (I)	SPISTEB ⁽³⁾ (I/O)	
GPIO67		EM1D17 (I/O)	EM2D1 (I/O)			SD3_C2 (I)		
GPIO68		EM1D16 (I/O)	EM2D0 (I/O)			SD3_D3 (I)		
GPIO69		EM1D15 (I/O)			SCLB (I/OD)	SD3_C3 (I)	SPISIMOC ⁽³⁾ (I/O)	
GPIO70		EM1D14 (I/O)			CANRXA (I)	SD3_D4 (I)	SPISOMIC ⁽³⁾ (I/O)	
GPIO71		EM1D13 (I/O)			CANTXA (O)	SD3_C4 (I)	SPICLKB ⁽³⁾ (I/O)	
GPIO72		EM1D12 (I/O)			CANTXB (O)		SPICLKC ⁽³⁾ (I/O)	
GPIO73		EM1D11 (I/O)	XCLKOUT (O)	CANRXB (I)	SCIRXDC (I)		SPISTEC ⁽³⁾ (I/O)	
GPIO74		EM1D10 (I/O)		CANASTBY (O)	SCITXDE (O)			
GPIO75		EM1D9 (I/O)		CANBSTBY (O)	SCIRXDE (I)			
GPIO76		EM1D8 (I/O)			SCITXDD (O)			
GPIO77		EM1D7 (I/O)			SCIRXDD (I)			
GPIO78	SCITXDF (O)	EM1D6 (I/O)			EQEP2A (I)			
GPIO79	SCIRXDF (I)	EM1D5 (I/O)			EQEP2B (I)			
GPIO80		EM1D4 (I/O)			EQEP2S (I/O)			
GPIO81		EM1D3 (I/O)			EQEP2I (I/O)			
GPIO82		EM1D2 (I/O)						
GPIO83		EM1D1 (I/O)						
GPIO84					SCITXDA (O)	MDXB (O)		MDXA (O)
GPIO85		EM1D0 (I/O)			SCIRXDA (I)	MDRB (I)		MDRA (I)
GPIO86		EM1A13 (O)	EM1CAS (O)	SCITXDB (O)	MCLKXB (I/O)			MCLKXA (I/O)
GPIO87		EM1A14 (O)	EM1RAS (O)	SCIRXDB (I)	MFSXB (I/O)			MFSXA (I/O)
GPIO88		EM1A15 (O)	EM1DQM0 (O)					
GPIO89		EM1A16 (O)	EM1DQM1 (O)		SCITXDC (O)			
GPIO90		EM1A17 (O)	EM1DQM2 (O)		SCIRXDC (I)			

5-3. GPIO 多路复用引脚 (续)

GPIO 索引	GPIO 多路复用器选择 ^{(1) (2)}							
	0 · 4 · 8 · 12	1	2	3	5	6	7	15
GPyGMUXn. GPIOz =	00b · 01b · 10b · 11b	0 0 b			01b			11b
GPyMUXn. GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
GPIO91			EM1A18 (O)	EM1DQM3 (O)		SDAA (I/OD)		
GPIO92			EM1A19 (O)	EM1BA1 (O)		SCLA (I/OD)		
GPIO93				EM1BA0 (O)		SCITXDD (O)		
GPIO94						SCIRXDD (I)		
GPIO95								
GPIO96				EM2DQM1 (O)	EQEP1A (I)			
GPIO97				EM2DQM0 (O)	EQEP1B (I)			
GPIO98				EM2A0 (O)	EQEP1S (I/O)			
GPIO99				EM2A1 (O)	EQEP1I (I/O)			
GPIO100				EM2A2 (O)	EQEP2A (I)	SPISIMOC (I/O)		
GPIO101				EM2A3 (O)	EQEP2B (I)	SPISOMIC (I/O)		
GPIO102				EM2A4 (O)	EQEP2S (I/O)	SPICLK (I/O)		
GPIO103				EM2A5 (O)	EQEP2I (I/O)	SPISTEC (I/O)		
GPIO104		SDAA (I/OD)		EM2A6 (O)	EQEP3A (I)	SCITXDD (O)		
GPIO105		SCLA (I/OD)		EM2A7 (O)	EQEP3B (I)	SCIRXDD (I)		
GPIO106				EM2A8 (O)	EQEP3S (I/O)	SCITXDC (O)		
GPIO107				EM2A9 (O)	EQEP3I (I/O)	SCIRXDC (I)		
GPIO108		SCITXDE (O)		EM2A10 (O)				
GPIO109		SCIRXDE (I)		EM2A11 (O)				
GPIO110		SCITXDF (O)		EM2WAIT (I)				
GPIO111		SCIRXDF (I)		EM2BA0 (O)				
GPIO112				EM2BA1 (O)				
GPIO113				EM2CAS (O)				
GPIO114				EM2RAS (O)				
GPIO115				EM2CS0 (O)				
GPIO116				EM2CS2 (O)				
GPIO117				EM2SDCKE (O)				
GPIO118				EM2CLK (O)				
GPIO119				EM2RNW (O)				
GPIO120				EM2WE (O)				USB0PFLT
GPIO121			EPWM13A (O)	EM2OE (O)				USB0EPEN
GPIO122			EPWM13B (O)			SPISIMOC (I/O)	SD1_D1 (I)	
GPIO123			EPWM14A (O)			SPISOMIC (I/O)	SD1_C1 (I)	
GPIO124			EPWM14B (O)			SPICLK (I/O)	SD1_D2 (I)	
GPIO125			EPWM15A (O)			SPISTEC (I/O)	SD1_C2 (I)	
GPIO126		SCITXDE (O)	EPWM15B (O)				SD1_D3 (I)	
GPIO127		SCIRXDE (I)	EPWM16A (O)				SD1_C3 (I)	
GPIO128		SCITXDF (O)	EPWM16B (O)				SD1_D4 (I)	
GPIO129		SCIRXDF (I)	EPWM17A (O)				SD1_C4 (I)	
GPIO130			EPWM17B (O)				SD2_D1 (I)	
GPIO131			EPWM18A (O)				SD2_C1 (I)	
GPIO132			EPWM18B (O)				SD2_D2 (I)	
GPIO133/ AUXCLKIN		EPWM13A (O)					SD2_C2 (I)	
GPIO134		EPWM13B (O)					SD2_D3 (I)	
GPIO135		EPWM14A (O)				SCITXDA (O)	SD2_C3 (I)	
GPIO136		EPWM14B (O)				SCIRXDA (I)	SD2_D4 (I)	
GPIO137		EPWM15A (O)				SCITXDB (O)	SD2_C4 (I)	
GPIO138		EPWM15B (O)				SCIRXDB (I)	SD3_D1 (I)	
GPIO139		EPWM16A (O)				SCIRXDC (I)	SD3_C1 (I)	

5-3. GPIO 多路复用引脚 (续)

GPIO 多路复用器选择 ^{(1) (2)}								
GPIO 索引	0 · 4 · 8 · 12	1	2	3	5	6	7	15
GPyGMUXn. GPIOz =	00b · 01b · 10b · 11b	0 0 b			01b			11b
GPyMUXn. GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
GPIO140	EPWM16B (O)					SCITXDC (O)	SD3_D2 (I)	
GPIO141	EPWM17A (O)					SCIRXDD (I)	SD3_C2 (I)	
GPIO142	EPWM17B (O)					SCITXDD (O)	SD3_D3 (I)	
GPIO143	EPWM18A (O)	SCITXDE (O)					SD3_C3 (I)	
GPIO144	EPWM18B (O)	SCIRXDE (I)					SD3_D4 (I)	
GPIO145	EPWM1A (O)	SCITXDF (O)					SD3_C4 (I)	
GPIO146	EPWM1B (O)	SCIRXDF (I)						
GPIO147	EPWM2A (O)							
GPIO148	EPWM2B (O)							
GPIO149	EPWM3A (O)							
GPIO150	EPWM3B (O)							
GPIO151	EPWM4A (O)							
GPIO152	EPWM4B (O)							
GPIO153	EPWM5A (O)							
GPIO154	EPWM5B (O)							
GPIO155	EPWM6A (O)							
GPIO156	EPWM6B (O)							
GPIO157	EPWM7A (O)							
GPIO158	EPWM7B (O)							
GPIO159	EPWM8A (O)							
GPIO160	EPWM8B (O)							
GPIO161	EPWM9A (O)							
GPIO162	EPWM9B (O)							
GPIO163	EPWM10A (O)							
GPIO164	EPWM10B (O)							
GPIO165	EPWM11A (O)							
GPIO166	EPWM11B (O)							
GPIO167	EPWM12A (O)							
GPIO168	EPWM12B (O)							

- (1) I = 输入, O = 输出, OD = 漏极开路
- (2) 保留 9、10、11、13 和 14 的 GPIO 索引设置。
- (3) 支持高速 SPI 的 GPIO 多路复用器选项。在高速模式下使用 SPI 时 (在 SPICCR 中, HS_MODE = 1), 需要使用此引脚多路复用器选项。在高速模式下未使用 SPI 时 (在 SPICCR 中, HS_MODE = 0), 此多路复用器选项仍然可用。

5.4.2 输入 X-BAR

输入 X-BAR 用于将任何 GPIO 输入路由到 ADC、eCAP 和 ePWM 外设以及外部中断 (XINT) (参阅图 5-7)。表 5-4 显示了输入 X-BAR 目标。有关配置输入 X-BAR 的详细信息，请参阅 [QXS320F28377D 双核实时微控制器技术参考手册](#) 的“交叉开关 (X-BAR)”一章。

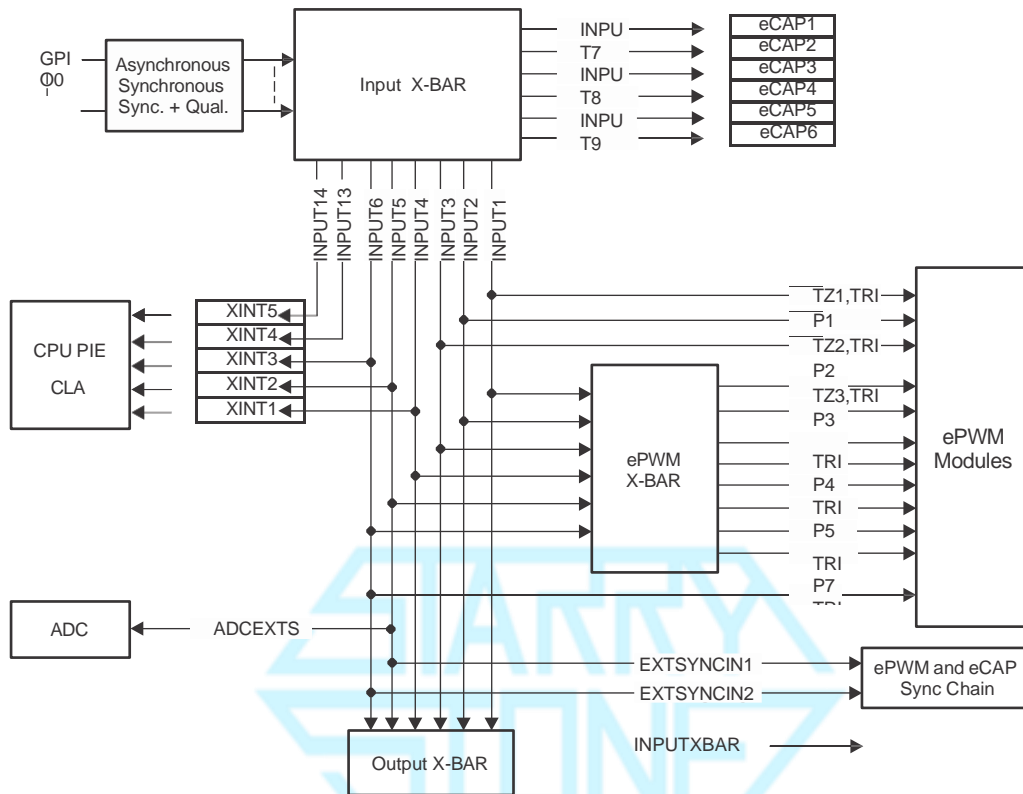


图 5-7. 输入 X-BAR

表 5-4. 输入 X-BAR 目标

输入	目标
INPUT1	EPWM[TZ1,TRIP1]、EPWM X-BAR、输出 X-BAR
INPUT2	EPWM[TZ2,TRIP2]、EPWM X-BAR、输出 X-BAR
INPUT3	EPWM[TZ3,TRIP3]、EPWM X-BAR、输出 X-BAR
INPUT4	XINT1、EPWM X-BAR、输出 X-BAR
INPUT5	XINT2、ADCEXTS、EXTSYNCIN1、EPWM X-BAR、输出 X-BAR
INPUT6	XINT3、EPWM[TRIP6]、EXTSYNCIN2、EPWM X-BAR、输出 X-BAR
INPUT7	ECAP1
INPUT8	ECAP2
INPUT9	ECAP3
INPUT10	ECAP4
INPUT11	ECAP5
INPUT12	ECAP6
INPUT13	XINT4
INPUT14	XINT5

5.4.3 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 有 8 个输出，可以在 GPIO 多路复用器上选择为 OUTPUTXBARx。ePWM X-BAR 有 8 个输出，与 ePWM 的 TRIPx 输入相连。输出 X-BAR 和 ePWM X-BAR 的源如图 5-8 所示。有关输出 X-BAR 和 ePWM X-BAR 的详细信息，请参阅 [QXS320F28377D 双核实时微控制器技术参考手册](#) 的“交叉开关 (X-BAR)”一章。

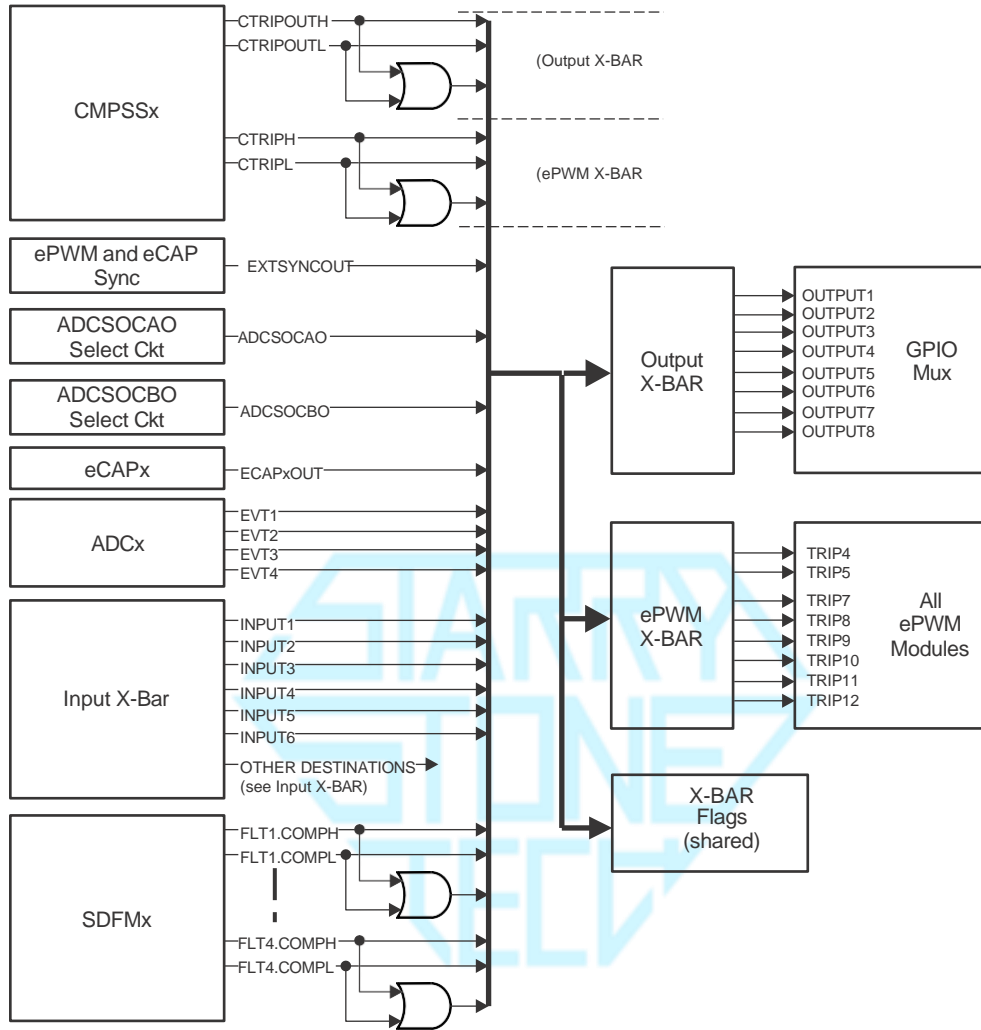


图 5-8. 输出 X-BAR 和 ePWM X-BAR

5.4.4 USB 引脚多路复用

表 5-5 显示了备用 USB 功能映射的分配。可通过 GPBAMSEL 寄存器对它们进行配置。

表 5-5. 备用 USB 功能

GPIO	GPBAMSEL 设置	USB 功能
GPIO42	GPBAMSEL[10] = 1b	USB0DM
GPIO43	GPBAMSEL[11] = 1b	USB0DP

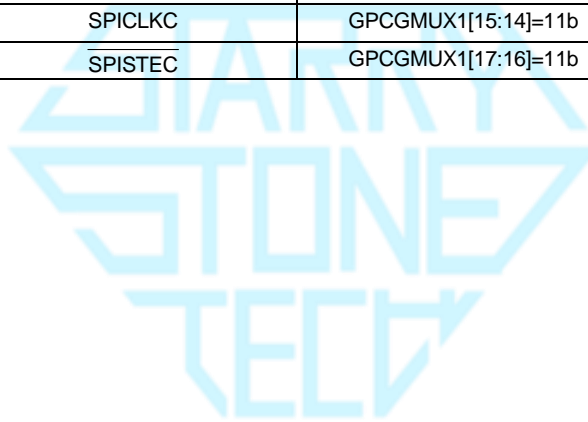
5.4.5 高速 SPI 引脚多路复用

该器件上的 SPI 模块具有高速模式。为了实现尽可能高的速度，在每个 SPI 的单一 GPIO 多路复用器选项上使用了特殊的 GPIO 配置。在未处于高速模式 (HS_MODE=0) 下，SPI 也可以使用这些 GPIO。

如需选择启用 SPI 高速模式的多路复用器选项，请配置 GPyGMUX 和 GPyMUX 寄存器，如表 5-6 所示。

表 5-6. 高速 SPI 的 GPIO 配置

GPIO	SPI 信号	多路复用器配置	
SPIA			
GPIO58	SPISIMOA	GPBGMUX2[21:20]=11b	GPBMUX2[21:20]=11b
GPIO59	SPISOMIA	GPBGMUX2[23:22]=11b	GPBMUX2[23:22]=11b
GPIO60	SPICLKA	GPBGMUX2[25:24]=11b	GPBMUX2[25:24]=11b
GPIO61	SPISTEA	GPBGMUX2[27:26]=11b	GPBMUX2[27:26]=11b
SPIB			
GPIO63	SPISIMOB	GPBGMUX2[31:30]=11b	GPBMUX2[31:30]=11b
GPIO64	SPISOMIB	GPCGMUX1[1:0]=11b	GPCMUX1[1:0]=11b
GPIO65	SPICLKB	GPCGMUX1[3:2]=11b	GPCMUX1[3:2]=11b
GPIO66	SPISTEB	GPCGMUX1[5:4]=11b	GPCMUX1[5:4]=11b
SPIC			
GPIO69	SPISIMOC	GPCGMUX1[11:10]=11b	GPCMUX1[11:10]=11b
GPIO70	SPISOMIC	GPCGMUX1[13:12]=11b	GPCMUX1[13:12]=11b
GPIO71	SPICLKC	GPCGMUX1[15:14]=11b	GPCMUX1[15:14]=11b
GPIO72	SPISTEC	GPCGMUX1[17:16]=11b	GPCMUX1[17:16]=11b



5.5 未使用引脚的连接

对于不需要使用器件所有功能的应用，表 5-7 列出了对任何未使用引脚的可接受条件。当表 5-7 中列出了多个选项，则任何选项都可接受。表 5-7 中未列的引脚必须根据节 5.2.1 进行连接。

表 5-7. 未使用引脚的连接

信号名称	可接受的做法
模拟	
V _{REFHix}	连接至 V _{DDA}
V _{REFLOx}	连接至 V _{SSA}
ADCIN _x	1. 无连接 2. 连接至 V _{SSA}
数字	
GPIO _x	1. 无连接（启用内部上拉的输入模式） 2. 无连接（禁用内部上拉的输出模式） 3. 上拉或下拉电阻器（任意值电阻器，输入模式，禁用内部上拉）
X1	连接至 V _{SS}
X2	无连接
TCK	1. 无连接 2. 上拉电阻器
TDI	1. 无连接 2. 上拉电阻器
TDO	无连接
TMS	无连接
TRST	上拉电阻器（2.2kΩ 或更小）
V _{REGENZ}	连接至 V _{DDIO} 。不支持 V _{REG} 。
ERRORSTS	无连接
NC	无连接
TESTMODE	无连接
电源和接地	
V _{DD}	所有 V _{DD} 引脚必须按照节 5.2.1 所述进行连接。
V _{DDA}	如果未使用专用模拟电源，则连接到 V _{DDIO} 。
V _{DDIO}	所有 V _{DDIO} 引脚必须按照节 5.2.1 所述进行连接。
V _{DDOSC}	必须连接到 V _{DDIO}
V _{SS}	所有 V _{SS} 引脚必须连接到电路板接地。
V _{SSA}	如果未使用专用模拟接地，则连接到 V _{SS} 。
V _{SSOSC}	如果未使用外部晶体，则该引脚必须连接到电路板接地。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值 ⁽¹⁾ ⁽²⁾	单位
电源电压	V_{DDIO} · 以 V_{SS} 为基准	-0.3	3.6	V
	V_{DD3VFL} · 以 V_{SS} 为基准	-0.3	3.6	
	V_{DDOSC} · 以 V_{SS} 为基准	-0.3	3.6	
	V_{DD} · 以 V_{SS} 为基准	-0.3	1.5	
模拟电压	V_{DDA} · 以 V_{SSA} 为基准	-0.3	3.6	V
输入电压	V_{IN} (3.3V)	-0.3	3.6	V
输出电压	V_O	-0.3	3.6	V
输入钳位电流	数字/模拟输入（每引脚）· I_{IK} （ $V_{IN} < V_{SS}/V_{SSA}$ 或 $V_{IN} > V_{DDIO}/V_{DDA}$ ） ⁽³⁾	-20	20	mA
	所有输入的总计 · $I_{IKTOTAL}$ （ $V_{IN} < V_{SS}/V_{SSA}$ 或 $V_{IN} > V_{DDIO}/V_{DDA}$ ）	-20	20	
输出电流	数字输出（每引脚）· I_{OUT}	-20	20	mA
大气温度	T_A	-40	125	° C
工作结温	T_J	-40	150	° C
存储温度 ⁽⁴⁾	T_{stg}	-65	150	° C

- 超出“绝对最大额定值”下列出的压力可能会对器件造成永久损坏。这些只是应力额定值，并不意味着在这些额定值下或者任何其他超过节 6.4 中所标明的条件下可正常工作。长时间处于最大绝对额定情况下会影响设备的可靠性。
- 除非另有说明，所有电压值均相对于 V_{SS} 。
- 每个引脚的连续钳位电流为 $\pm 2\text{mA}$ 。请勿在此条件下连续工作，因为 V_{DDIO}/V_{DDA} 电压可能会在内部上升并影响其他电气规格。

6.2 ESD 等级 - 商用

		值	单位
采用 337 焊球 ZWT 封装的 QXS320F28377D			
V _(ESD) 静电放电 (ESD)	人体放电模型 (HBM) · 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±200 0	V
	充电器件模型 (CDM) · 符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±500	
采用 176 引脚 PTP 封装的 QX320F28377D			
V _(ESD) 静电放电 (ESD)	人体放电模型 (HBM) · 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±200 0	V
	充电器件模型 (CDM) · 符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±500	
采用 100 引脚 PZP 封装的 QX320F28377D			
V _(ESD) 静电放电 (ESD)	人体放电模型 (HBM) · 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±200 0	V
	充电器件模型 (CDM) · 符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±500	

1. JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
2. JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

		最小值	标称值	最大值	单位
器件电源电压 · I/O · V _{DDIO} ⁽¹⁾		3.14	3.3	3.47	V
器件电源电压 · V _{DD}		1.14	1.2	1.26	V
电源接地 · V _{SS}			0		V
模拟电源电压 · V _{DDA}		3.14	3.3	3.47	V
模拟接地 · V _{SSA}			0		V
结温 · T _J	T 版本			105	° C
	S 版本 ⁽²⁾			125	
	Q 版本 ⁽²⁾			150	
大气温度 · T _A	Q 版本 (AEC Q100 合格认证)			125	° C

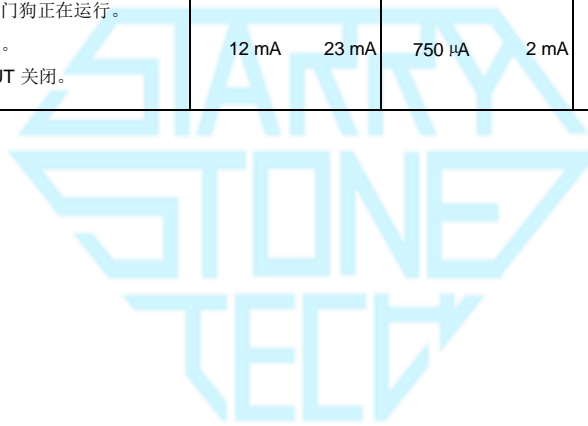
1. V_{DDIO}、V_{DD3VFL} 和 V_{DDOSC} 之间应保持在 0.3V 之内。

6.4 功耗摘要

本节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。

6.4.1 200MHz SYSCLK 下的器件电流消耗

模式	测试条件	I_{DD}		$I_{DDIO}^{(1)}$		I_{DDA}		I_{DD3VFL}	
		典型值 ⁽⁵⁾	最大值 ⁽⁴⁾	典型值 ⁽⁵⁾	最大值 ⁽⁴⁾	典型值 ⁽⁵⁾	最大值 ⁽⁴⁾	典型值 ⁽⁵⁾	最大值 ⁽⁴⁾
工作中	代码正在耗尽 RAM。 ⁽⁶⁾ 2. 所有 I/O 引脚都未连接。 3. 未激活的外设的时钟被禁用。 4. 闪存被读取，并处于激活状态。 5. XCLKOUT 在 SYSCLK/4 下启用。	428 mA	520 mA	30 mA		13 mA	20 mA	33 mA	40 mA
空闲	1. CPU1 和 CPU2 均处于空闲模式。 2. 闪存断电。 3. XCLKOUT 关闭。	300 mA	371 mA	3 mA	10 mA	10 μ A	150 μ A	10 μ A	150 μ A
待机	1. CPU1 和 CPU2 均处于待机模式。 2. 闪存断电。 3. XCLKOUT 关闭。	166 mA	205 mA	3 mA	10 mA	5 μ A	150 μ A	10 μ A	150 μ A
停机 ⁽²⁾	1. CPU1 看门狗正在运行。 2. 闪存断电。 3. XCLKOUT 关闭。	12 mA	23 mA	750 μ A	2 mA	5 μ A	150 μ A	10 μ A	150 μ A



6.4.2 200MHz SYSCLK 下的器件电流消耗 (续)

模式	测试条件	I _{DD}		I _{DDIO} ⁽¹⁾		I _{DDA}		I _{DD3VFL}	
		典型值 ⁽⁵⁾	最大值 ⁽⁴⁾	典型值 ⁽⁵⁾	最大值 ⁽⁴⁾	典型值 ⁽⁵⁾	最大值 ⁽⁴⁾	典型值 ⁽⁵⁾	最大值 ⁽⁴⁾
RESET	1. CPU 通过驱动到 XRSn 上的外部低电平信号保持在复位状态 2. XRSn 在上电过程中保持低电平	10 mA	20 mA	0.01 mA	0.8 mA	0.02 mA	1 mA	2.5 mA	8 mA

- (1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。
- (2) 在 CPU1 进入停机模式之前，CPU2 必须进入空闲模式。
- (3) 在 CPU1 进入休眠模式之前，CPU2 必须进入复位/空闲/待机模式。
- (4) 最大值：V_{max} · 125°C
- (5) 典型值：V_{nom} · 30°C
- (6) 在 CPU1 上的循环中执行以下操作：
- 所有通信外设都在环回模式下运行：CAN-A 至 CAN-B；SPI-A 至 SPI-C；SCI-A 至 SCI-D；I2C-A 至 I2C-B；McBSP-A 至 McBSP-B；USB
 - SDFM1 至 SDFM4 激活
 - ePWM1 到 ePWM12 在 24 个引脚上生成 400kHz PWM 输出
 - CPU 计时器激活
 - DMA 进行 32 位突发传输
 - CLA1 进行乘法累加任务
 - 所有 ADC 执行连续转换
 - 所有 DAC 在 150kHz 下斜升/斜降电压
 - CMPSS1 至 CMPSS8 激活
- 在 CPU2 上的循环中执行以下操作：
- CPU 计时器激活
 - CLA1 进行乘法累加任务
 - VCU 使用并行负载进行复杂的乘法/累加
 - TMU 计算余弦
 - FPU 使用并行负载进行乘法/累加
- (7) 闪存编程期间的欠压事件可能会损坏闪存数据。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。

6.4.3 减少电流消耗

QXS32028377D 器件提供了一些减少器件电流消耗的方法：

- 在应用的空闲期间，可以进入四种低功耗模式中的任何一种：空闲、待机、停机和休眠。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 每个外设都有一个单独的时钟使能位 (PCLKCRx)。通过关闭给定应用中未使用的任何外设的时钟，可以减少电流消耗。表 6-1 表明了通过使用 PCLKCRx 寄存器禁用时钟可以实现的典型电流降低。

表 6-1. 各种外设的 V_{DD} 电源上的电流 (在 200MHz 下)

外设 模块 ⁽¹⁾⁽²⁾	I_{DD} 电流 降低 (mA)
ADC ⁽³⁾	3.3
CAN	3.3
CLA	1.4
CMPSS ⁽³⁾	1.4
CPUTIMER	0.3
DAC ⁽³⁾	0.6
DMA	2.9
eCAP	0.6
EMIF1	2.9
EMIF2	2.6
ePWM1 至 ePWM4 ⁽⁴⁾	4.5
ePWM5 至 ePWM12 ⁽⁴⁾	1.7
HRPWM ⁽⁴⁾	1.7
I2C	1.3
McBSP	1.6
SCI	0.9
SDFM	2
SPI	0.5
uPP	7.3
USB 和 AUXPLL (60MHz)	23.8

- (1) 在 V_{max} 和 125°C 下。
- (2) 复位时，所有外设均禁用。使用 PCLKCRx 寄存器以单独地启用外设。对于具有多个实例的外设，针对单个模块引用电流。
- (3) 该数字代表了 ADC、CMPSS 和 DAC 模块的数字部分所消耗的电流。
- (4) ePWM 为 SYSCLK 的一半。

6.5 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V _{OH}	高电平输出电压	I _{OH} = I _{OH} 最小值	V _{DDIO} *0.8			V
		I _{OH} = -100 μA	V _{DDIO} -0.2			
V _{OL}	低电平输出电压	I _{OL} = I _{OL} 最大值			0.4	V
		I _{OL} = 100 μA			0.2	
I _{OH}	所有输出 引脚的高电平输出拉电流		-4			mA
I _{OL}	所有输出 引脚的低电平输出灌电流				4	mA
V _{IH}	高电平输入电压 (3.3V)	GPIO0 - GPIO7、 GPIO42 - GPIO43、 GPIO46 - GPIO47	V _{DDIO} *0.7		V _{DDIO} + 0.3	V
		所有其他引脚	2.0		V _{DDIO} + 0.3	
V _{IL}	低电平输入电压 (3.3V)		V _{SS} - 0.3		0.8	V
V _{HYSTERESIS}	输入滞后		150			mV
I _{pull-down}	输入电流	带下拉的数字输入 ⁽¹⁾	V _{DDIO} =3.3V V _{IN} =V _{DDIO}	120		μA
I _{pull-up}	输入电流	启用上拉的数字输入 ⁽¹⁾	V _{DDIO} =3.3V V _{IN} =0V	150		μA
I _{LEAK}	引脚漏电流	数字	禁用上拉 0V ≤ V _{IN} ≤ V _{DDIO}		2	μA
		模拟 (除了 ADCINB0 或 DACOUTx)			2	
		ADCINB0	0V ≤ V _{IN} ≤ V _{DDA}	2	11 ⁽²⁾	
		DACOUTx		66		
C _I	输入电容			2		pF
V _{DDIO-POR}	V _{DDIO} 上电复位电压			2.3		V

1. 有关具有上拉或下拉功能的引脚列表，请参阅表 5-2。
2. ADCINB0 上显示的最大输入漏电流是在高温条件下发生的。

6.6 热阻特征

6.6.1 ZWT 封装

		° C/W ⁽¹⁾	气流 (lfm) ⁽²⁾
$R_{\Theta_{JC}}$	结至外壳热阻	8.3	不适用
$R_{\Theta_{JB}}$	结至电路板热阻	11.6	不适用
$R_{\Theta_{JA}}$ (高 k PCB)	结至大气热阻	21.5	0
$R_{\Theta_{JMA}}$	结至流动空气热阻	19.0	150
		17.8	250
		16.5	500
Ψ_{SiJT}	结至封装顶部	0.2	0
		0.3	150
		0.4	250
		0.5	500
Ψ_{SiJB}	结点到电路板	11.4	0
		11.3	150
		11.2	250
		11.0	500

1. 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta_{JC}}$ 值除外) · 将随环境和应用的变化而更改。
2. lfm = 线性英尺/分钟



6.6.2 PTP 封装

		° C/W ⁽¹⁾	气流 (lfm) ⁽²⁾
$R_{\theta_{JC}}$	结至外壳热阻	6.97	不适用
$R_{\theta_{JB}}$	结至电路板热阻	6.05	不适用
$R_{\theta_{JA}}$ (高 k PCB)	结至大气热阻	17.8	0
$R_{\theta_{JMA}}$	结至流动空气热阻	12.8	150
		11.4	250
		10.1	500
Ψ_{JT}	结至封装顶部	0.11	0
		0.24	150
		0.33	250
		0.42	500
Ψ_{JB}	结点到电路板	6.1	0
		5.5	150
		5.4	250
		5.3	500

1. 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\theta_{JC}}$] 值除外), 将随环境和应用的变化而更改:
2. lfm = 线性英尺/分钟

6.6.3 PZP 封装

		° C/W ⁽¹⁾	气流 (lfm) ⁽²⁾
$R_{\theta_{JC}}$	结至外壳热阻	4.3	不适用
$R_{\theta_{JB}}$	结至电路板热阻	5.9	不适用
$R_{\theta_{JA}}$ (高 k PCB)	结至大气热阻	19.1	0
$R_{\theta_{JMA}}$	结至流动空气热阻	14.3	150
		12.8	250
		11.4	500
Ψ_{JT}	结至封装顶部	0.03	0
		0.09	150
		0.12	250
		0.20	500
Ψ_{JB}	结点到电路板	6.0	0
		5.5	150
		5.5	250
		5.3	500

1. 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\theta_{JC}}$] 值除外), 将随环境和应用的变化而更改。

6.7 散热设计注意事项

根据最终应用设计和运行情况， I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J ，而不是环境温度。因此，应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J 。通常在封装顶部表面的中心测量 T_{case} 。



6.8 系统

6.8.1 电源时序

6.8.1.1 信号引脚要求

在为器件供电之前，不能对任何数字引脚施加比 V_{DDIO} 高 0.3V 以上的电压，也不能对任何模拟引脚（包括 V_{REFHI} ）施加比 V_{DDA} 高 0.3V 以上的电压。

6.8.1.2 V_{DDIO} 、 V_{DDA} 、 V_{DD3VFL} 和 V_{DDOSC} 要求

3.3V 电源应一起上电，在正常工作期间彼此之间的差值应保持在 0.3V 以内。

6.8.1.3 V_{DD} 要求

不支持内部 VREG。必须将 VREGENZ 引脚连接至 V_{DDIO} ，并且外部电源用于为 V_{DD} 提供 1.2V 电压。在斜升期间， V_{DD} 应保持不高于 V_{DDIO} 0.3V。

V_{DDOSC} 和 V_{DD} 必须同时加电和断电。当 V_{DD} 处于断电状态时， V_{DDOSC} 不应供电。

6.8.1.4 电源斜升速率

电源应在 10ms 内斜升至全部的电源轨。

6.8.1.4.1 电源斜升速率

		最小值	最大值	单位
电源斜升速率	相对于 V_{SS} 的 V_{DDIO} 、 V_{DD} 、 V_{DDA} 、 V_{DD3VFL} 、 V_{DDOSC}	330	10^5	V/s

6.8.1.5 电源监控

内部上电复位 (POR) 电路在上电期间将 I/O 保持在高阻抗状态。外部电源电压监控器 (SVS) 可用于监控 3.3V 和 1.2V 电源轨上的电压，并在电源超出运行规格时将 XRS 驱动至低电平。

备注

如果电源电压保持接近 POR 阈值，则器件可能会在 XRS 引脚上驱动定期复位。

6.8.2 复位时序

XRS 为器件复位引脚。它用作输入和漏极开路输出。该器件具有内置上电复位 (POR)。在加电期间，POR 电路会驱动 XRS 引脚至低电平。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部电路可能会驱动引脚使器件复位生效。

应在 XRS 和 V_{DDIO} 之间放置一个值为 2.2k Ω 至 10k Ω 的电阻器。应在 XRS 和 V_{SS} 之间放置一个电容器用于噪声滤除；电容应为 100nF 或更小。当看门狗复位生效时，这些值将允许看门狗在 512 个 OSCCLK 周期内正确地驱动 XRS 引脚至 V_{OL} 。图 6-4 显示了推荐的复位电路。

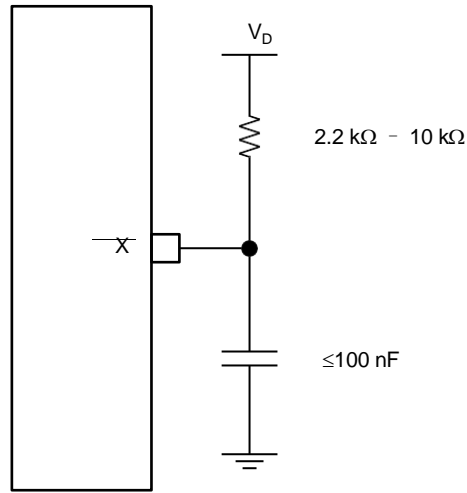


图 6-4. 复位电路

6.8.2.1 复位源

该器件上存在以下复位源： \overline{XRS} 、 \overline{WDRS} 、 $\overline{NMIWDRS}$ 、 \overline{SYSRS} 、 $\overline{SCCRESET}$ 和 $\overline{HIBRESET}$ 。

参数 $t_{h(\text{boot-mode})}$ 必须考虑从这些来源启动的复位。

小心

有些复位源由器件内部驱动。其中一些来源会将 \overline{XRS} 驱动至低电平。借此可禁用驱动引导引脚的任何其他器件。

6.8.2.2 复位电气数据和时序

6.8.2.2.1 复位(\overline{XRS})时序要求

		最小值	最大值	单位
t_h (引导模式)	引导模式引脚的保持时间	1.5		ms
$t_w(\text{RSL2})$	脉冲持续时间·热复位时 \overline{XRS} 处于低电平	所有情况	3.2	μs
		应用中使用的低功耗模式·并且 $\text{SYSCLKDIV} > 16$	$3.2 * (\text{SYSCLKDIV}/16)$	

6.8.2.2.2 复位(\overline{XRS})开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_w(\text{RSL1})$	脉冲持续时间· \overline{XRS} 在电源稳定后由器件驱动为低电平		100		μs
$t_w(\text{WDRS})$	脉冲持续时间·由看门狗生成的复位脉冲		$512t_{c(\text{OSCCLK})}$		周期

A. \overline{XRS} 引脚可以由监控器或外部上拉电阻从外部驱动。

6.8.3 时钟规范

6.8.3.1 时钟源

表 6-2 列出了四种可能的时钟源。图 6-7 展示了器件时钟系统的概览。

表 6-2. 可能的基准时钟源

时钟源	模块已计时	注释
INTOSC1	可用于为以下模块提供时钟： 1. 看门狗模块 2. 主 PLL 3. CPU 计时器 2	内部振荡器 1。 零引脚开销 10MHz 内部振荡器。
INTOSC2 ⁽¹⁾	可用于为以下模块提供时钟： 1. 主 PLL 2. 辅助 PLL 3. CPU 计时器 2	内部振荡器 2。 零引脚开销 10MHz 内部振荡器。
XTAL	可用于为以下模块提供时钟： 1. 主 PLL 2. 辅助 PLL 3. CPU 计时器 2	外部晶体或谐振器连接在 X1 和 X2 引脚之间，或者单端时钟连接到 X1 引脚。
AUXCLKIN	可用于为以下模块提供时钟： 1. 辅助 PLL 2. CPU 计时器 2	单端 3.3V 电平时钟源。GPIO133/AUXCLKIN 引脚应用于提供输入时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为系统 PLL (OSCCLK) 和辅助 PLL (AUXOSCCLK) 的默认时钟源。

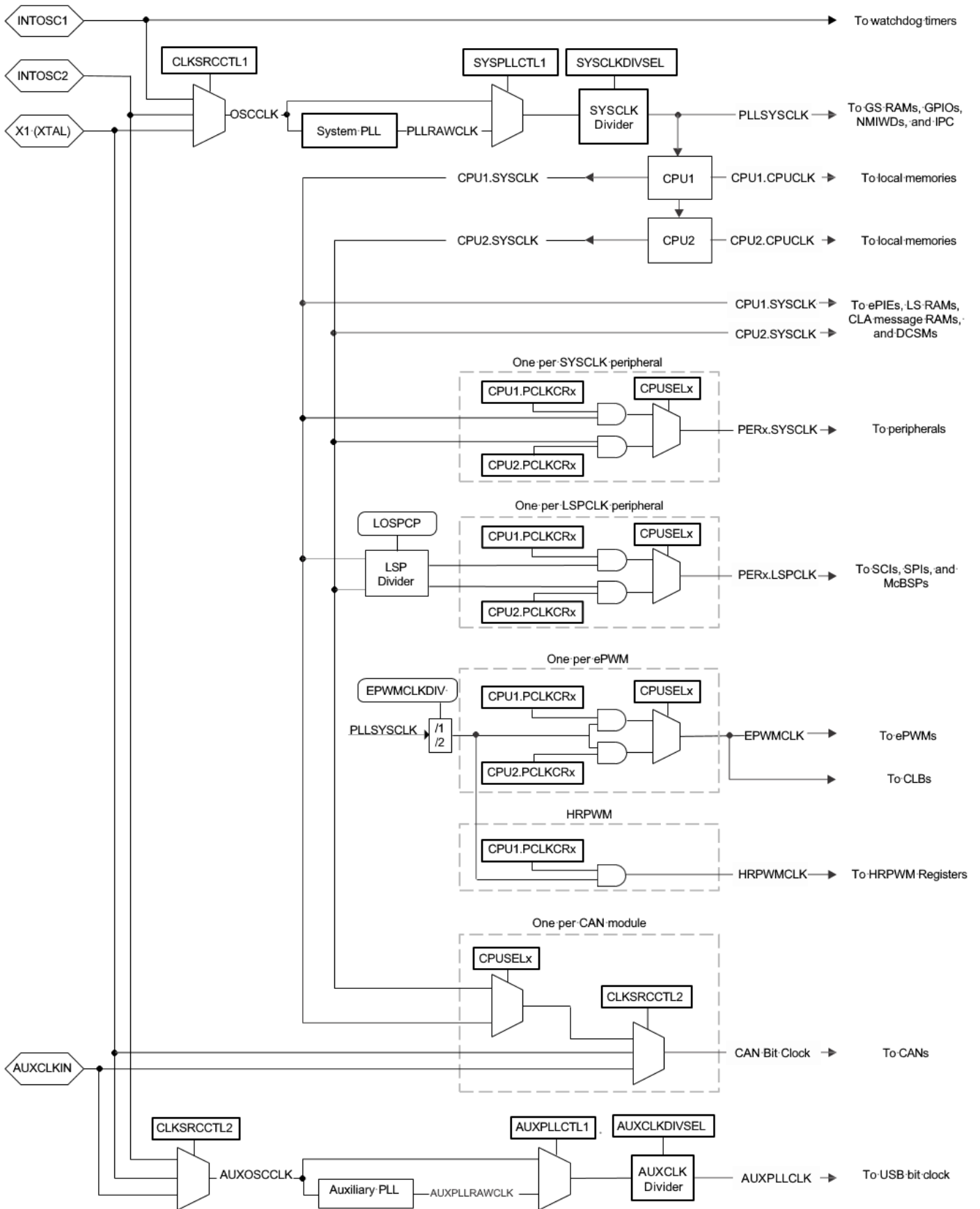


图 6-7. 计时系统

6.8.3.2 时钟频率、要求和特征

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特征。

6.8.3.2.1 输入时钟频率和时序要求, PLL 锁定时间

6.8.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率 · X1/X2 · 来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率 · X1 · 来自外部振荡器	2	25	MHz
$f_{(AUX1)}$	频率 · AUXCLKIN · 来自外部振荡器	2	60	MHz

6.8.3.2.1.2 使用外部时钟源 (非晶体) 时的 X1 输入电平特征

在推荐的工作条件下 (除非另有说明)

参数		最小值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3	$0.3 * V_{DDIO}$	V
X1 V_{IH}	有效高电平输入电压	$0.7 * V_{DDIO}$	$V_{DDIO} + 0.3$	V

6.8.3.2.1.3 XTAL 振荡器特性

在建议运行条件下测得 (除非另有说明)

参数		最小值	典型值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3		$0.3 * V_{DDIO}$	V
X1 V_{IH}	有效高电平输入电压	$0.7 * V_{DDIO}$		$V_{DDIO} + 0.3$	V

6.8.3.2.1.4 X1 时序要求

		最小值	最大值	单位
$t_{r(X1)}$	下降时间 · X1		6	ns
$t_{f(X1)}$	上升时间 · X1		6	ns
$t_{w(X1L)}$	脉冲持续时间 · X1 低电平占 $t_{c(X1)}$ 的百分比		45% 55%	
$t_{w(X1H)}$	脉冲持续时间 · X1 高电平占 $t_{c(X1)}$ 的百分比		45% 55%	

6.8.3.2.1.5 AUXCLKIN 时序要求

		最小值	最大值	单位
$t_{r(AUX1)}$	下降时间 · AUXCLKIN		6	ns
$t_{f(AUX1)}$	上升时间 · AUXCLKIN		6	ns
$t_{w(AUXL)}$	脉冲持续时间 · AUXCLKIN 低电平占 $t_{c(XCI)}$ 的百分比		45% 55%	
$t_{w(AUXH)}$	脉冲持续时间 · AUXCLKIN 高电平占 $t_{c(XCI)}$ 的百分比		45% 55%	

6.8.3.2.1.6 PLL 锁定时间

	最小值	标称值	最大值	单位
$t_{(PLL)}$ 锁定时间·主 PLL (X1 · 来自外部振荡器)		$50\mu s + 2500 * t_{c(OSCCLK)}^{(1)}$		μs
$t_{(USB)}$ 锁定时间·USB PLL (AUXCLKIN · 来自外部振荡器)		$50\mu s + 2500 * t_{c(OSCCLK)}^{(1)}$		μs

(1) 周期计数包括 PLL 初始化例程的代码执行，这可能因编译器优化和闪存等待状态而异。

6.8.3.2.2 内部时钟频率

6.8.3.2.2.1 内部时钟频率

	最小值	标称值	最大值	单位
$f_{(SYSCLK)}$ 频率·器件(系统)时钟	2		240 ⁽²⁾	MHz
$t_{c(SYSCLK)}$ 周期·器件(系统)时钟	4.16 ⁽²⁾		500	ns
$f_{(PLLRAWCLK)}$ 频率·系统 PLL 输出 (在 SYSCLK 分频器之前)	20		600	MHz
$f_{(AUXPLLRAWCLK)}$ 频率·辅助 PLL 输出 (在 AUXCLK 分频器之前)	20		600	MHz
$f_{(AUXPLL)}$ 频率·AUXPLLCLK	2	40	240	MHz
$f_{(PLL)}$ 频率·PLLSYSCLK	2		240 ⁽²⁾	MHz
$f_{(LSP)}$ 频率·LSPCLK	2		240 ⁽²⁾	MHz
$t_{c(LSPCLK)}$ 周期·LSPCLK	4.16 ⁽²⁾		500	ns
$f_{(OSCCLK)}$ 频率·OSCCLK (INTOSC1、INTOSC2、XTAL 或 X1)		参阅各自的时钟		MHz
$f_{(EPWM)}$ 频率·EPWMCLK ⁽¹⁾			240	MHz
$f_{(HRPWM)}$ 频率·HRPWMCLK	60		240	MHz

- 对于 100MHz 以上的 SYSCLK，EPWMCLK 必须是 SYSCLK 的一半。
- 使用外部时钟源。如果使用 INTOSC1 或 INTOSC2 作为时钟源，那么最大频率为 194MHz，最小周期为 5.15ns。

6.8.3.2.3 输出时钟频率和开关特征

6.8.3.2.3.1 输出时钟频率

	最小值	最大值	单位
$f_{(XCO)}$ 频率·XCLKOUT		50	MHz

6.8.3.2.3.2 XCLKOUT 开关特征 (旁路或启用 PLL)

在推荐的工作条件下 (除非额外注明)

参数 ^{(1) (2)}	最小值	最大值	单位
$t_{f(XCO)}$ 下降时间·XCLKOUT		5	ns
$t_{r(XCO)}$ 上升时间·XCLKOUT		5	ns
$t_{w(XCOL)}$ 脉冲持续时间·XCLKOUT 低电平	H-2	H+2	ns
$t_{w(XCOH)}$ 脉冲持续时间·XCLKOUT 高电平	H-2	H+2	ns

- 假定这些参数的负载为 40pF。
- $H=0.5t_{c(XCO)}$

6.8.3.3 输入时钟和 PLL

除了内部 0 引脚振荡器，还提供了多个外部时钟源选项。图 6-8 显示了将晶振、谐振器和振荡器连接到引脚 X1/X2（也称为 XTAL）和 AUXCLKIN 的推荐方法。

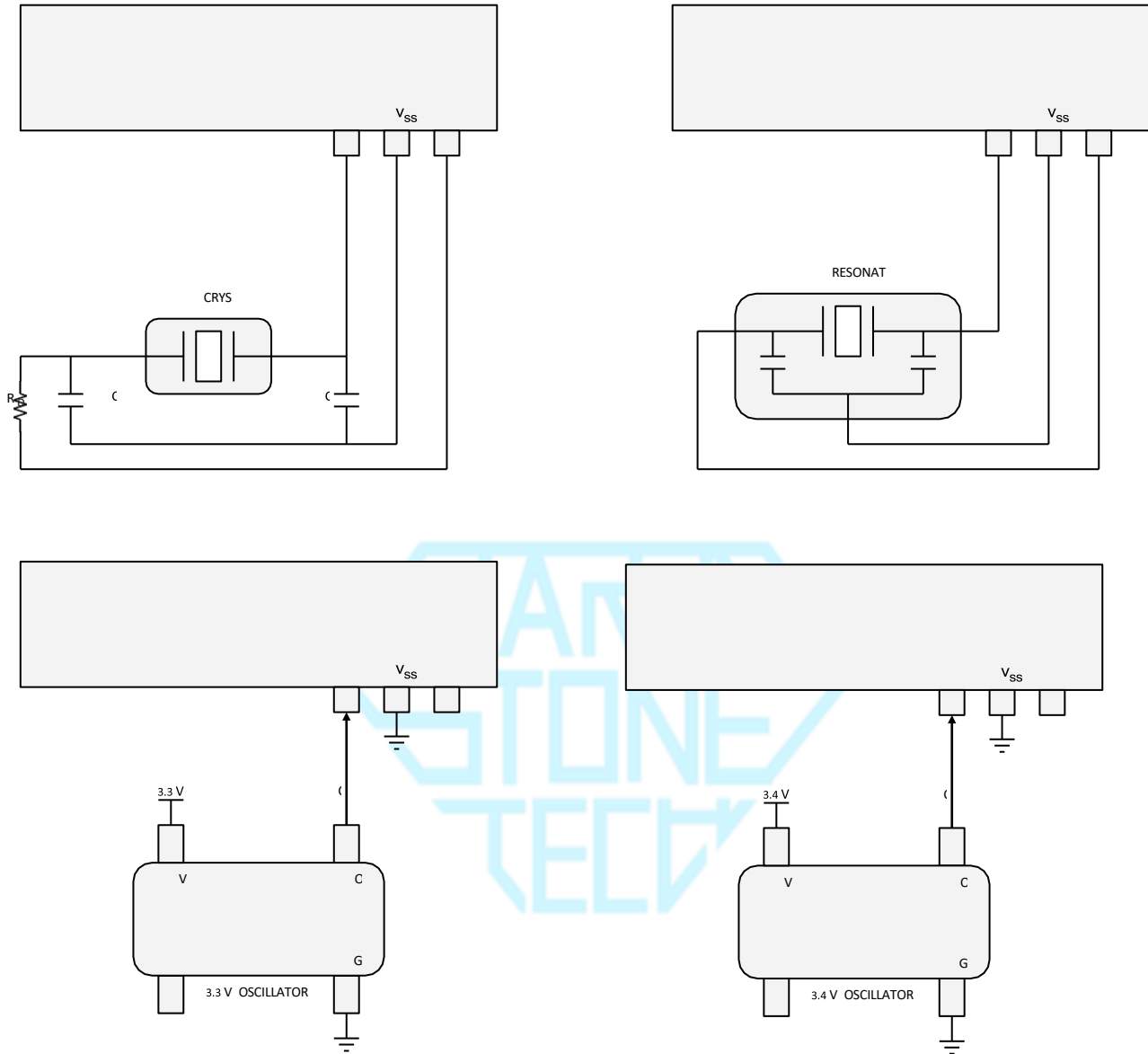


图 6-8. 将输入时钟连接到 28377D 器件

6.8.4 XTAL 振荡器

6.8.4.1 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

6.8.4.2 概述

以下几节将介绍电振荡器和晶体的元件。

6.8.4.2.1.1 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器 (C0) 和所需的负载电容器 (CL)，振荡器被设计成在并联谐振模式下运行。图 6-9 所示为电子振荡器和振荡电路的元件。

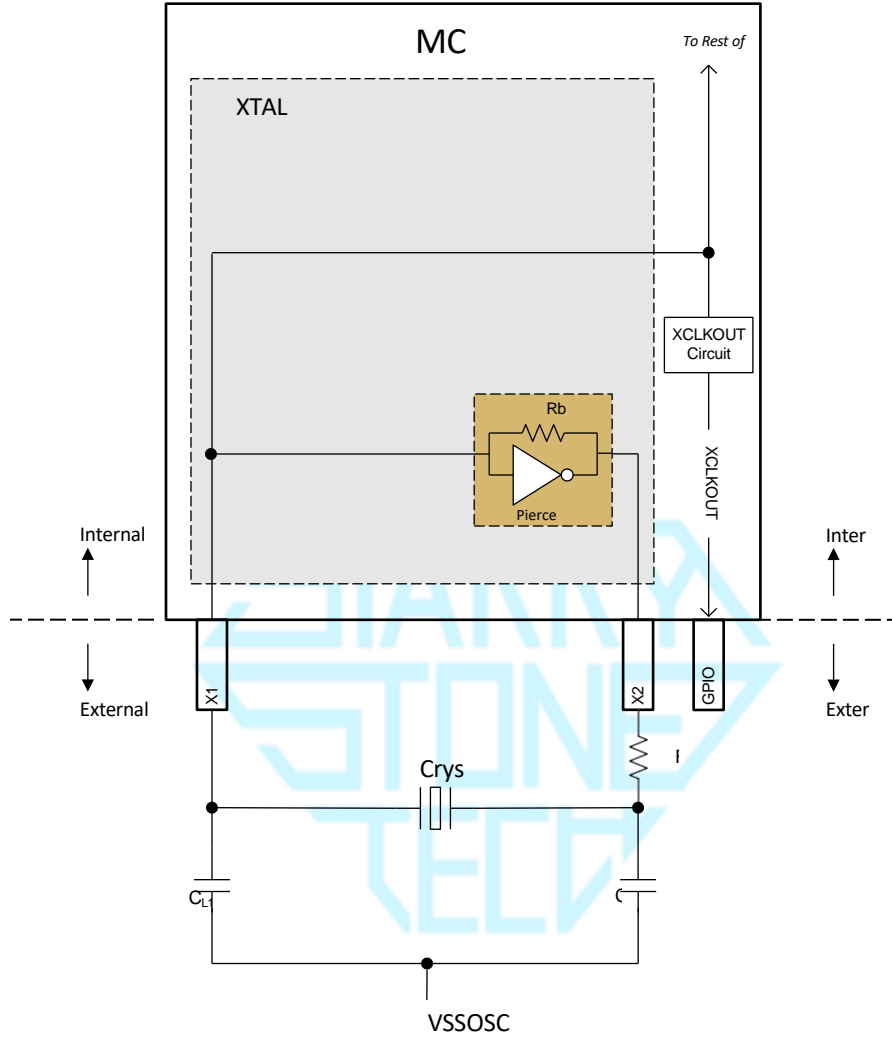


图 6-9. 电子振荡器方框图

6.8.4.2.1.1.1 运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

6.8.4.2.1.1.1.1 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部 Rbias 并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 VIH 和 VIL。

6.8.4.2.1.1.1.2 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

在此工作模式下，X1 上的时钟 传递到芯片的其余部分。

单端时钟也可以连接到 GPIO133/AUXCLKIN 引脚。

6.8.4.2.1.1.2 XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅“GPIO 多路复用引脚”表。

6.8.4.2.1.2 石英晶体

石英晶体可以由 LCR（电感-电容-电阻）电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 6-10 所示，并在下文中有相应说明。

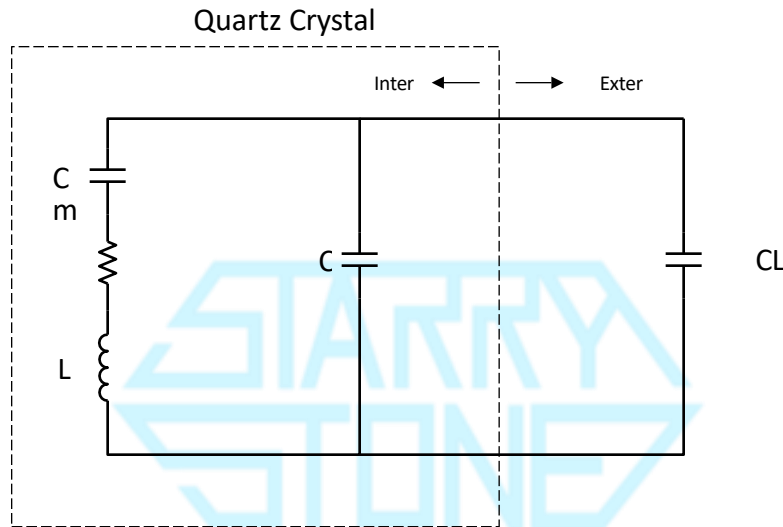


图 6-10. 晶体电气表示

C_m (动态电容)：表示晶体的弹性。

R_m (动态电阻)：表示晶体内的电阻损耗。这不是晶体的 ESR，但可以根据其他晶体元件的值进行近似计算。

L_m (动态电感)：表示晶体的振动质量。

C₀ (并联电容)：由两个晶体电极和杂散封装电容形成的电容。

CL (负载电容)：这是晶体在其电极处看到的有效电容。它位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 6-9，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 CL1 = CL2，只需计算 [CL1]/2 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。请

注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与标称频率相差不到 10ppm。

6.8.4.2.2 正常运行

6.8.4.2.2.1 ESR 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = Rm \left(1 + \frac{\omega}{CL} \right)^2 \quad (1)$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容，则可以按此近似计算。

6.8.4.2.2.2 Rneg - 负电阻

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。

Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

图 6-11 和图 6-12 所示为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请注意，这些是典型图；因此，请参阅表 6-3 了解设计中需要注意的最小值和最大值。

6.8.4.2.2.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 Rneg - 负电阻一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅晶体振荡器规格。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

6.8.4.2.2.4 DL 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

6.8.4.2.3 如何选择晶体

请参考晶体振荡器规格：

1. 选择一个晶体频率（例如，20MHz）。
2. 确认晶体的 ESR ≤ 50Ω，符合 20MHz 的规格。
3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
 1. 如前所述，CL1 和 CL2 是串联的；因此，如果 CL1 = CL2，则有效负载电容 CL = [CL1]/2。
 2. 在此基础上加上电路板寄生效应会得到 CL = [CL1]/2 + 杂散电容
4. 确认晶体的最大驱动电平 ≥ 1mW。如果不满足此要求，则可以使用阻尼电阻 Rd。请参阅 DL - 驱动电平，了解使用 Rd 时要考虑的其他要点。

6.8.4.2.4 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用输入电容小于 1pF 的有源探针。

频率

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

3. 负电阻

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

6.8.4.2.5 常见问题和调试提示

晶体无法启动

1. 浏览[如何选择晶体](#)部分，确保没有违规。

晶体需要很长时间才能启动

2. 如果安装了阻尼电阻 R_d ，则其过高。
3. 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

6.8.4.2.6 晶体振荡器规格

1. 晶体振荡器电气特性

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
启动时间 ⁽¹⁾	f = 10MHz	ESR 最大值 = 110 Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20 MHz	ESR 最大值 = 50 Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平 (DL)					1	mW

(1) 启动时间取决于晶体和振荡电路元件。TI 建议晶体供应商使用所选晶体来表征应用。

6.8.4.2.6.1 晶振等效串联电阻 (ESR) 要求

对于[晶振等效串联电阻 \(ESR\) 需求表](#)：

1. 晶振并联电容 (C0) 应小于或等于 7pF。
2. $ESR = \text{负电阻}/3$

表 6-3. 晶振等效串联电阻 (ESR) 要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110

表 6-3. 晶振等效串联电阻 (ESR) 要求 (续)

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

Negative Resistance vs. 10MHz Crystal

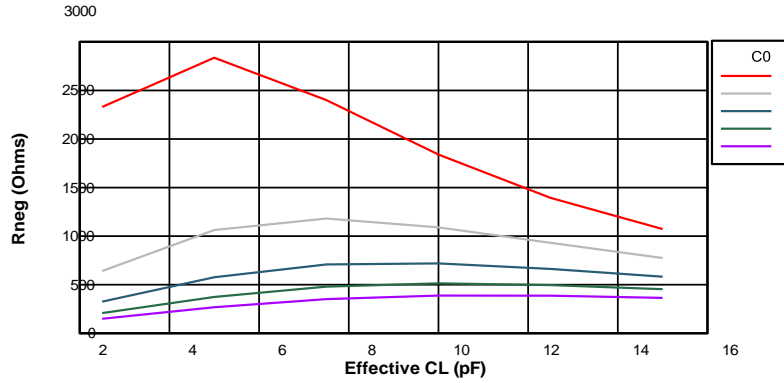


图 6-11. 10MHz 时的负电阻变化

Negative Resistance vs. 20MHz Crystal

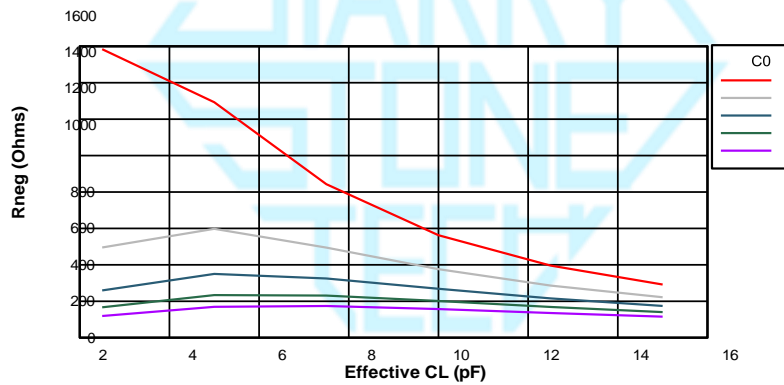


图 6-12. 20 MHz 时的负电阻变化

6.8.4.3 内部振荡器

为了减少电路板生产成本和缩短应用开发时间，所有 F28377D 器件都包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，两个振荡器都在上电时启用。INTOSC2 设置为系统参考时钟 (OSCCLK)源，INTOSC1 设置为备用时钟源。INTOSC1 也可以手动配置为系统参考时钟 (OSCCLK)。

6.8.4.3.1 内部振荡器电气特征

在推荐的工作条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$f_{(INTOSC)}$	频率 · INTOSC1 和 INTOSC2		9.7	10.0	10.3	MHz
$f_{(INTOSC-STABILITY)}$	室温下的频率稳定性	30° C · 标称 V_{DD}		±0.1 %		
	V_{DD} 上的频率稳定性	30° C		±0.2 %		
	频率稳定性		- 3.0%		3.0%	
$f_{(INTOSC-ST)}$	启动和趋稳时间				20	µs



6.8.5 闪存参数

该器件还具有用于双代码安全模块 (DCSM) 的 OTP (一次性可编程) 扇区, 该扇区在编程后无法擦除。表

6-4 显示了不同频率下所需的最低闪存等待状态。

表 6-4. 闪存等待状态

CPUCLK (MHz)		最低等待状态 ⁽¹⁾
外部振荡器或晶体	INTOSC1 或 INTOSC2	
150 < CPUCLK ≤ 200	145 < CPUCLK ≤ 194	3
100 < CPUCLK ≤ 150	97 < CPUCLK ≤ 145	2
50 < CPUCLK ≤ 100	48 < CPUCLK ≤ 97	1
CPUCLK ≤ 50	CPUCLK ≤ 48	0

(1) 所需的最小 FRDCNTL[RWAIT]。

6.8.5.1 闪存参数

参数		最小值	典型值	最大值	单位
编程时间 ⁽¹⁾	128 数据位 + 16 ECC 位		40	300	μs
	8kW 扇区		90	180	ms
	32kW 扇区		360	720	ms
擦除时间 ⁽²⁾ (< 25 个周期)	8kW 或 32kW 扇区		30	55	ms
擦除时间 ⁽²⁾ (< 1000 个周期)	8kW 或 32kW 扇区		40	350	
擦除时间 ⁽²⁾ 2000 个周期)	8kW 或 32kW 扇区		50	600	ms
	20k 周期下的擦除时间 ⁽²⁾	8kW 或 32kW 扇区	110	4000	
N _{wec}	写入/擦除周期 (每个扇区)			20000	周期
N _{wec}	写入/擦除周期, 适用于整个闪存 (合并所有扇区) ⁽³⁾			100000	周期
t _{retention}	数据保留持续时间 (T _J = 85° C)	20			年

1. 编程时间是最大器件频率下的值。编程时间包括闪存状态机的开销, 但不包括将以下项传输到 RAM 的时间:

1. 使用闪存 API 对闪存进行编程的代码
2. 闪存 API 本身
3. 要进行编程的闪存数据

换言之, 器件 RAM 中提供了所有必需的代码/数据, 且为编程准备就绪后, 此表中指示的时间才适用。传输时间将根据所用 JTAG 调试探针的速度而显著变化。

编程时间计算是基于以指定的工作频率一次编程 144 位。编程时间包含 CPU 对编程的验证。编程时间不会随着写入/擦除 (W/E) 循环而缩短, 但擦除时间会缩短。

擦除时间包含 CPU 对擦除的验证, 不涉及任何数据传输。

2. 擦除时间包含 CPU 对擦除的验证。
3. 每个扇区本身只能被擦除/编程 20,000 次。如果选择使用 EEPROM 等一个或多个扇区, 则可以仅对这些扇区 (仍然限制为 20,000 个周期) 进行擦除/编程, 而无需对整个闪存进行擦除/编程。因此, 从器件的角度来看, W/E 周期的总数可能超过 20,000 个周期。但是, 这个数字最多不应超过 100,000 个周期。

备注

主阵列闪存编程必须与 64 位地址边界对齐，并且每个 64 位字在每个写/擦除周期只能编程一次。有关更多详细信息。

6.8.6 RAM 规格
表 6-5. CPU1 RAM 参数

RAM 类型	大小	获取时间 (周期数)	读取时间 (周期数)	存储时间 (周期数)	总线宽度	可用总线数量 ⁽¹⁾	等待状态次数	突发访问
GS RAM	128KB	2	2	1	16/32 位	4	0	否
LS RAM	24KB	2	2	1	16/32 位	2	0	否
M0	2KB	2	2	1	16/32 位	1	0	否
M1	2KB	2	2	1	16/32 位	1	0	否
CLA1 到 CPU 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CPU 到 CLA1 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CPU1 到 CPU2 消息 RAM	2KB	2	2	1	16/32 位	4	0	否
CPU2 到 CPU1 消息 RAM	2KB	2	2	1	16/32 位	4	0	否

(1) “可用总线数量”表示有多少主器件 (CLA、DMA、CPU) 可以访问此存储器。

表 6-6. CPU2 RAM 参数

RAM 类型	大小	获取时间 (周期数)	读取时间 (周期数)	存储时间 (周期数)	总线宽度	可用总线数量 ⁽¹⁾	等待状态次数	突发访问
GS RAM	128KB	2	2	1	16/32 位	4	0	否
LS RAM	24KB	2	2	1	16/32 位	2	0	否
M0	2KB	2	2	1	16/32 位	1	0	否
M1	2KB	2	2	1	16/32 位	1	0	否
CLA1 到 CPU 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CPU 到 CLA1 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CPU1 到 CPU2 消息 RAM	2KB	2	2	1	16/32 位	4	0	否
CPU2 到 CPU1 消息 RAM	2KB	2	2	1	16/32 位	4	0	否

(1) “可用总线数量”表示有多少主器件 (CLA、DMA、CPU) 可以访问此存储器。

6.8.7 仿真/JTAG

JTAG 端口具有五个专用引脚： $\overline{\text{TRST}}$ 、TMS、TDI、TDO 和 TCK。 $\overline{\text{TRST}}$ 信号应始终通过电路板上的 $2.2\text{k}\Omega$ 上拉电阻器上拉。这些信号应始终通过一对范围为 $2.2\text{k}\Omega$ 至 $4.7\text{k}\Omega$ （取决于调试器端口的驱动强度）的板载上拉电阻器在仿真接头处上拉。通常使用 $2.2\text{k}\Omega$ 的阻值。

有关如何将 14 引脚 JTAG 接头连接到 JTAG 端口信号，请参阅图 6-13。图 6-14 显示了如何连接到 20 引脚接头。20 引脚 JTAG 接头终端 EMU2、EMU3 和 EMU4 未使用，应接地。

JTAG 调试探针接头的 PD（电源检测）终端应连接到电路板 3.3V 电源。接头 GND 终端应连接至电路板接地。TDIS（电缆断开感应）也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出终端环回到接头的 RTCK 输入终端（以通过 JTAG 调试探针检测时钟连续性）。接头终端 复位 是 JTAG 调试探针接头的开漏输出，通过 JTAG 调试探针命令使电路板元件复位（仅通过 20 引脚接头可用）。

通常情况下，当目标和 JTAG 接头之间的距离小于 6 英寸（15.24cm），并且 JTAG 链上没有其他器件时，JTAG 信号上不需要缓冲器。否则，每个信号都应被缓冲。此外，对于大多数 10MHz 下的 JTAG 调试探针操作，JTAG 信号上不需要串联电阻器。然而，如果期望高仿真速度（35MHz 左右），则应在每个 JTAG 信号上串联 22Ω 电阻器。

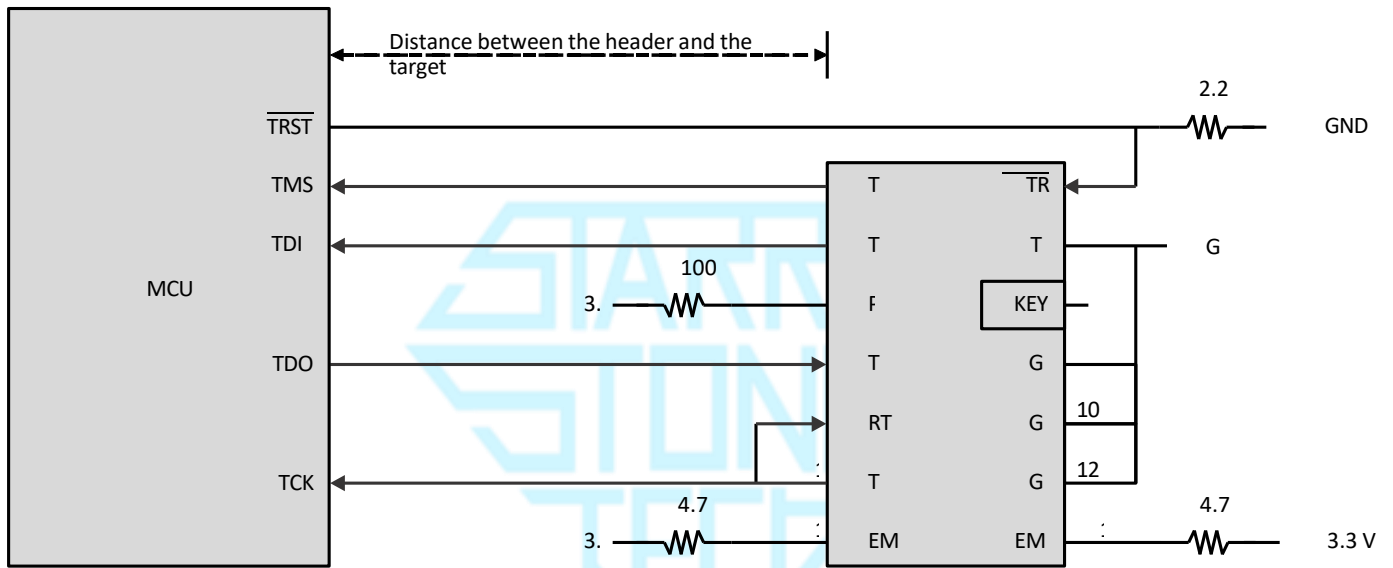


图 6-13. 连接到 14 引脚 JTAG 接头

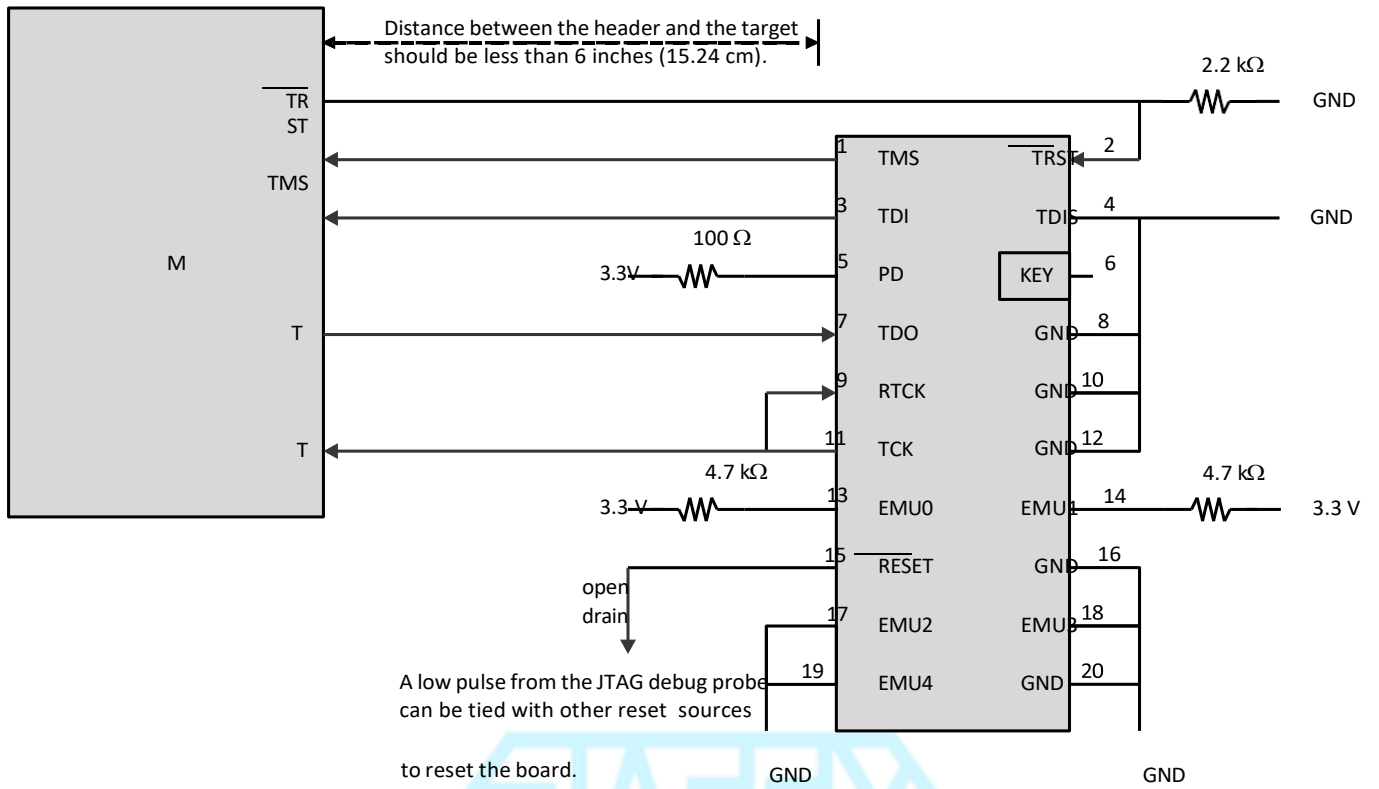


图 6-14. 连接到 20 引脚 JTAG 接头

6.8.7.1 JTAG 电气数据和时序

6.8.7.1.1 JTAG 时序要求

编号			最小值	最大值	单位
1	$t_c(TCK)$	周期时间 · TCK	66.66		ns
1a	$t_w(TCKH)$	脉冲持续时间 · TCK 高电平 (t_c 的 40%)	26.66		ns
1b	$t_w(TCKL)$	脉冲持续时间 · TCK 低电平 (t_c 的 40%)	26.66		ns
3	$t_{su}(TDI-TCKH)$	TDI 有效至 TCK 高电平的输入设置时间	13		ns
	$t_{su}(TMS-TCKH)$	TMS 有效至 TCK 高电平的输入设置时间	13		ns
4	$t_h(TCKH-TDI)$	从 TCK 高电平至 TDI 有效的输入保持时间	7		ns
	$t_h(TCKH-TMS)$	从 TCK 高电平至 TMS 有效的输入保持时间	7		ns

6.8.7.1.2 JTAG 开关特征

在推荐的工作条件下 (除非另有说明)

编号	参数	最小值	最大值	单位	
2	$t_d(TCKL-TDO)$	TCK 低电平到 TDO 有效的延迟时间	6	25	ns

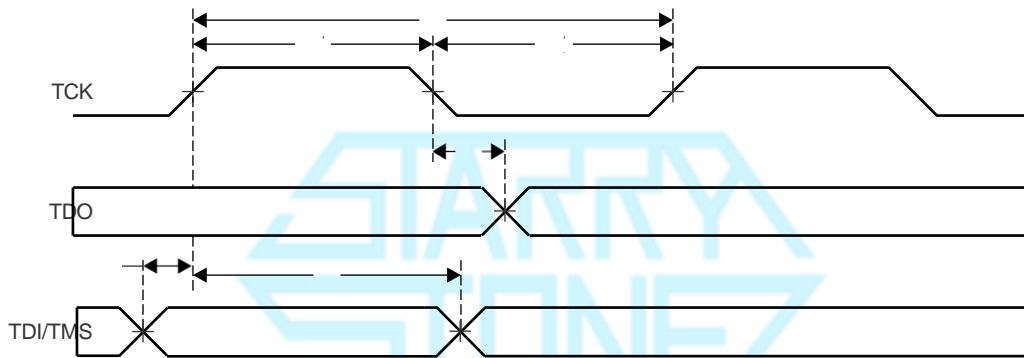


图 6-15. JTAG 时序

6.8.8 GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

GPIO 模块包含输出 X-BAR，其允许将各种内部信号路由到 GPIO 多路复用器位置中的 GPIO 上，并表示为 OUTPUTXBARx。GPIO 模块还包含输入 X-BAR，用于将来自任何 GPIO 输入的信号路由到不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断。

6.8.8.1 GPIO - 输出时序

图 6-16 显示了通用输出时序。

6.8.8.1.1 通用输出开关特征

在推荐的工作条件下（除非另有说明）

参数		最小值	最大值	单位
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换至高电平		8 ⁽¹⁾	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换至低电平		8 ⁽¹⁾	ns
t_{fGPO}	切换频率，GPO 引脚		25	MHz

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 40pF。

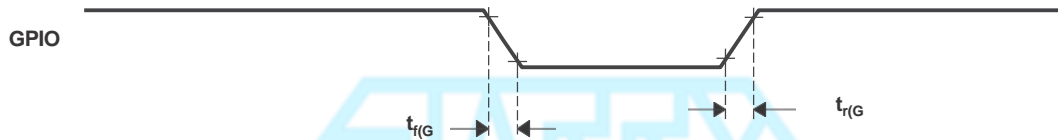


图 6-16. 通用输出时序

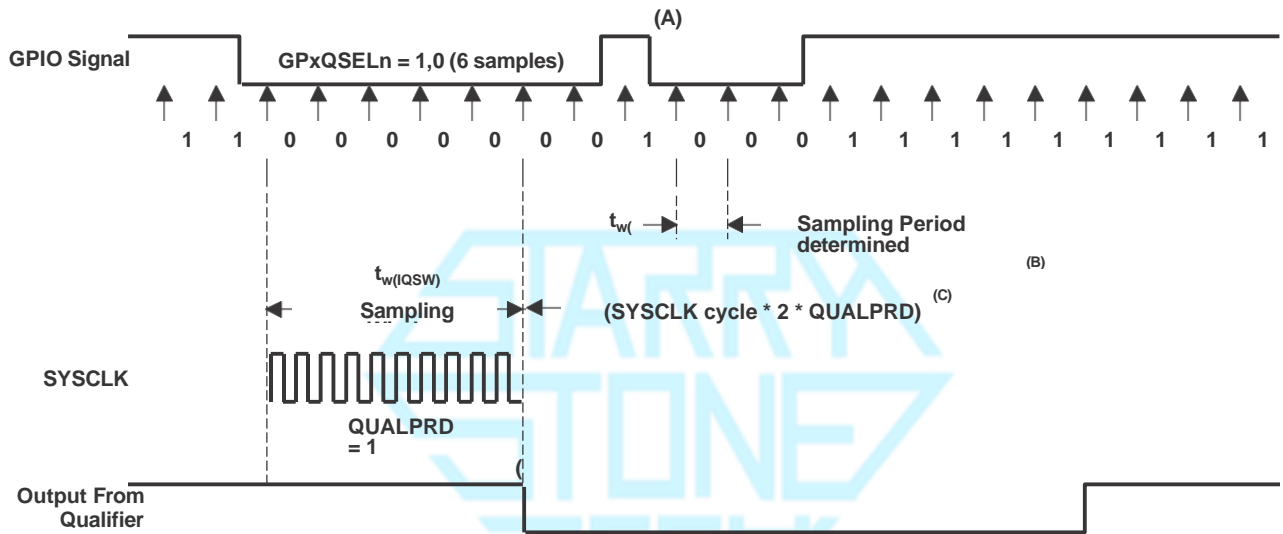
6.8.8.2 GPIO - 输入时序

图 6-17 显示了采样模式。

6.8.8.2.1 通用输入时序要求

		最小值	最大值	单位
$t_w(SP)$	采样周期	QUALPRD=0	$1t_c(SYSCCLK)$	周期
		QUALPRD≠0	$2t_c(SYSCCLK) * QUALPRD$	周期
$t_w(IQSW)$	输入限定符采样窗口		$t_w(SP) * (n^{(1)} - 1)$	周期
$t_w(GPI)^{(2)}$	脉冲持续时间 · GPIO 低电平/高电平	同步模式	$2t_c(SYSCCLK)$	周期
		带输入限定符	$t_w(IQSW) + t_w(SP) + 1t_c(SYSCCLK)$	周期

- “n”代表由 GPxQSELn 寄存器定义的合格样片的数量。
- 对于 $t_w(GPI)$ · 对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽 · 而高电平有效信号 · 在 V_{IH} 至 V_{IH} 之间测量脉宽。



- 输入限定符将忽略此短时脉冲干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00 · 那么采样周期为 1 个 SYSCCLK 周期。对于任何其他“n”值 · 限定采样周期为 2n SYSCCLK 周期 (也就是说 · 在每 2n 个 SYSCCLK 周期上 · GPIO 引脚将被采样)。
- 通过 GPxCTRL 寄存器选择的限定周期应用于 8 个 GPIO 引脚组。
- 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用哪种采样模式。
- 在所示的示例中 · 为了使限定器检测到变化 · 输入应该在 10 个 SYSCCLK 周期或者更长周期内保持稳定。换句话说 · 输入应该在 (5 x QUALPRD x 2) SYSCCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的 · 因此 13 SYSCCLK 宽的脉冲确保了可靠的识别。

图 6-17. 采样模式

6.8.8.3 输入信号的采样窗口宽度

下述小节总结了各种输入限定符配置下的输入信号的采样窗口宽度。

采样频率表明相对于 **SYSCCLK** 对信号进行采样的频率。

$$\text{Sampling frequency} = \text{SYSCCLK} / (2 \times \text{QUALPRD}), \text{ if } \text{QUALPRD} \neq 0 \tag{2}$$

$$\text{Sampling frequency} = \text{SYSCCLK}, \text{ if } \text{QUALPRD} = 0 \tag{1}$$

$$\text{Sampling period} = \text{SYSCCLK cycle} \times 2 \times \text{QUALPRD}, \text{ if } \text{QUALPRD} \neq 0 \tag{2}$$

在**方程式 2**、**方程式 3**和**方程式 4**中，**SYSCCLK** 周期表示 **SYSCCLK** 的时间周期。

如果 **QUALPRD=0**，则采样周期 = **SYSCCLK** 周期

在给定的采样窗口中，采取输入信号的 3 个或者 6 个样片来确定信号的有效性。这是由写入到 **GPxQSELn** 寄存器的值确定的。

情况 1:

使用 3 个样片进行限定

如果 **QUALPRD**≠0，则采样窗口宽度 = (**SYSCCLK** 周期 × 2 × **QUALPRD**) × 2

如果 **QUALPRD=0**，则采样窗口宽度 = (**SYSCCLK** 周期) × 2

情况 2:

使用 6 个样片进行限定

如果 **QUALPRD**≠0，则采样窗口宽度 = (**SYSCCLK** 周期 × 2 × **QUALPRD**) × 5

如果 **QUALPRD=0**，则采样窗口宽度 = (**SYSCCLK** 周期) × 5

图 6-18 显示了通用输入时序。

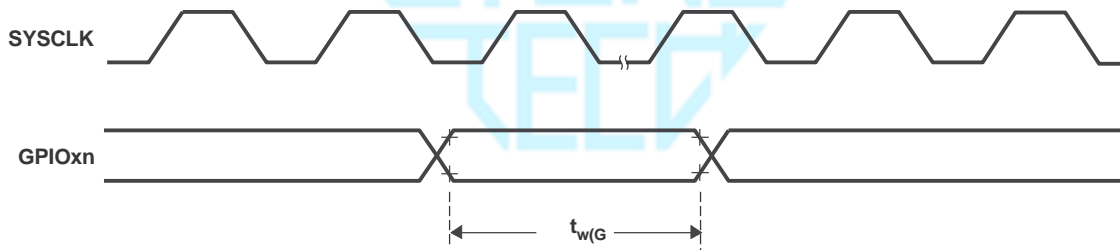


图 6-18. 通用输入时序

6.8.9 中断

图 6-19 提供了中断架构的高级视图。

如图 6-19 所示，器件支持五个外部中断（XINT1 到 XINT5），这些中断可以映射到任何 GPIO 引脚上。在此器件中，16 个 ePIE 块中断分组为 1 个 CPU 中断。共 12 个 CPU 中断组，每组 16 个中断。

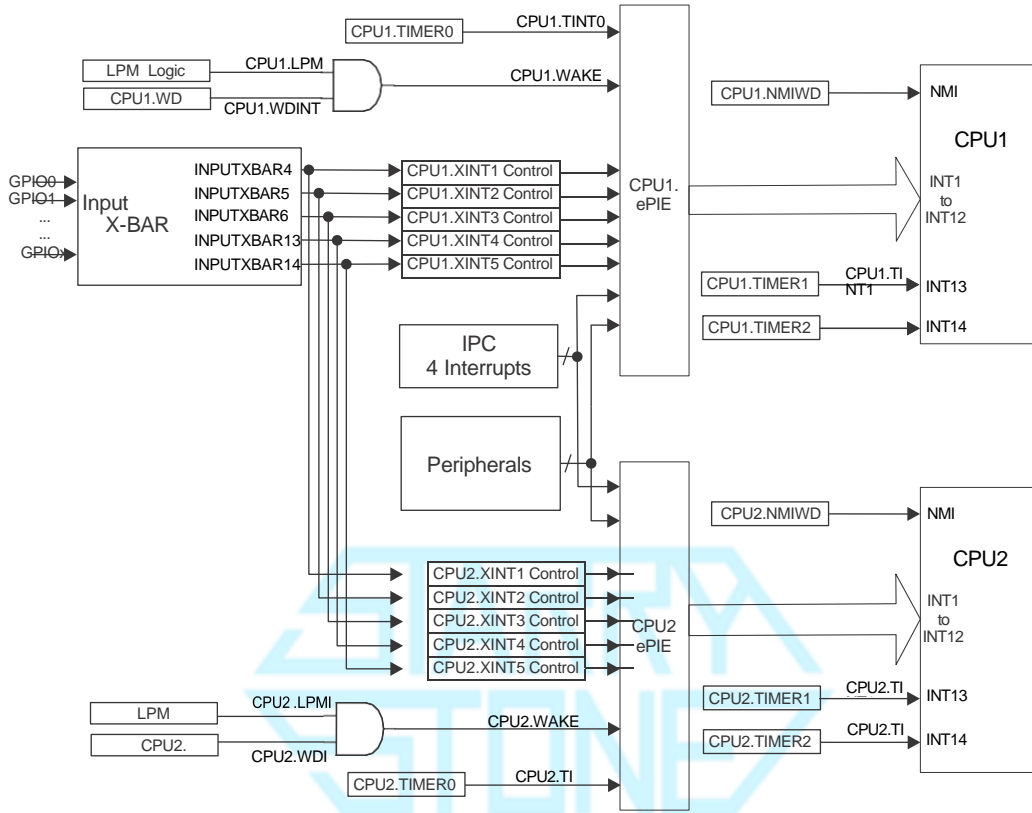


图 6-19. 外部和 ePIE 中断源

6.8.9.1 外部中断(XINT) 电气数据和时序

图 6-20 显示了外部中断时序。

6.8.9.1.1 外部中断时序要求

		最小值	最大值	单位 ⁽¹⁾	
$t_{w(INT)}$	脉冲持续时间 · INT 输入低电平/高电平	同步		$2t_c(SYSCCLK)$	周期
		带限定符		$t_w(IQSW) + t_w(SP) + 1t_c(SYSCCLK)$	周期

6.8.9.1.2 外部中断开关特征

在推荐的工作条件下（除非另有说明）⁽¹⁾

参数	最小值	最大值	单位
$t_{d(INT)}$ 延时时间 · INT 低电平/高电平到中断矢量获取 ⁽²⁾	$t_w(IQSW) + 14t_c(SYSCCLK)$	$t_w(IQSW) + t_w(SP) + 14t_c(SYSCCLK)$	周期

- (1) 有关输入限定符参数的说明。
- (2) 这是假设 ISR 是在单周期存储器中。

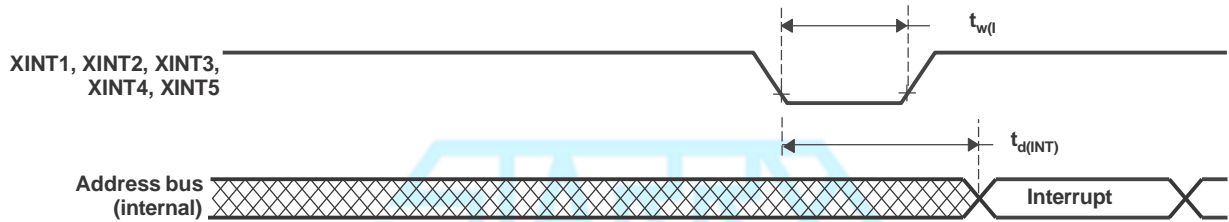


图 6-20. 外部中断时序

6.8.10 低功率模式

该器件有三种时钟门控低功耗模式和一种特殊的电源门控模式。

有关所有低功耗模式的更多详细信息以及进入和退出程序。

6.8.10.1 时钟门控低功耗模式

该器件上的空闲、待机和停机模式与其他 C28x 器件上的类似。表 6-9 描述了进入任何一种时钟门控低功耗模式时对系统的影响。

表 6-9. 时钟门控低功耗模式对器件的影响

模块/时钟域	CPU1 空闲	CPU1 待机	CPU2 空闲	CPU2 待机	停机
CPU1.CLKIN	运行	门控	不适用	不适用	门控
CPU1.SYSCLK	运行	门控	不适用	不适用	门控
CPU1.CPUCLK	门控	门控	不适用	不适用	门控
CPU2.CLKIN	不适用	不适用	运行	门控	门控
CPU2.SYSCLK	不适用	不适用	运行	门控	门控
CPU2.CPUCLK	不适用	不适用	门控	门控	门控
连接到 PERx.SYSCLK 的模块的时钟	运行	如果 CPUSEL.PERx = CPU1，则进行门控	运行	如果 CPUSEL.PERx = CPU2，则进行门控	门控
CPU1.WDCLK	运行	运行	不适用	不适用	如果 CLKSRCCTL1.WDHALTI = 0，则进行门控
CPU2.WDCLK	不适用	不适用	运行	运行	门控
AUXPLLCLK	运行	运行	运行	运行	门控
PLL	供电	供电	供电	供电	软件必须在进入停机之前对 PLL 进行断电
INTOSC1	供电	供电	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
INTOSC2	供电	供电	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
X1/X2 晶体振荡器	供电	供电	供电	供电	断电

6.8.10.2 电源门控低功耗模式

休眠模式是该器件上的最低功耗模式。它是一种全局低功耗模式，可将电源电压选通到系统的大部分区域。休眠本质上是一种具有远程唤醒功能的受控断电，可用于在长时间不活动期间节省电量。表 6-10 描述了进入休眠模式时对系统的影响。

表 6-10. 电源门控低功耗模式对器件的影响

模块/电源域	休眠
M0 和 M1 存储器	1. 如果 LPMCR.M0M1MODE = 0x00，则保持开启并保留内存 2. 当 LPMCR.M0M1MODE = 0x01 时关闭
CPU1、CPU2、数字外设	已断电
Dx、LSx、GSx 存储器	断电，存储器内容丢失
I/O	开启并保留输出状态
振荡器、PLL、模拟外设	进入低功耗模式

6.8.10.3 低功耗模式唤醒时序

图 6-21 显示了空闲模式的时序图。

6.8.10.3.1 空闲模式时序要求

		最小值	最大值	单位 ⁽¹⁾
$t_{w(WAKE)}$	脉冲持续时间 · 外部唤醒信号	无输入限定符	$2t_{c(SYSCCLK)}$	周期
		带输入限定符	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$	

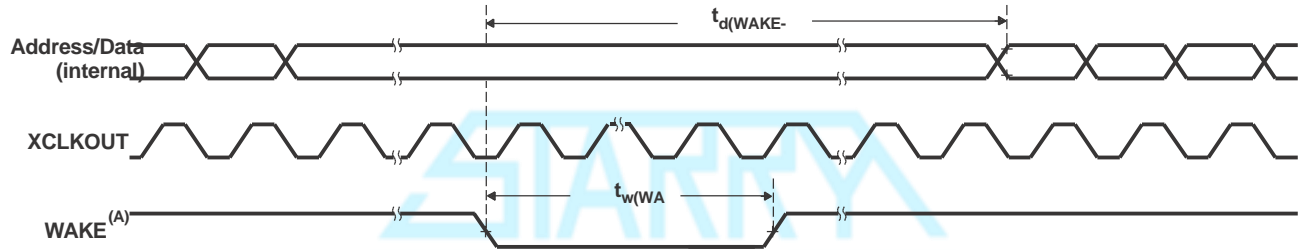
(1) 有关输入限定符参数的说明。

6.8.10.3.2 空闲模式开关特性

在建议运行条件下测得（除非另有说明）⁽¹⁾

参数		测试条件	最小值	最大值	单位
$t_{d(WAKE-IDLE)}$	外部唤醒信号到程序恢复执行的延迟时间 ⁽²⁾				周期
	1. 从 RAM 唤醒	无输入限定器		$25t_{c(SYSCCLK)}$	
		带输入限定器		$25t_{c(SYSCCLK)} + t_{w(WAKE)}$	

- 有关输入限定器参数的说明。
- 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。



- A. WAKE 可以是任何启用的中断、WDINT 或 XRS。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。

图 6-21. 空闲进入和退出时序图

图 6-22 显示了待机模式的时序图。

6.8.10.3.3 待机模式时序要求

		最小值	最大值	单位
$t_w(\text{WAKE-INT})$	脉冲持续时间 · 外部唤醒信号	QUALSTDBY = 0 $2t_{c(\text{OSCCLK})}$	$3t_{c(\text{OSCCLK})}$	周期
		QUALSTDBY > 0 $(2 + \text{QUALSTDBY})t_{c(\text{OSCCLK})}$ (1)	$(2 + \text{QUALSTDBY}) * t_{c(\text{OSCCLK})}$	

(1) QUALSTDBY 是 LPMCR 寄存器中的一个 6 位字段。

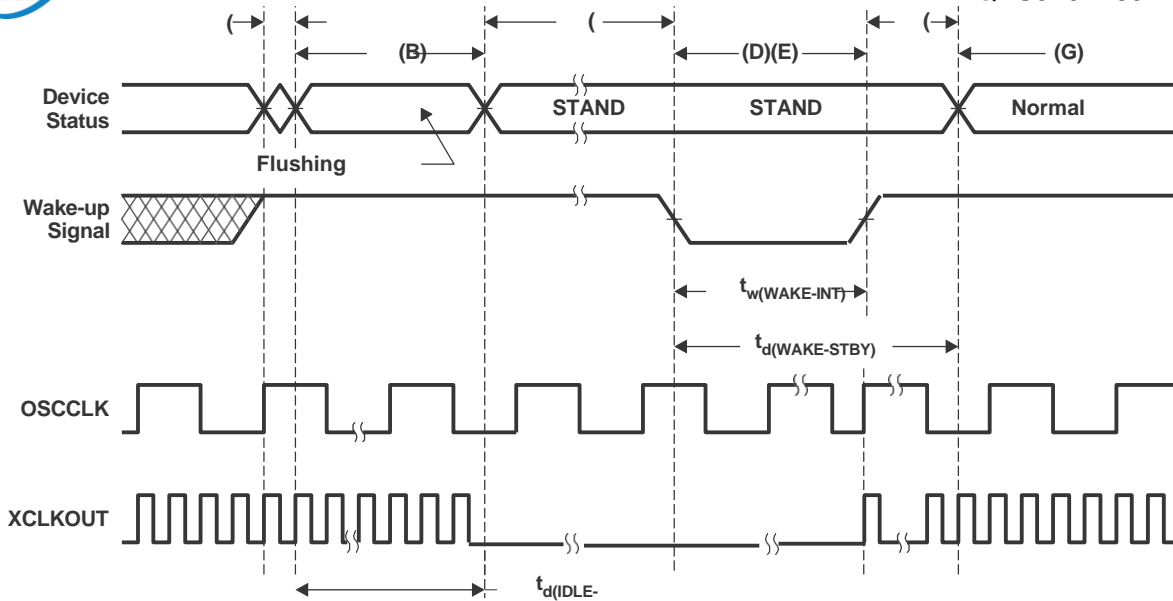
6.8.10.3.4 待机模式开关特征

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	最大值	单位
$t_d(\text{IDLE-XCOS})$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间			$16t_{c(\text{INTOSC1})}$	周期
$t_d(\text{WAKE-STBY})$	延迟时间 · 外部唤醒信号到程序执行重新开始的时间(1)				周期
		1. 从 RAM 唤醒		$3t_{c(\text{OSC})} + 15t_{c(\text{SYSCLK})} + t_w(\text{WAKE-INT})$	

1. 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。





1. 执行 IDLE 指令将器件置于待机模式。
2. LPM 块响应待机信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。
3. 外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
4. 外部唤醒信号驱动为有效。
5. 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将不确定，并且对于后续的唤醒脉冲，器件可能不会退出低功耗模式。
6. 在延迟周期后，退出待机模式。
7. 正常执行重新开始。器件将响应中断（如果启用）。

图 6-22. 待机进入和退出时序图

图 6-23 显示了停机模式的时序图。

6.8.10.3.5 停机模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间 · GPIO 唤醒信号 ⁽¹⁾	$t_{oscst} + 2t_{c(OSCCLK)}$		周期
$t_{w(WAKE-XRS)}$	脉冲持续时间 · XRS 唤醒信号 ⁽¹⁾	$t_{oscst} + 8t_{c(OSCCLK)}$		周期

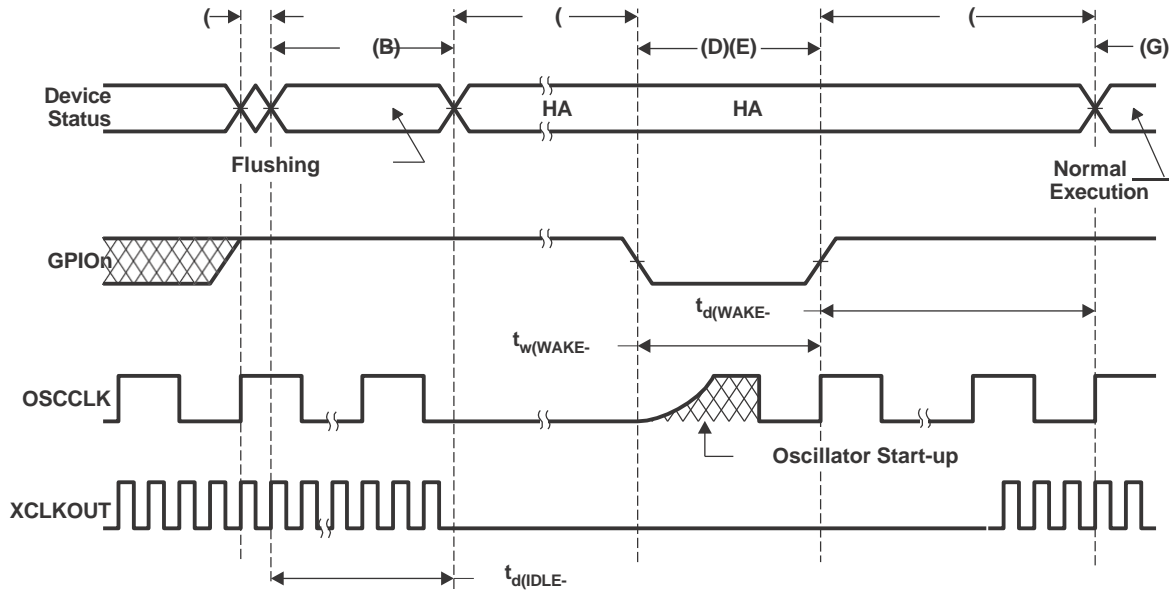
(1) 对于将 X1/X2 用于 OSCCLK 的应用，用户必须表征其特定的振荡器启动时间，因为它取决于器件外部的电路/布局。有关更多信息，请参阅晶体振荡器电气特性部分。对于将 INTOSC1 或 INTOSC2 用于 OSCCLK 的应用。振荡器启动时间不适用于在 X1 引脚上使用单端晶振的应用，因为它由器件外部供电。

6.8.10.3.6 停机模式开关特征

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间	$16t_{c(INTOSC1)}$		周期
$t_{d(WAKE-HALT)}$	延迟时间 · 外部唤醒信号结束到 CPU1 程序执行重新开始的时间			周期
	1. 从 RAM 唤醒	$75t_{c(OSCCLK)}$		





1. IDLE 指令被执行以将器件置于待机模式。
2. LPM 块响应 HALT 信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和和其他待定操作适当清除。
3. 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于待机模式，并且功耗非常低。可以在待机模式中保持零引脚内部振荡器（INTOSC1 和 INTOSC2）以及看门狗处于活动中。通过将 1 写入 CLKSRCCTL1.WDHALTI 中来完成这一点。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。
4. 当 GPIOn 引脚（用于使器件脱离待机模式）被驱动为低电平时，振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这样可在 PLL 锁序期间提供一个洁净的时钟信号。由于 GPIO 引脚的下降沿异步开始唤醒程序，在进入和处于 HALT 模式期间就注意保持低噪声环境。
5. 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将不确定，并且对于后续的唤醒脉冲，器件可能不会退出低功耗模式。
6. 当内核的 CLKIN 已启用时，器件将在一些延迟后响应中断（如果已启用）。现在退出待机模式。
7. 正常运行重新开始。
8. 用户必须在待机唤醒时重新锁定 PLL，以确保稳定的 PLL 锁定。

图 6-23. 待机模式进入和退出时序图

备注

CPU2 应在 CPU1 将器件置于待机模式之前进入空闲模式。在调用 IDLE 指令以进入待机之前，CPU1 应使用 LPMSTAT 寄存器来验证 CPU2 是否已进入空闲模式。

6.8.11 外部存储器接口 (EMIF)

EMIF 提供了一种将 CPU 连接到各种外部存储器件的方法，例如异步存储器（SRAM、NOR 闪存）或同步存储器 (SDRAM)。

6.8.11.1 异步内存支持

EMIF 支持异步内存：

1. SRAM
2. NOR 闪存

存在外部等待输入，其允许较慢的异步存储器扩展存储器访问。EMIF 模块最多支持三种芯片选择 (EMIF_CS[4:2])。每种芯片选择具有以下可独立编程的属性：

3. 数据总线宽度
4. 读取周期时序：设置、保持、选通
5. 写入周期时序：设置、保持、选通
6. 总线变换时间
7. 具有可编程超时的延长等待选项
8. 选择选通选项

6.8.11.2 同步 DRAM 支持

EMIF 存储器控制器与使用 32 位或 16 位数据总线的 JESD21-C SDR SDRAM 兼容。EMIF 具有单个 SDRAM 芯片选择 (EMIF_CS[0])。

用于同步存储器 (SDRAM) 的 EMIF 的地址空间超出程序地址总线的 22 位范围，只能通过数据总线访问，这给 C 编译器带来了限制，使其无法在此空间中有效地处理数据。因此，使用 SDRAM 时，建议用户在处理数据之前先将数据从外部存储器复制（使用 DMA）到 RAM 中。

支持的 SDRAM 配置包含：

1. 一存储库、二存储库和四存储库 SDRAM 器件
2. 具有 8、9、10 和 11 列地址的器件
3. 两个或三个时钟周期的 CAS 延迟
4. 16 位/32 位数据总线宽度
5. 3.3V LVCMOS 接口

此外，EMIF 支持将 SDRAM 置于自刷新模式和省电模式。自刷新模式允许将 SDRAM 置于低功耗状态，同时仍然保留内存内容，因为即使没有微控制器的时钟，SDRAM 也将继续进行自刷新。省电模式实现更低的功耗，但如果需要保留数据，微控制器必须定期唤醒并发出刷新。EMIF 模块不支持移动 SDRAM 器件。

在该器件上，EMIF 不支持对 SDRAM 配置进行突发访问。这意味着每次对外部 SDRAM 器件进行访问时都将有 CAS 延迟。

6.8.11.3 EMIF 电气数据和时序

6.8.11.3.1 异步RAM

图6-25 至图 6-28 显示了 EMIF 异步存储器的时序图。

6.8.11.3.1.1 EMIF 异步内存时序要求

编号 ⁽¹⁾			最小值	最大值	单位
读取和写入					
	E	EMIF 时钟周期	$t_{c(SYSCLK)}$		ns
2	$t_{w(EM_WAIT)}$	EMxWAIT 生效和无效的脉冲持续时间	2E		ns
读取					
12	$t_{su(EMDV-EMOE H)}$	建立时间 · EMxD[y:0] 在 \overline{EMxOE} 高电平之前有效	15		ns
13	$t_{h(EMOE H-EMDIV)}$	保持时间 · EMxD[y:0] 在 \overline{EMxOE} 高电平之后有效	0		ns
14	$t_{su(EMOEL-EMWAIT)}$	选通阶段结束前 · EMxWAIT 生效的建立时间 ⁽²⁾	4E+20		ns
写入					
28	$t_{su(EMWEL-EMWAIT)}$	选通阶段结束前 · EMxWAIT 生效的建立时间 ⁽²⁾	4E+20		ns

1. E = EMxCLK 周期，单位为 ns。

2. 在选通阶段结束前建立（如果没有插入扩展等待状态），此时 EMxWAIT 必须生效以增加延长等待状态。图 6-26 和图 6-28 描述了包含在选通阶段插入的扩展等待状态的 EMIF 事务。然而，作为延长等待周期的一部分插入的周期不应被计算在内；如果没有扩展等待周期，4E 要求则从保持 (HOLD) 阶段开始。

6.8.11.3.1.2 EMIF 异步存储器开关特性

编号 ⁽¹⁾ ⁽²⁾ ⁽³⁾	参数		最小值	最大值	单位
读取和写入					
1	$t_d(TURNAROUND)$	周转时间	(TA)*E - 3	(TA)*E+2	ns
读取					
3	$t_c(EMRCYCLE)$	EMIF 读取周期时间 (EW = 0)	(RS+RST+RH)*E - 3	(RS+RST+RH)*E+2	ns
		EMIF 读取周期时间 (EW=1) ⁽⁴⁾	(RS+RST+RH+(MEWC*16))*E - 3	(RS+RST+RH+(MEWC*16))*E+2	ns
4	$t_{su(EMCEL-EMOEL)}$	输出建立时间 · $\overline{EMxCS[y:2]}$ 低电平至 \overline{EMxOE} 低电平 (SS = 0)	(RS)*E - 3	(RS)*E+2	ns
		输出建立时间 · $\overline{EMxCS[y:2]}$ 低电平至 \overline{EMxOE} 低电平 (SS = 1)	-3	2	ns
5	$t_h(EMOE H-EMCEH)$	输出保持时间 · \overline{EMxOE} 高电平至 $\overline{EMxCS[y:2]}$ 高电平 (SS = 0)	(RH)*E - 3	(RH)*E	ns
		输出保持时间 · \overline{EMxOE} 高电平至 $\overline{EMxCS[y:2]}$ 高电平 (SS = 1)	-3	0	ns
6	$t_{su(EMBAV-EMOEL)}$	输出建立时间 · EMxBA[y:0] 有效至 \overline{EMxOE} 低	(RS)*E - 3	(RS)*E+2	ns
7	$t_h(EMOE H-EMBAIV)$	输出保持时间 · \overline{EMxOE} 高电平至 EMxBA[y:0] 无效	(RH)*E - 3	(RH)*E	ns
8	$t_{su(EMAV-EMOEL)}$	输出建立时间 · EMxA[y:0] 有效至 \overline{EMxOE} 低	(RS)*E - 3	(RS)*E+2	ns
9	$t_h(EMOE H-EMAIV)$	输出保持时间 · \overline{EMxOE} 高电平至 EMxA[y:0] 无效	(RH)*E - 3	(RH)*E	ns

6.9.11.3.1.2 EMIF 异步存储器开关特性 (续)

编号 ⁽¹⁾ (2) (3)	参数		最小值	最大值	单位
10	$t_w(\text{EMOEL})$	EMxOE 有效低电平宽度 (EW = 0)	(RST)*E - 1	(RST)*E+1	ns
		EMxOE 有效低电平宽度 (EW = 1) ⁽⁴⁾	(RST+(MEWC*16))*E - 1	(RST+(MEWC*16))*E+1	ns
11	$t_d(\text{EMWAITH-EMOE})$	延迟时间·从 EMxWAIT 取消置位到 EMxOE 高电平	4E+10	5E+15	ns
29	$t_{su}(\text{EMDQMV-EMOEL})$	输出建立时间·EMxDQM[y:0] 有效至 EMxOE 低	(RS)*E - 3	(RS)*E+2	ns
30	$t_h(\text{EMOE-EMDQMV})$	输出保持时间·EMxOE 高电平至 EMxDQM[y:0] 无效	(RH)*E - 3	(RH)*E	ns
写入					
15	$t_c(\text{EMWCYCLE})$	EMIF 写入周期时间 (EW = 0)	(WS+WST+WH)*E - 3	(WS+WST+WH)*E+1	ns
		EMIF 写入周期时间 (EW=1) ⁽⁴⁾	(WS+WST+WH+(MEWC*16))*E - 3	(WS+WST+WH+(MEWC*16))*E+1	ns
16	$t_{su}(\text{EMCEL-EMWEL})$	输出建立时间·EMxCS[y:2]低电平至 EMxWE 低电平 (SS = 0)	(WS)*E - 3	(WS)*E+1	ns
		输出建立时间·EMxCS[y:2]低电平至 EMxWE 低电平 (SS = 1)	-3	1	ns
17	$t_h(\text{EMWEH-EMCEH})$	输出保持时间·EMxWE 高电平至 EMxCS[y:2]高电平 (SS = 0)	(WH)*E - 3	(WH)*E	ns
		输出保持时间·EMxWE 高电平至 EMxCS[y:2]高电平 (SS = 1)	-3	0	ns
18	$t_{su}(\text{EMDQMV-EMWEL})$	输出建立时间·EMxDQM[y:0] 有效至 EMxWE 低	(WS)*E - 3	(WS)*E+1	ns
19	$t_h(\text{EMWEH-EMDQMV})$	输出保持时间·EMxWE 高电平至 EMxDQM[y:0] 无效	(WH)*E - 3	(WH)*E	ns
20	$t_{su}(\text{EMBAV-EMWEL})$	输出建立时间·EMxBA[y:0] 有效至 EMxWE 低	(WS)*E - 3	(WS)*E+1	ns
21	$t_h(\text{EMWEH-EMBAIV})$	输出保持时间·EMxWE 高电平至 EMxBA[y:0] 无效	(WH)*E - 3	(WH)*E	ns
22	$t_{su}(\text{EMAV-EMWEL})$	输出建立时间·EMxA[y:0] 有效至 EMxWE 低	(WS)*E - 3	(WS)*E+1	ns
23	$t_h(\text{EMWEH-EMAIV})$	输出保持时间·EMxWE 高电平至 EMxA[y:0] 无效	(WH)*E - 3	(WH)*E	ns
24	$t_w(\text{EMWEL})$	EMxWE 有效低电平宽度 (EW = 0)	(WST)*E - 1	(WST)*E+1	ns
		EMxWE 有效低电平宽度 (EW = 1) ⁽⁴⁾	(WST+(MEWC*16))*E - 1	(WST+(MEWC*16))*E+1	ns
25	$t_d(\text{EMWAITH-EMWEH})$	延迟时间·从 EMxWAIT 取消置位到 EMxWE 高电平	4E+10	5E+15	ns
26	$t_{su}(\text{EMDV-EMWEL})$	输出建立时间·EMxD[y:0] 有效至 EMxWE 低	(WS)*E - 3	(WS)*E+1	ns
27	$t_h(\text{EMWEH-EMDIV})$	输出保持时间·EMxWE 高电平至 EMxD[y:0] 无效	(WH)*E - 3	(WH)*E	ns

1. TA = 周转, RS = 读取建立, RST = 读取选通, RH = 读取保持, WS = 写入建立, WST = 写入选通, WH = 写入保持, MEWC = 最大外部等待周期。这些参数通过异步组和异步等待周期配置寄存器进行编程。这些参数支持以下范围内的值: TA[4-1]、RS[16-1]、RST[64-4]、RH[8-1]、WS[16-1]、WST[64-1]、WH[8-1] 和 MEWC[1-256]。

2. E = EMxCLK 周期, 单位为 ns。

3. EWC = 由 EMxWAIT 输入信号确定的外部等待周期。EWC 支持下列范围的值：EWC[256 - 1]。超时之前的最大等待时间由异步等待周期配置寄存器中的位字段 MEWC 指定。

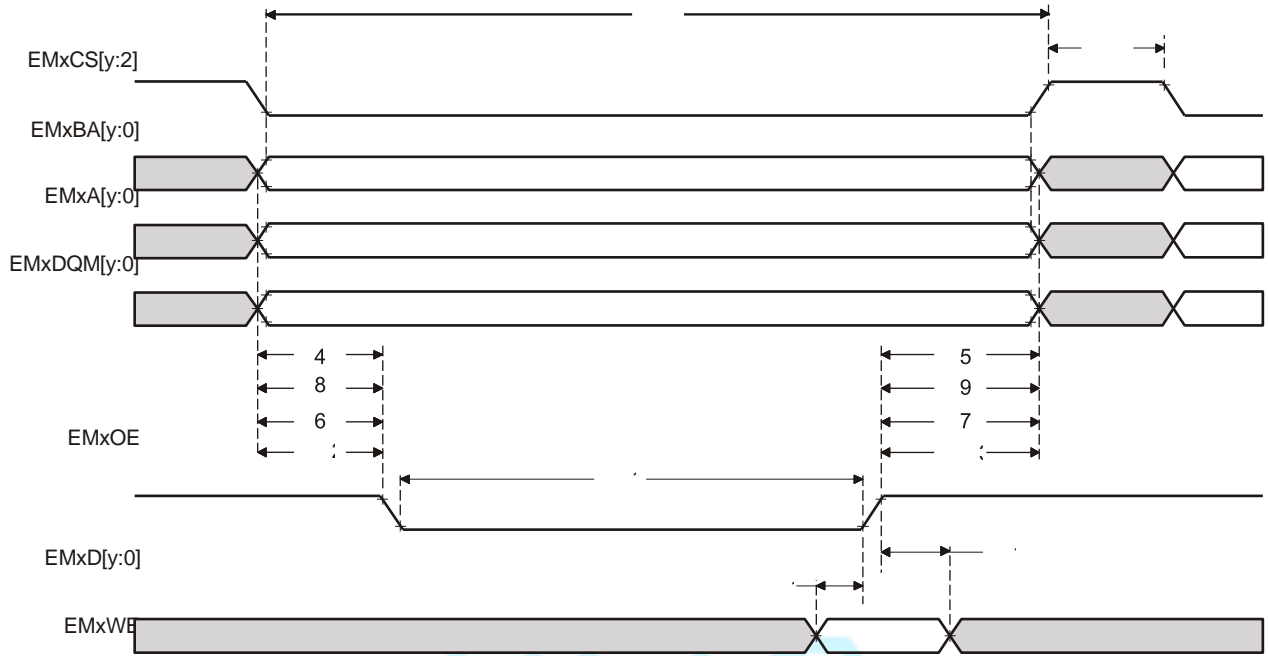


图 6-25. 异步存储器读取时序

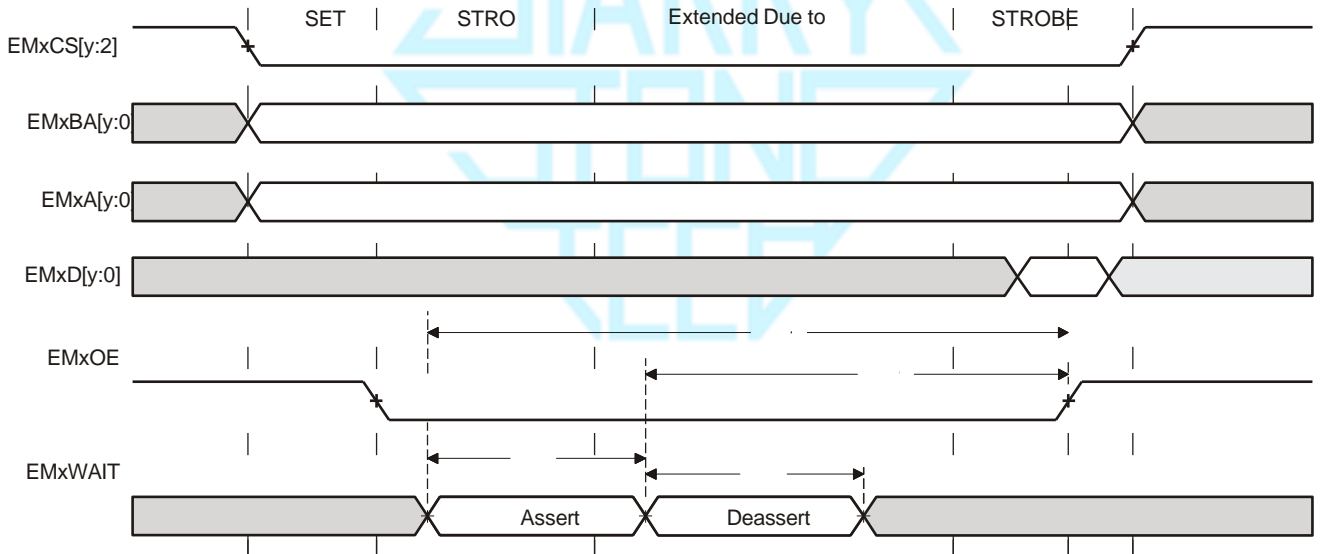


图 6-26. EMxWAIT 读取时序要求

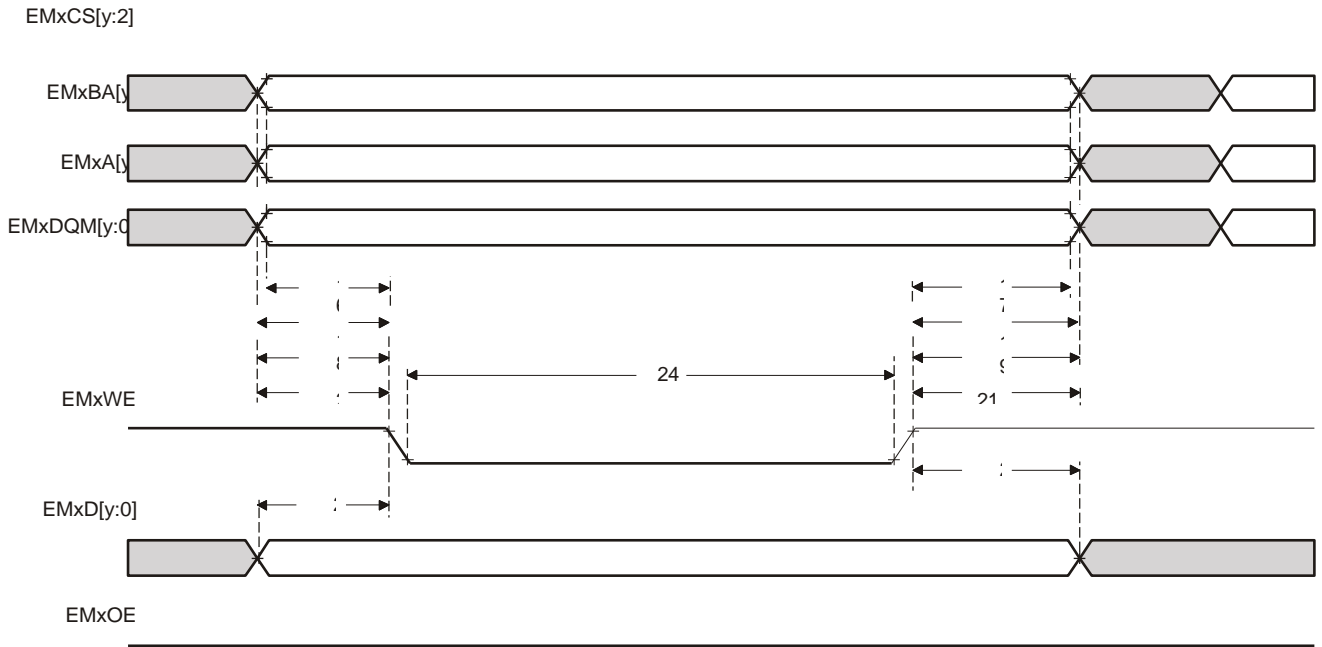


图 6-27. 异步存储器写入时序

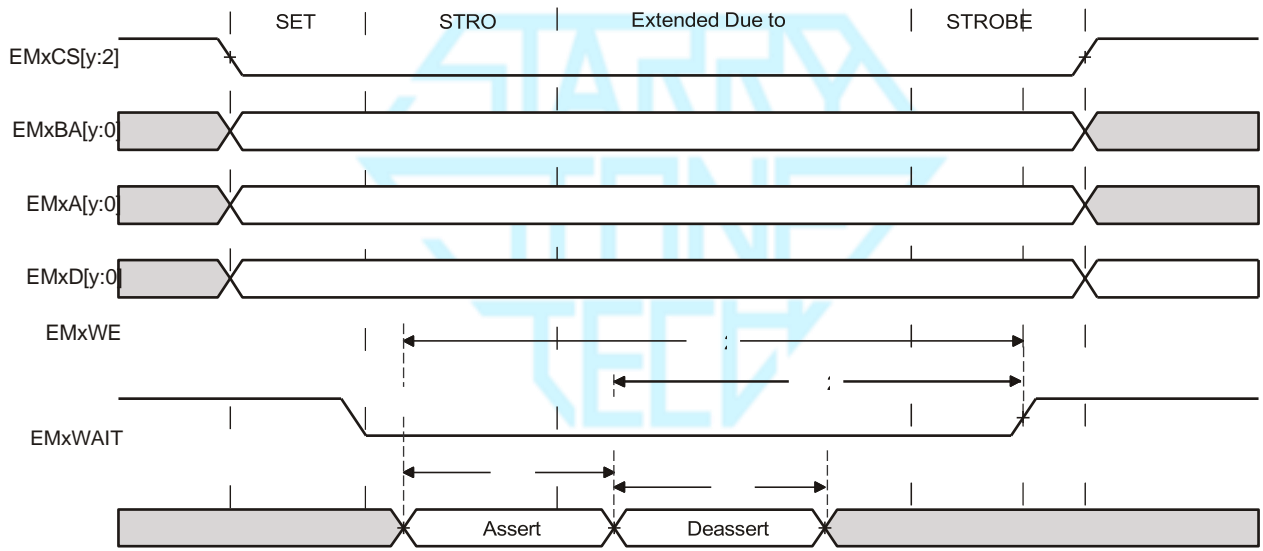


图 6-28. EMxWAIT 写入时序要求

6.8.11.3.2 同步RAM

图 6-30 显示了同步存储器的时序图。

6.8.11.3.2.1 EMIF 同步存储器时序要求

编号	参数	描述	最小值	最大值	单位
19	$t_{su}(EMIFDV-EM_CLKH)$	EMxCLK 上升前 · EMxD[y:0] 上的读取数据有效的输入建立时间	2		ns
20	$t_h(CLKH-DIV)$	EMxCLK 上升后 · EMxD[y:0] 上的读取数据有效的输入保持时间	1.5		ns

6.8.11.3.2.2 EMIF 同步存储器开关特征

编号	参数	描述	最小值	最大值	单位
1	$t_c(CLK)$	周期时间 · EMIF 时钟 EMxCLK	10		ns
2	$t_w(CLK)$	脉冲宽度 · EMIF 时钟 EMxCLK 高电平或低电平	3		ns
3	$t_d(CLKH-CSV)$	EMxCLK 上升至 $\overline{EMxCS[y:2]}$ 有效的延迟时间		8	ns
4	$t_{oh}(CLKH-CSIV)$	EMxCLK 上升至 $\overline{EMxCS[y:2]}$ 无效的延迟时间	1		ns
5	$t_d(CLKH-DQMV)$	EMxCLK 上升至 EMxDQM[y:0] 有效的延迟时间		8	ns
6	$t_{oh}(CLKH-DQMIV)$	EMxCLK 上升至 EMxDQM[y:0] 无效的延迟时间	1		ns
7	$t_d(CLKH-AV)$	EMxCLK 上升至 EMxA[y:0] 和 EMxBA[y:0] 有效的延迟时间		8	ns
8	$t_{oh}(CLKH-AIV)$	EMxCLK 上升至 EMxA[y:0] 和 EMxBA[y:0] 无效的延迟时间	1		ns
9	$t_d(CLKH-DV)$	EMxCLK 上升至 EMxD[y:0] 有效的延迟时间		8	ns
10	$t_{oh}(CLKH-DIV)$	EMxCLK 上升至 EMxD[y:0] 无效的延迟时间	1		ns
11	$t_d(CLKH-RASV)$	EMxCLK 上升至 EMxRAS 有效的延迟时间		8	ns
12	$t_{oh}(CLKH-RASIV)$	EMxCLK 上升至 EMxRAS 无效的延迟时间	1		ns
13	$t_d(CLKH-CASV)$	EMxCLK 上升至 EMxCAS 有效的延迟时间		8	ns
14	$t_{oh}(CLKH-CASIV)$	EMxCLK 上升至 EMxCAS 无效的延迟时间	1		ns
15	$t_d(CLKH-WEV)$	EMxCLK 上升至 \overline{EMxWE} 有效的延迟时间		8	ns
16	$t_{oh}(CLKH-WEIV)$	EMxCLK 上升至 \overline{EMxWE} 无效的延迟时间	1		ns
17	$t_d(CLKH-DHZ)$	EMxCLK 上升至 EMxD[y:0] 三态的延迟时间		8	ns
18	$t_{oh}(CLKH-DLZ)$	EMxCLK 上升至 EMxD[y:0] 驱动的输出保持时间	1		ns

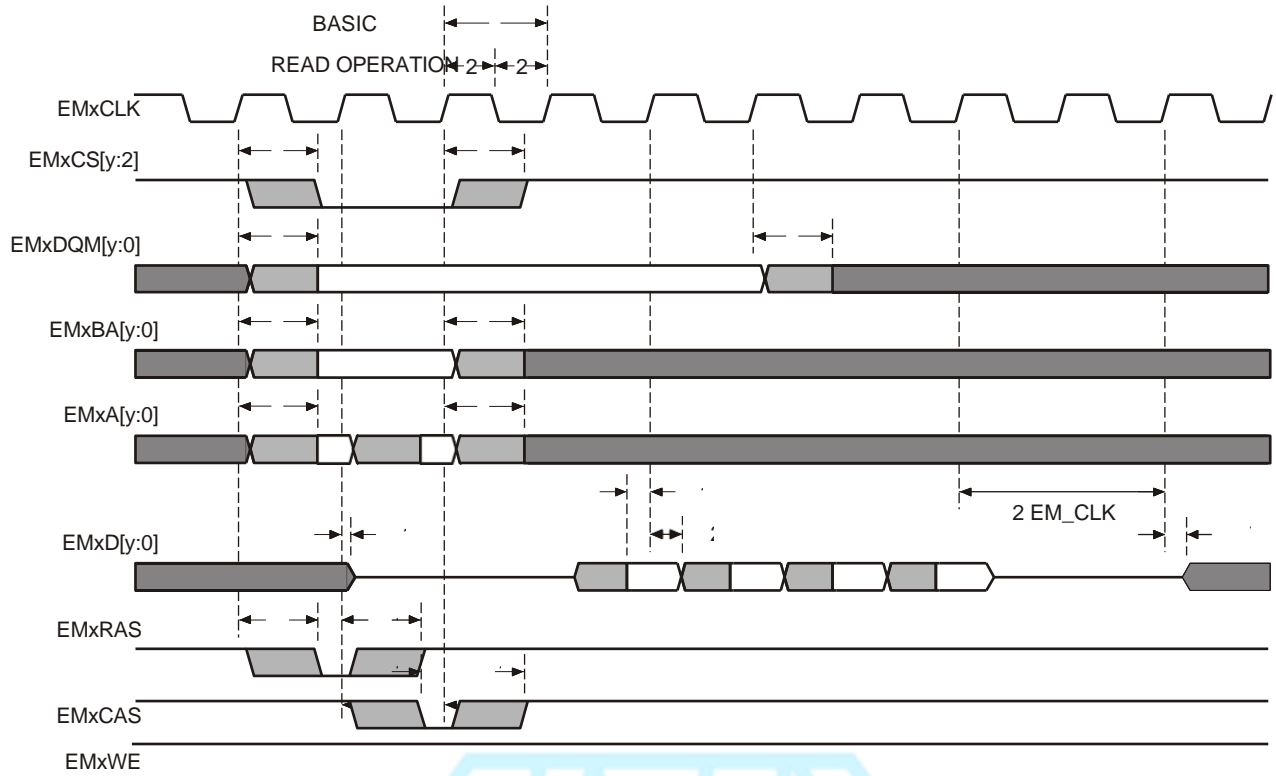


图 6-29. 基本 SDRAM 读取操作



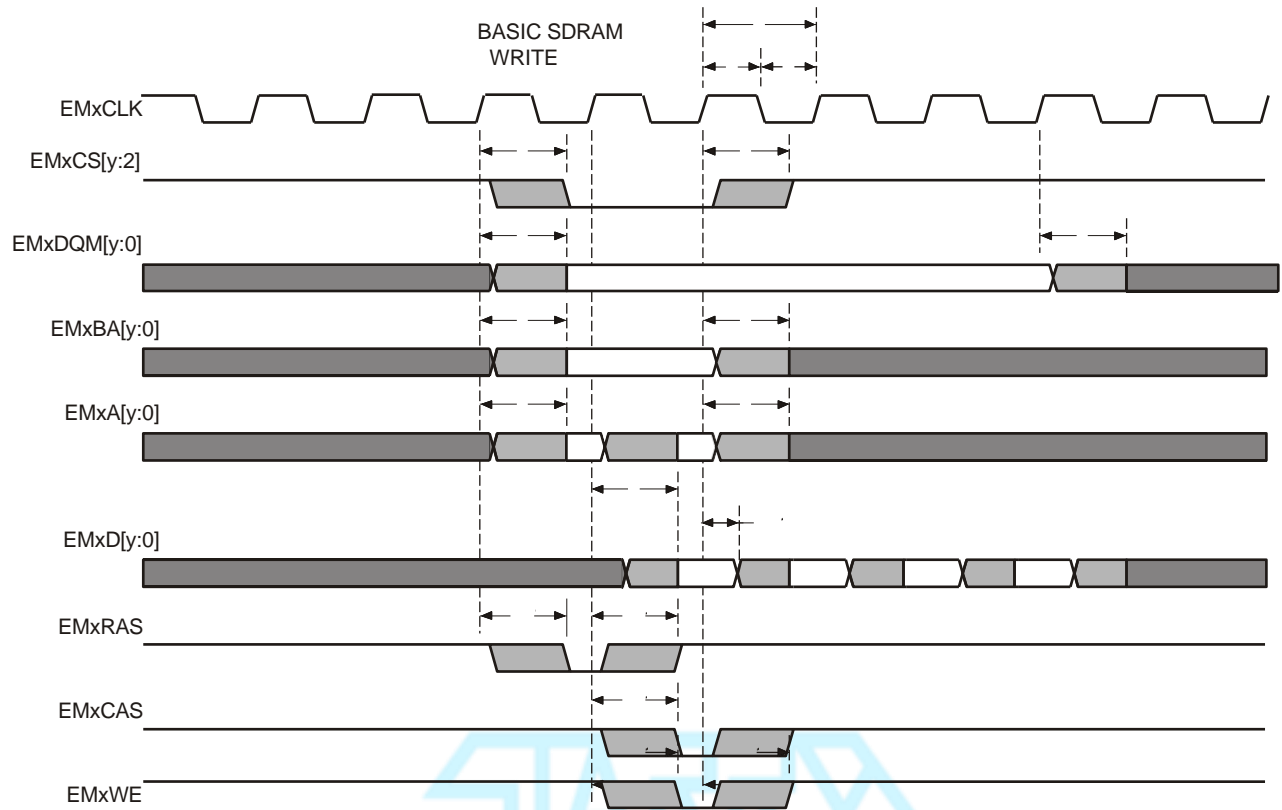


图 6-30. 基本 SDRAM 写入操作

6.9 模拟外设

本节介绍了模拟子系统模块。

该器件上的模拟模块包括 ADC、温度传感器、缓冲的 DAC 和 CMPSS。

模拟子系统具有以下特性：

1. 灵活的电压基准
 - ADC 以 V_{REFHix} 和 V_{REFLOx} 引脚为基准。
 - V_{REFHix} 引脚电压必须从外部驱动。
2. 缓冲 DAC 以 V_{REFHix} 和 V_{SSA} 为基准。
 - 或者，这些 DAC 可以以 $VDAC$ 引脚和 V_{SSA} 为基准。
3. 比较器 DAC 以 V_{DDA} 和 V_{SSA} 为基准。
 - 或者，这些 DAC 可以以 $VDAC$ 引脚和 V_{SSA} 为基准。
4. 灵活地使用引脚
 - 缓冲 DAC 和比较器子系统功能与 ADC 输入多路复用
5. 所有 ADC 上的 V_{REFLO} 的内部连接用于失调电压自我校准

图 6-31 显示了 337 焊球 ZWT 封装的模拟子系统方框图。图 6-32 显示了 176 引脚 PTP 封装的模拟子系统方框图。图 6-33 显示了 100 引脚 PZP 封装的模拟子系统方框图。



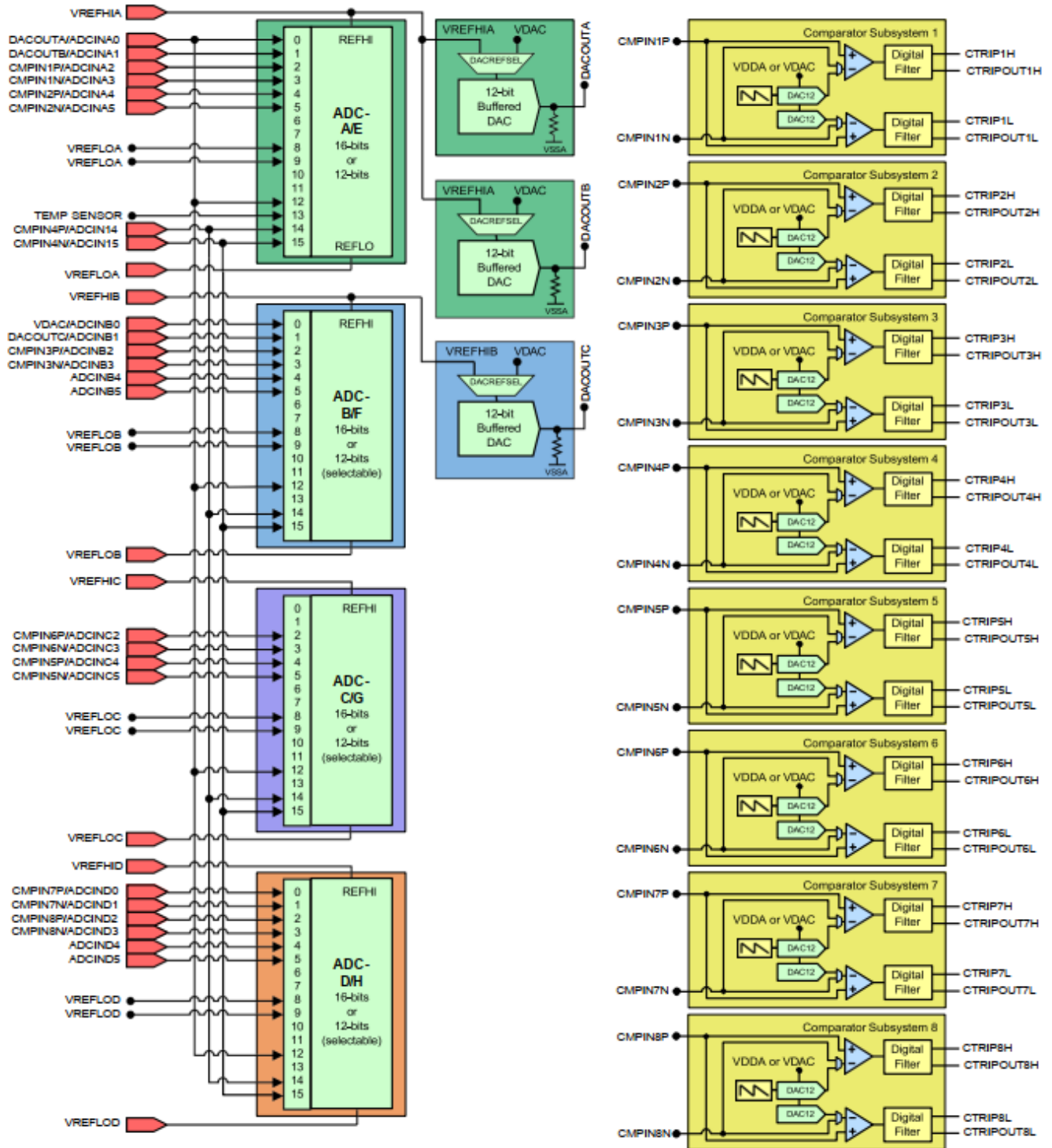


图 6-31. 模拟子系统方框图 (337 焊球 ZWT)

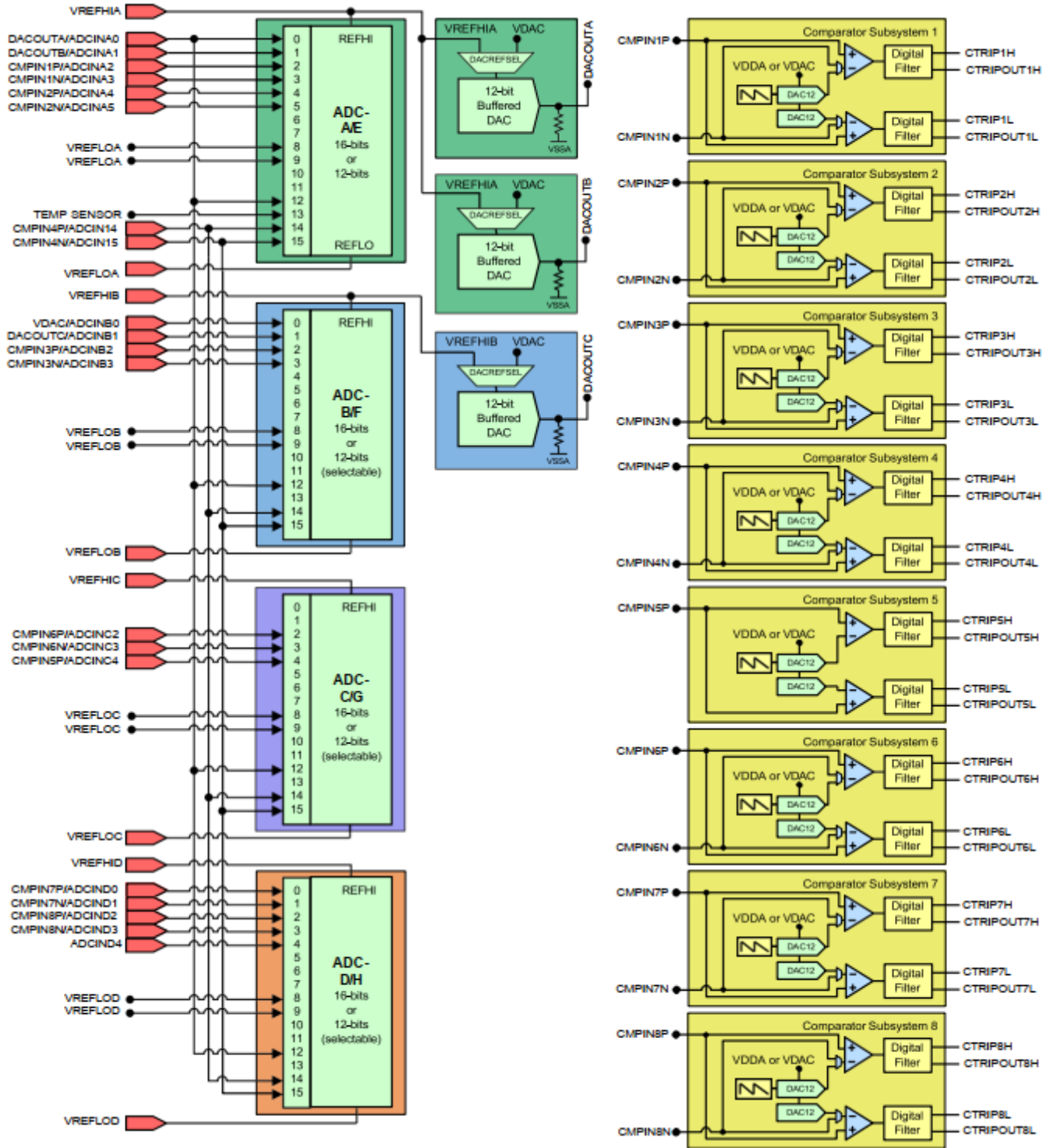


图 6-32. 模拟子系统方框图 (176 引脚 PTP)

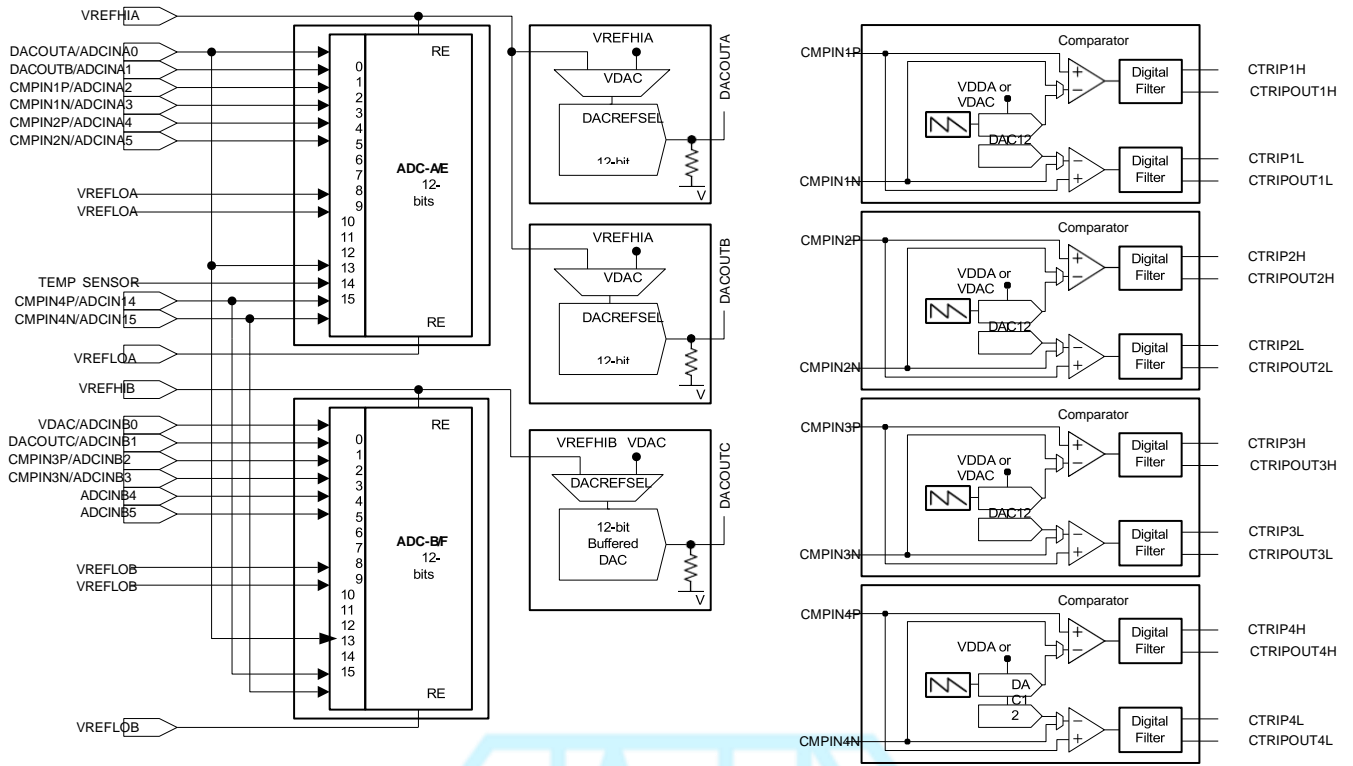


图 6-33. 模拟子系统方框图 (100 引脚 PZP)

6.9.1 模数转换器 (ADC)

该器件上的 ADC 是逐次逼近 (SAR) 型 ADC，分辨率可选择为 16 位或 12 位。存在多个允许同时采样的 ADC 模块。

每个 ADC 具有以下特性：

- 分辨率可选择 16 位或 12 位
- 由 V_{REFHI} 和 V_{REFLO} 设置的比例式外部基准
- 单端/差分信号转换 (16 位模式)
- 单端/差分信号转换 (12 位模式)
- 具有最多 16 个通道 (单端) 或 8 个通道 (差分) 的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 多个触发源
 - 软件立即启动
 - 所有 ePWM
 - GPIO XINT2
 - CPU 计时器
 - ADCINT1 或 2
- 四个灵活的 PIE 中断
- 突发模式
- 四个后处理块，每块具有：
 - 饱和和偏移量校准
 - 设定点计算的误差
 - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
 - 触发至采样延迟采集



图 6-34 显示了 ADC 模块方框图。

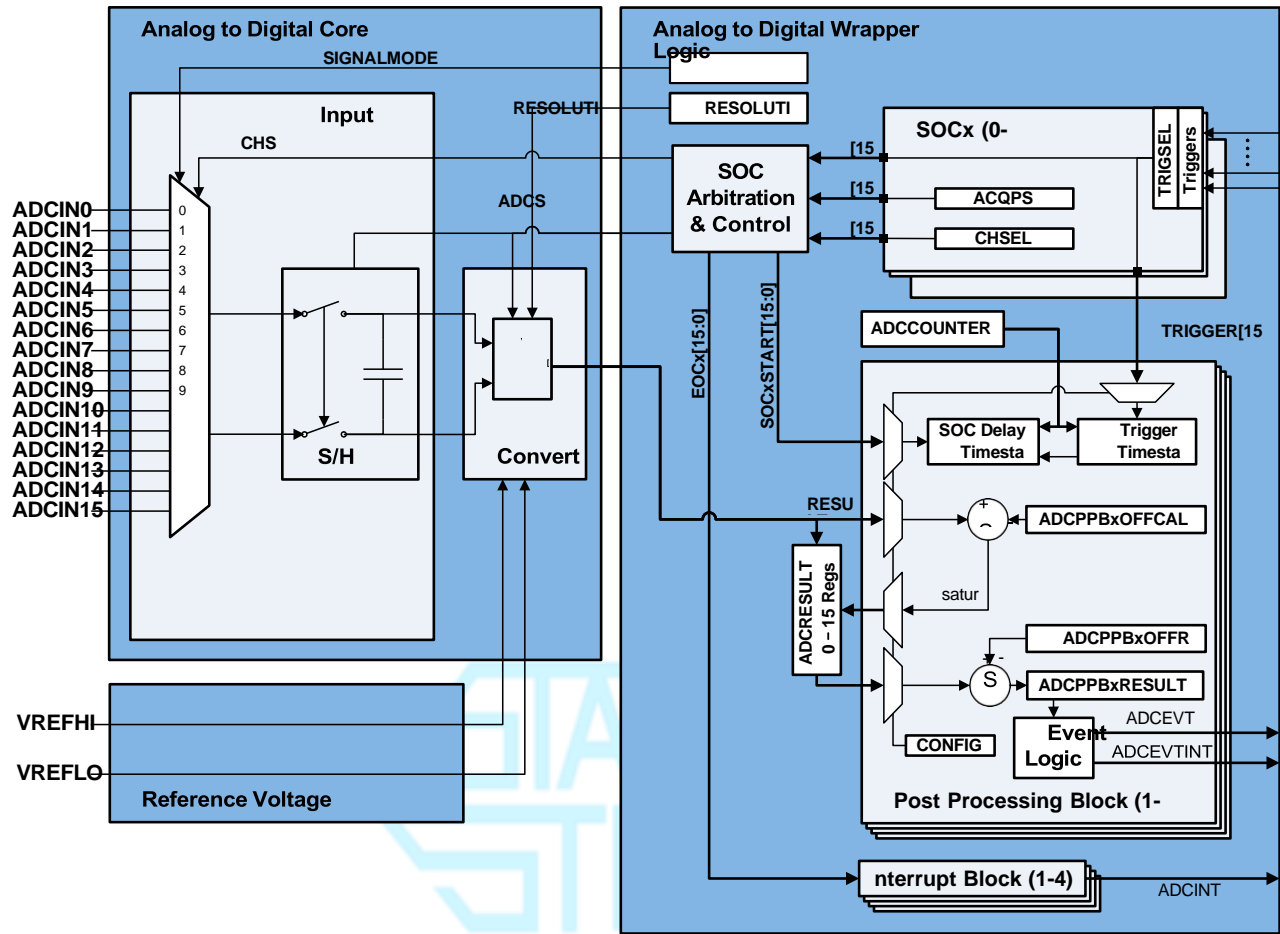


图 6-34. ADC 模块方框图

6.9.1.1 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块控制。表 6-11 汇总了基本的 ADC 选项及其可配置性级别。

表 6-11. ADC 选项和配置级别

选项	可配置性
时钟	通过模块 ⁽¹⁾
分辨率	通过模块 ⁽¹⁾
信号模式	通过模块
基准电压源	不可配置 (仅限外部参考)
触发源	通过 SOC ⁽¹⁾
转换后的通道	通过 SOC
采集窗口持续时间	通过 SOC ⁽¹⁾
EOC 位置	通过模块
突发模式	通过模块 ⁽¹⁾

(1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。

6.9.1.1.1 信号模式

ADC 支持两种信号模式：单端和差分。在单端模式中，以 VREFLO 为基准通过单个引脚 (ADCINx)对转换器的输入电压 进行采样。在差分信号模式中，通过一对输入引脚对转换器的输入电压进行采样，其中一个输入引脚为正输入引脚 (ADCINxP)，且另一个输入引脚为负输入引脚 (ADCINxN)。实际输入电压是两个引脚之间的差值 (ADCINxP - ADCINxN)。图 6-35 显示了差分信号模式。图 6-36 显示了单端信号模式。

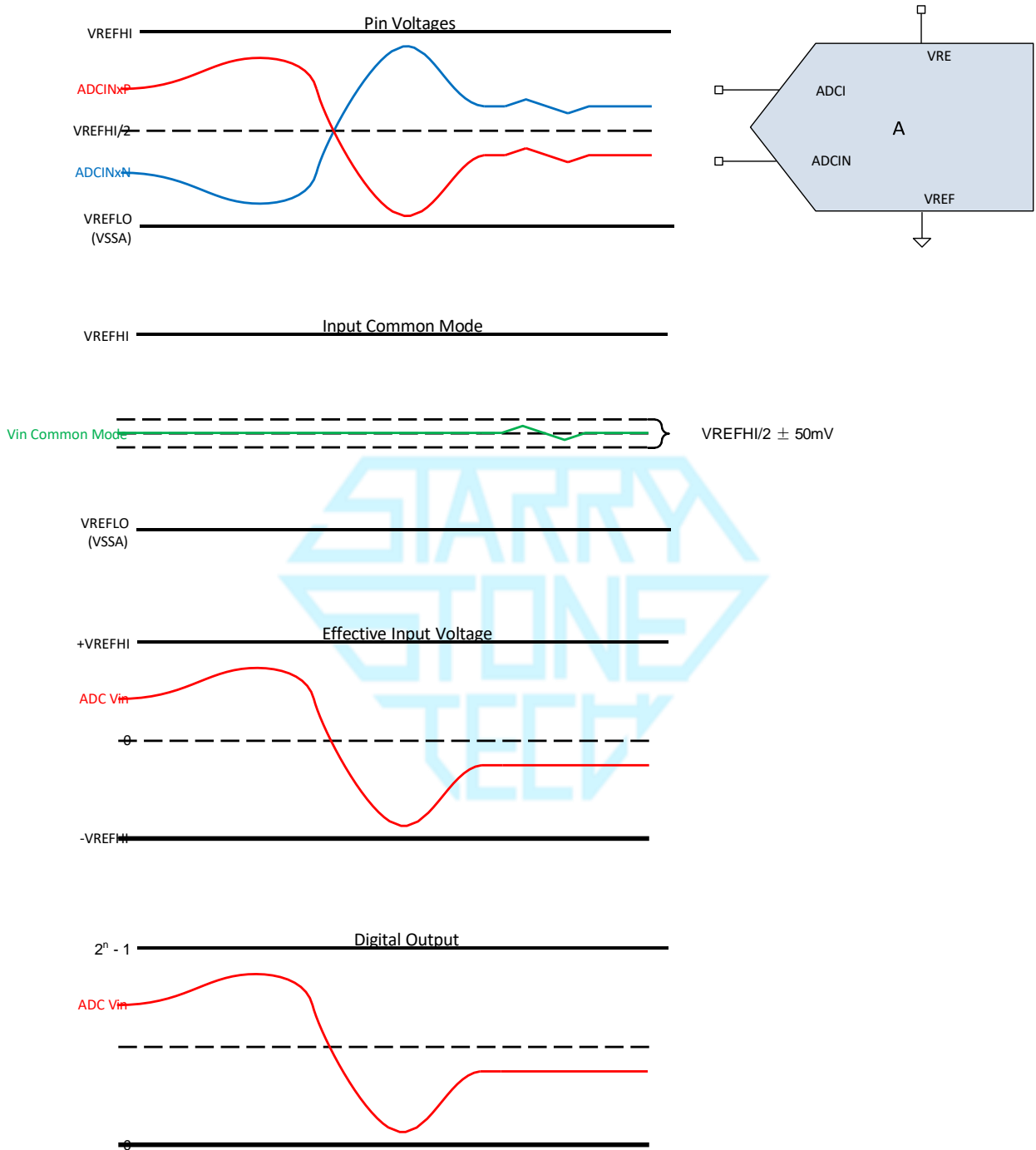


图 6-35. 差分信号模式

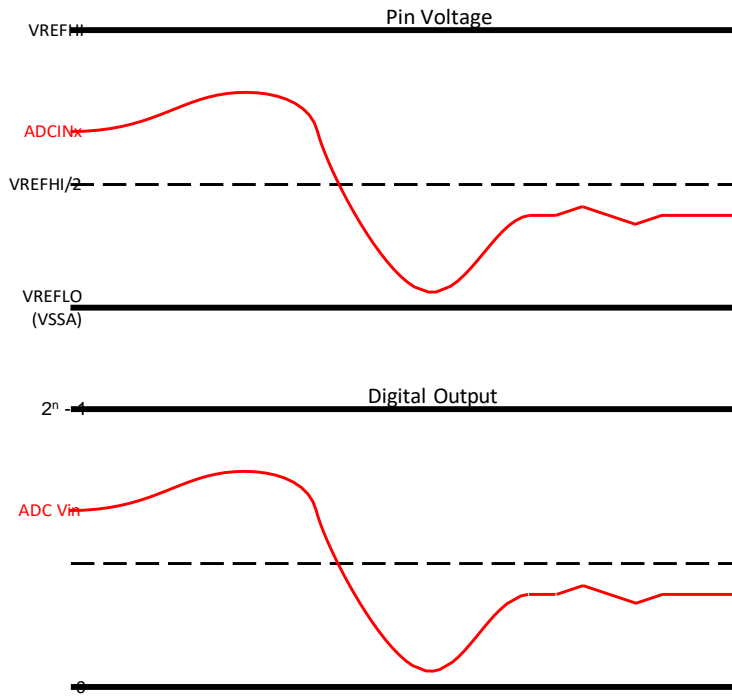


图 6-36. 单端信号模式



6.9.1.2 ADC 电气数据和时序

6.9.1.2.1 ADC 工作条件 (16 位模式)

1. 在推荐的工作条件下 (除非另有说

	最小值	典型值	最大值	单位
ADCCLK (源自 PERx.SYSCLK)	5		40	MHz
采样窗口持续时间 (由 ACQPS 和 PERx.SYSCLK 设置) ⁽¹⁾	320			ns
V _{REFHI}	2.4	2.5 或 3.0	V _{DDA}	V
V _{REFLO}	V _{SSA}	0	V _{SSA}	V
V _{REFHI} - V _{REFLO}	2.4		V _{DDA}	V
ADC 输入转换范围	V _{REFLO}		V _{REFHI}	V
ADC 输入信号共模电压 ^{(2) (3)}	V _{REFCM} - 50	V _{REFCM}	V _{REFCM} + 50	mV

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度, 才能确保 ADC 正确工作。

(2) $V_{REFCM} = (V_{REFHI} + V_{REFLO}) / 2$

(3) 如果负 ADC 输入引脚连接到 V_{SSA} 或 V_{REFLO}, 则不会满足 V_{REFCM} 要求。

备注

工作过程中, ADC 输入应保持低于 V_{DDA} + 0.3V。如果 ADC 输入超过此电平, 器件内部的 V_{REF} 可能会受到干扰, 这可能会影响使用相同 V_{REF} 的其他 ADC 或 DAC 输入的结果。

备注

V_{REFHI} 引脚必须保持低于 V_{DDA} + 0.3V, 以确保正常工作。如果 V_{REFHI} 引脚超过此电平, 可能会激活阻塞电路, 并且 V_{REFHI} 的内部值可能会在内部浮动至 0V, 从而导致 ADC 转换或 DAC 输出不正确。

6.9.1.2.2 ADC 特征 (16 位模式)

在建议运行条件下测得 (除非另有说明)⁽⁶⁾

参数	测试条件	最小值	典型值	最大值	单位
ADC 转换周期 ⁽⁴⁾		23		102	ADCCLK
上电时间 (将 ADCPWDNZ 设置为第一次转换后)				500	μs
SNR	V _{REFHI} = 3.3V · f _{in} = 11kHz		99.07		dB
SNDR	V _{REFHI} = 3.3V · f _{in} = 11kHz		79.23		dB
THD	V _{REFHI} = 3.3V · f _{in} = 11kHz		-76.20		dB
ENOB	V _{REFHI} = 3.3V · f _{in} = 11kHz · 单端模式		13.15		位
	V _{REFHI} = 3.3V · f _{in} = 11kHz · 差分模式		13.65		
V _{REFHI} 输入电流			190		μA

6.9.1.2.3 ADC 工作条件 (12 位模式)

在建议运行条件下测得 (除非另有说明)

	最小值	典型值	最大值	单位
ADCCLK (源自 PERx.SYSCLK)	5		40	MHz
V_{REFHI}	2.4	2.5 或 3.0	V_{DDA}	V
V_{REFLO}	V_{SSA}	0	V_{SSA}	V
$V_{REFHI} - V_{REFLO}$	2.4		V_{DDA}	V
ADC 输入转换范围	V_{REFLO}		V_{REFHI}	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度, 才能确保 ADC 正确工作。

备注

工作过程中, ADC 输入应保持低于 $V_{DDA} + 0.3V$ 。如果 ADC 输入超过此电平, 器件内部的 V_{REF} 可能会受到干扰, 这可能会影响使用相同 V_{REF} 的其他 ADC 或 DAC 输入的结果。

备注

V_{REFHI} 引脚必须保持低于 $V_{DDA} + 0.3V$, 以确保正常工作。如果 V_{REFHI} 引脚超过此电平, 可能会激活阻塞电路, 并且 V_{REFHI} 的内部值可能会在内部浮动至 0V, 从而导致 ADC 转换或 DAC 输出不正确。

6.9.1.2.4 ADC 特征 (12 位模式)

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
ADC 转换周期 ⁽¹⁾		23		102	ADCCLK
上电时间				500	μs
SNR	$V_{REFHI} = 3.3V \cdot f_{in} = 100 \text{ kHz}$		69.1		dB
THD	$V_{REFHI} = 3.3V \cdot f_{in} = 100 \text{ kHz}$		-88		dB
SFDR	$V_{REFHI} = 3.3V \cdot f_{in} = 100 \text{ kHz}$		89		dB

6.9.1.2.5 ADC 特征 (12 位模式) (续)

在建议运行条件下测得 (除非另有说明) (5)

1. 请

参数	测试条件	最小值	典型值	最大值	单位
ENOB ^{(3) (10)}	$V_{REFHI} = 3.3V \cdot f_{in} = 100kHz$ · 单端模式		11.1		位
	$V_{REFHI} = 3.3V \cdot f_{in} = 100kHz$ · 差分模式		11.4		
V_{REFHI} 输入电流			130		μA

- (1) 请参阅[相关章节](#)。
- (2) 没有丢失的代码。
- (3) 交流参数将受到时钟源精度和抖动的影响，在为系统选择时钟源时应考虑到这一点。用于这些参数的时钟源是通过 PLL 馈送的高精度外部时钟。片上内部振荡器的抖动比外部晶振更高，如果将其用作时钟源，这些参数将会降低。
- (4) 由于多个 ADC 同时运行而产生的最大 DC 代码偏差。
- (5) 典型值是在 $V_{REFHI} = 3.3V$ 且 $V_{REFLO} = 0V$ 时测量的。在 $V_{REFHI} = 3.3V$ 且 $V_{REFLO} = 0V$ 时对最小值和最大值进行测试或表征。
- (6) 一个 ADC 在工作，而其他所有 ADC 都处于空闲状态。
- (7) 所有 ADC 都以相同的 ADCCLK、S+H 持续时间、触发器和分辨率工作。
- (8) 任何以异构 ADCCLK、S+H 持续时间、触发器或分辨率工作的 ADC。
- (9) 基于特征化的值。
- (10) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 V_{REFHI} 引脚相邻的引脚上的 I/O 活动已降至最低。

6.9.1.2.6 ADCEXTSOC 时序要求

		最小值 ⁽¹⁾	最大值	单位
$t_{w(INT)}$	脉冲持续时间 · INT 输入低电平/高电平			
	同步	$2t_c(SYSCLK)$		周期
	带限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_c(SYSCLK)$		周期

- (1) 有关输入限定器参数的说明。

6.9.1.2.7 ADC 输入模型

备注

ADC 通道 ADCINA0、ADCINA1 和 ADCINB1 有一个 $50k\Omega$ 下拉电阻器连接到 V_{SSA} 。

对于差分工作，图 6-37 给出了 ADC 输入特征。

6.9.1.2.7.1 差分输入模型参数

	说明	值 (16 位模式)
C_p	寄生输入电容	请参阅 表 6-12
R_{on}	采样开关电阻	700Ω
C_h	采样电容器	$16.5pF$
R_s	标称源阻抗	50Ω

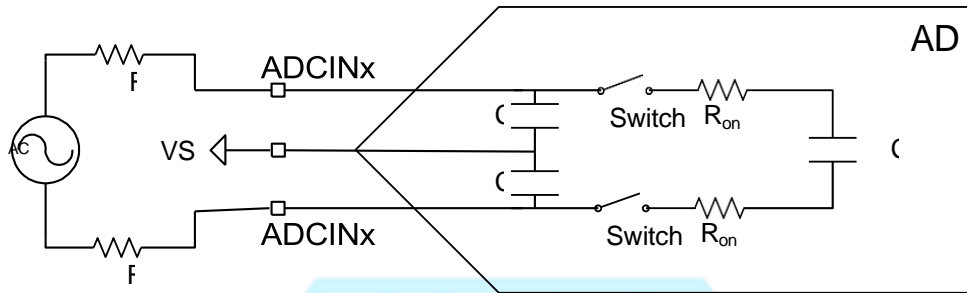


图 6-37. 差分输入模型

在单端运行模式下，图 6-38 所述。

6.9.1.2.7.2 单端输入模型参数

	说明	VALUE (12 位模式)
C_p	寄生输入电容	请参阅 表 6-12
R_{on}	采样开关电阻	425Ω
C_h	采样电容器	$14.5pF$
R_s	标称源阻抗	50Ω

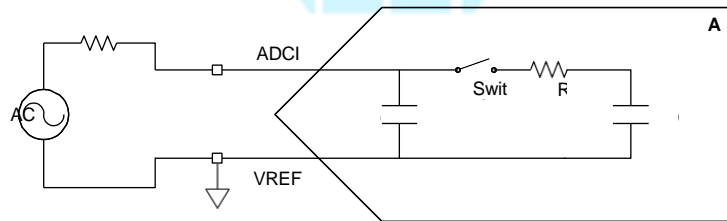


图 6-38. 单端输入模型

表 6-12 显示了每个通道上的寄生电容。此外，启用比较器会在比较器正输入上增加约 $1.4pF$ 的电容，并在比较器负输入上增加约 $2.5pF$ 的电容。

表 6-12. 每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
ADCINA0	12.9	不适用

表 6-12. 每通

道寄生电容 (续)

ADC 通道	C _p (pF)	
	比较器已禁用	比较器已启用
ADCINA1	10.3	不适用
ADCINA2	5.9	7.3
ADCINA3	6.3	8.8
ADCINA4	5.9	7.3
ADCINA5	6.3	8.8
ADCINB0 ⁽¹⁾	117.0	不适用
ADCINB1	10.6	不适用
ADCINB2	5.9	7.3
ADCINB3	6.2	8.7
ADCINB4	5.2	不适用
ADCINB5	5.1	不适用
ADCINC2	5.5	6.9
ADCINC3	5.8	8.3
ADCINC4	5.0	6.4
ADCINC5	5.3	7.8
ADCIND0	5.3	6.7
ADCIND1	5.7	8.2
ADCIND2	5.3	6.7
ADCIND3	5.6	8.1
ADCIND4	4.3	不适用
ADCIND5	4.3	不适用
ADCIN14	8.6	10.0
ADCIN15	9.0	11.5

(1) 由于 VDAC 功能导致电容增加。

应将这些输入模型与实际信号源阻抗配合使用，以确定采集窗口持续时间。

用户应通过假设 C_h 上最坏情况下的初始条件来分析 ADC 输入设置。这将需要假设 C_h 能够在 S+H 窗口开始时完全充电至 V_{REFHI} 或完全放电至 V_{REFLO}。当 ADC 从奇数通道转换为偶数通道，或从偶数通道转换为奇数通道时，C_h 上的实际初始电压将几乎完全放电至 V_{REFLO} 的状态。对于偶数到偶数或奇数到奇数的转换，C_h 上的初始电压将接近于之前已转换通道上的电压。

6.9.1.2.8 ADC 时序图

图 6-39 和图 6-40 显示了在下列假设下两个 SOC 的 ADC 转换时序：

1. SOC0 和 SOC1 配置为使用相同的触发器。
2. 触发发生时，没有其他 SOC 正在转换或挂起。
3. 轮循指针处于使 SOC0 首先转换的状态。
4. ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志（该标志是否传播到 CPU 以引起中断由 PIE 模块中的配置决定）。

表 6-13 列出了图 6-39 和图 6-40 中 ADC 时序参数的说明。

表 6-13. ADC 时序参数

参数	说明
t_{SH}	<p>S+H 窗口的持续时间。</p> <p>在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 $(ACQPS + 1)$ 个 ADCCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC，t_{SH} 不一定相同。</p> <p>注意：无论器件时钟设置如何，S+H 电容器上的值都将在 S+H 窗口结束前大约 5ns 时被采集。</p>
t_{LAT}	<p>从 S+H 窗口结束到 ADC 转换结果锁存到 ADCRESULTx 寄存器的时间。</p> <p>如果在此时间之前读取 ADCRESULTx 寄存器，将返回之前的转换结果。</p>
t_{EOC}	<p>从 S+H 窗口结束到下一个 ADC 转换 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。</p>
t_{INT}	<p>从 S+H 窗口结束到设置 ADCINT 标志（如果已配置）的时间。</p> <p>如果设置了 ADCCTL1 寄存器中的 INTPULSEPOS 位，t_{INT} 将与锁存到结果寄存器中的转换结果相一致。</p> <p>如果 INTPULSEPOS 位为 0，t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器（直接通过 DMA 读取或通过触发读取结果的 ISR 来间接读取），必须注意确保读取发生在结果锁存之后（否则，将读取之前的结果）。</p>

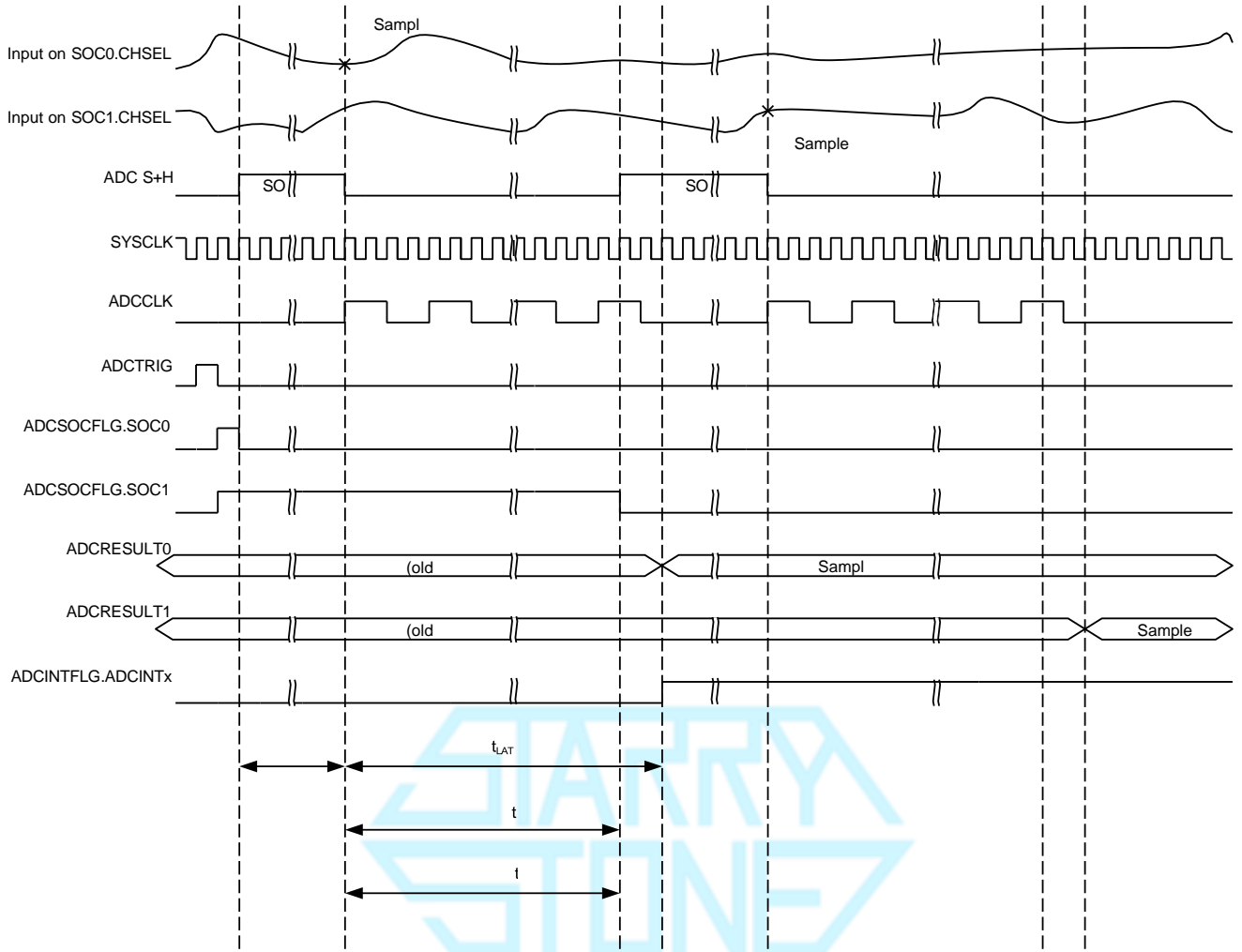


图 6-39. 12 位模式的 ADC 时序

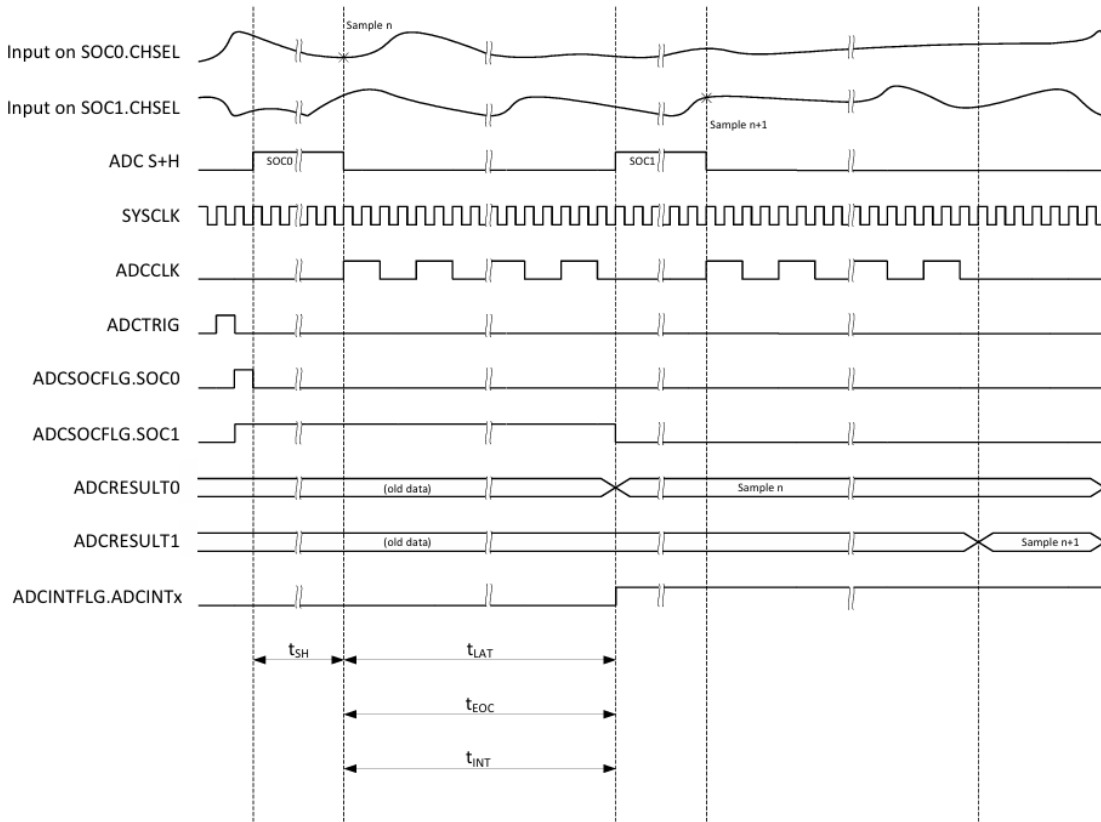


图 6-40. 16 位模式的 ADC 时序

6.9.1.3 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过 TI 提供的软件转换为温度。

6.9.1.3.1 温度传感器电气特征

在推荐的工作条件下（除非另有说明）

参数	最小值	典型值	最大值	单位
温度精度		±1 5		° C
启动时间 (TSN SCTL[ENABLE] 至采样温度传感器)		500		µs
ADC 采集时间	700			ns



6.9.2 比较器子系统 (CMPSS)

每个 CMPSS 模块包含两个比较器、两个内部电压基准 DAC (CMPSS DAC)、两个数字干扰滤波器和一个斜坡发生器。有两个输入，即 CMPINxP 和 CMPINxN。这些输入中的每个输入都将在内部连接到 ADCIN 引脚。CMPINxP 引脚始终连接到 CMPSS 比较器的正输入。CMPINxN 可以用来代替 DAC 输出来驱动负比较器输入。有两个比较器，因此 CMPSS 模块有两个输出，它们连接到数字滤波器模块的输入，然后传递到比较器 TRIP 交叉开关和 PWM 模块或直接连接到 GPIO 引脚。图 6-41 显示了 337 焊球 ZWT 和 176 引脚 PTP 封装上的 CMPSS 连接。图 6-42 显示了 100 引脚 PZP 封装上的 CMPSS 连接。

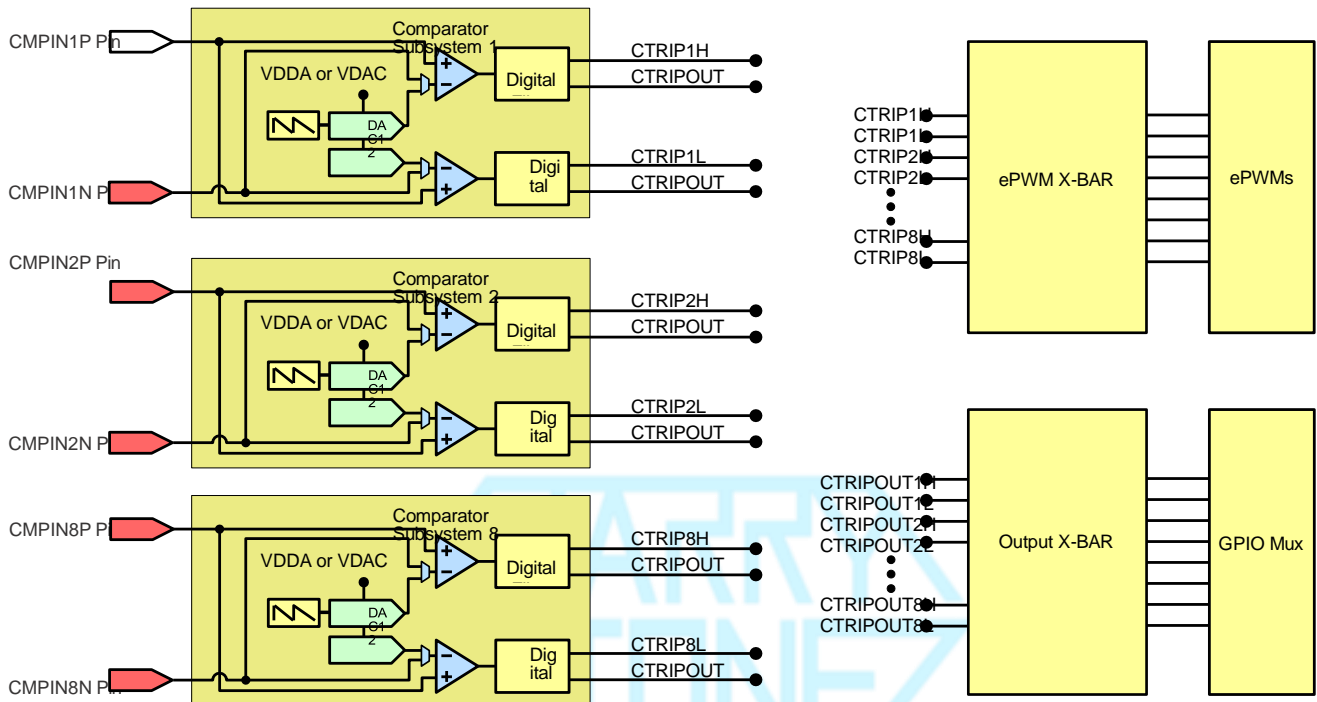


图 6-41. CMPSS 连接 (337 焊球 ZWT 和 176 引脚 PTP)

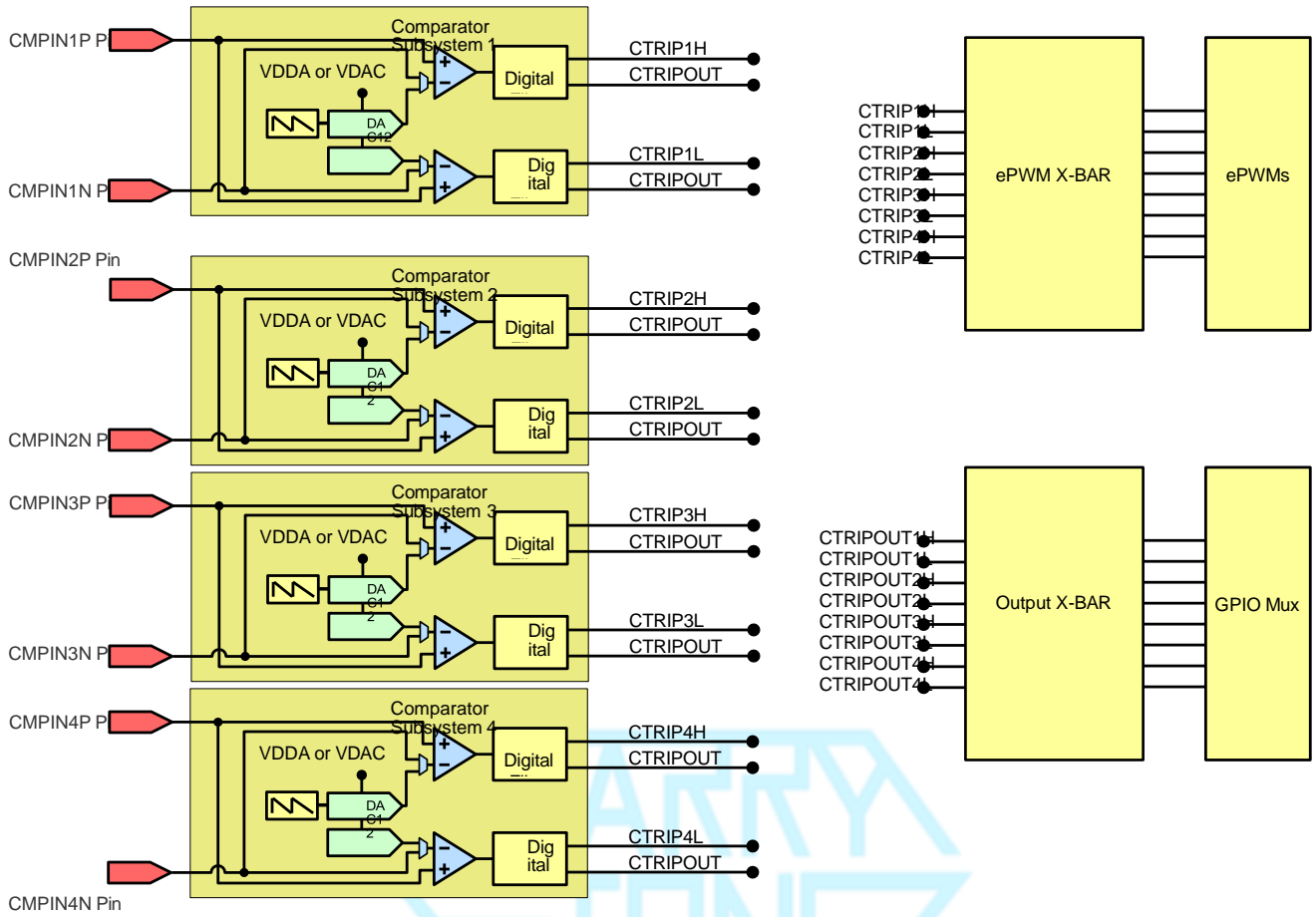


图 6-42. CMPSS 连接 (100 引脚 PZP)

6.9.2.1 CMPSS 电气数据和时序

图 6-43 显示了 CMPSS 比较器的以输入为基准的失调电压。图 6-44 显示了 CMPSS 比较器迟滞。

6.9.2.1.1 比较器电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
上电时间				500 ⁽²⁾	μs
比较器输入 (CMPINxx) 范围		0		V _{DDA}	V
以输入为基准的偏移量误差	低共模·反相输入设置为 50 mV	-20		20	mV
迟滞 ⁽¹⁾	1x	4	12	20	CMPSS DAC LSB
	2x	17	24	33	
	3x	25	36	50	
	4x	30	48	67	
响应时间（从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟）	阶跃响应		25	70	ns
	斜坡响应 (1.65 V/μs)		26		
	斜坡响应 (8.25 mV/μs)		30		
电源抑制比 (PSRR)	高达 250 kHz		46		dB
共模抑制比 (CMRR)		40			dB

1. CMPSS DAC 用作确定应用多少迟滞的基准。因此，迟滞将随 CMPSS DAC 基准电压而变化。迟滞适用于所有比较器输入源配置。

备注

CMPSS 输入必须保持低于 $V_{DDA} + 0.3V$ ，以确保正常工作。如果 CMPSS 输入超过此电平，内部阻塞电路将内部比较器与外部引脚隔离，直至外部引脚电压返回到 $V_{DDA} + 0.3V$ 以下。在此期间，内部比较器输入将处于浮动状态，并能在大约 $0.5\mu s$ 内衰减至 V_{DDA} 以下。在此之后，比较器可能会开始输出不正确的结果，具体取决于其他比较器输入的值。

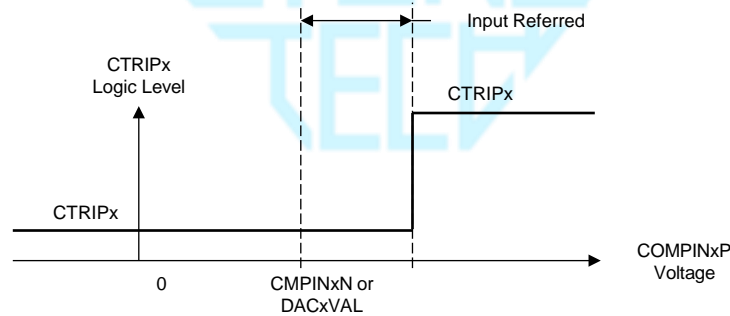


图 6-43. CMPSS 比较器以输入为基准的偏移量

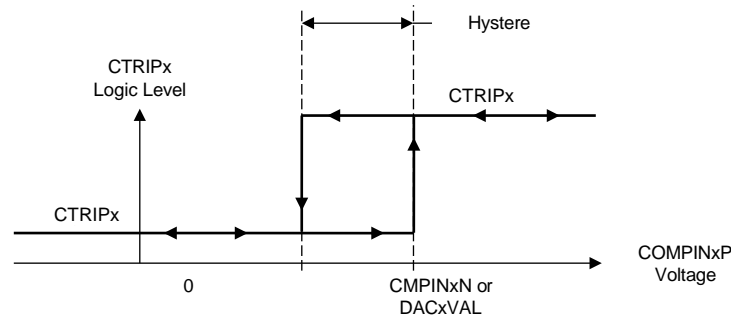


图 6-44. CMPSS 比较器迟滞

图 6-45 显示了 CMPSS DAC 静态偏移量。图 6-46 显示了 CMPSS DAC 静态增益。图 6-47 显示了 CMPSS DAC 静态线性。

6.9.2.1.2 CMPSS DAC 静态电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		$V_{DDA}^{(1)}$	V
	外部基准	0		VDAC	
静态偏移量误差 ⁽²⁾		-25		25	mV
静态增益误差 ⁽²⁾		-2		2	FSR 百分比
静态 DNL	已更正端点	>-1		4	LSB
静态 INL	已更正端点	-16		16	LSB
稳定时间	满量程输出变化后稳定到 1 LSB			1	μ s
分辨率			12		位
CMPSS DAC 输出干扰 ⁽³⁾	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	-100		100	LSB
CMPSS DAC 干扰时间 ⁽³⁾			200		ns
VDAC 基准电压	当 VDAC 为基准时	2.4 2.5 或 3.0		V_{DDA}	V
VDAC 负载 ⁽⁴⁾	当 VDAC 为基准时		6		k Ω

1. 当 $VDAC > V_{DDA}$ 时，最大输出电压为 V_{DDA} 。
2. 包含以比较器输入为基准的误差。
3. 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。
4. 每个有源 CMPSS 模块。

6.9.3 缓冲数模转换器 (DAC)

缓冲 DAC 模块由内部 12 位 DAC 和能够驱动外部负载的模拟输出缓冲器组成。DAC 输出上的集成下拉电阻器有助于在输出缓冲器被禁用时提供已知的引脚电压。该下拉电阻无法被禁用，并且仍然作为引脚上的无源元件，即使对于其他共享引脚复用功能也是如此。软件写入 DAC 值寄存器可以立即生效，也可以与 EPWMSYNCPER 事件同步。

每个缓冲 DAC 具有以下特性：

- 12 位可编程的内部 DAC
- 可选参考电压
- 输出端上的下拉电阻器
- 能够与 EPWMSYNCPER 同步

图 6-48 显示了缓冲 DAC 的方框图。

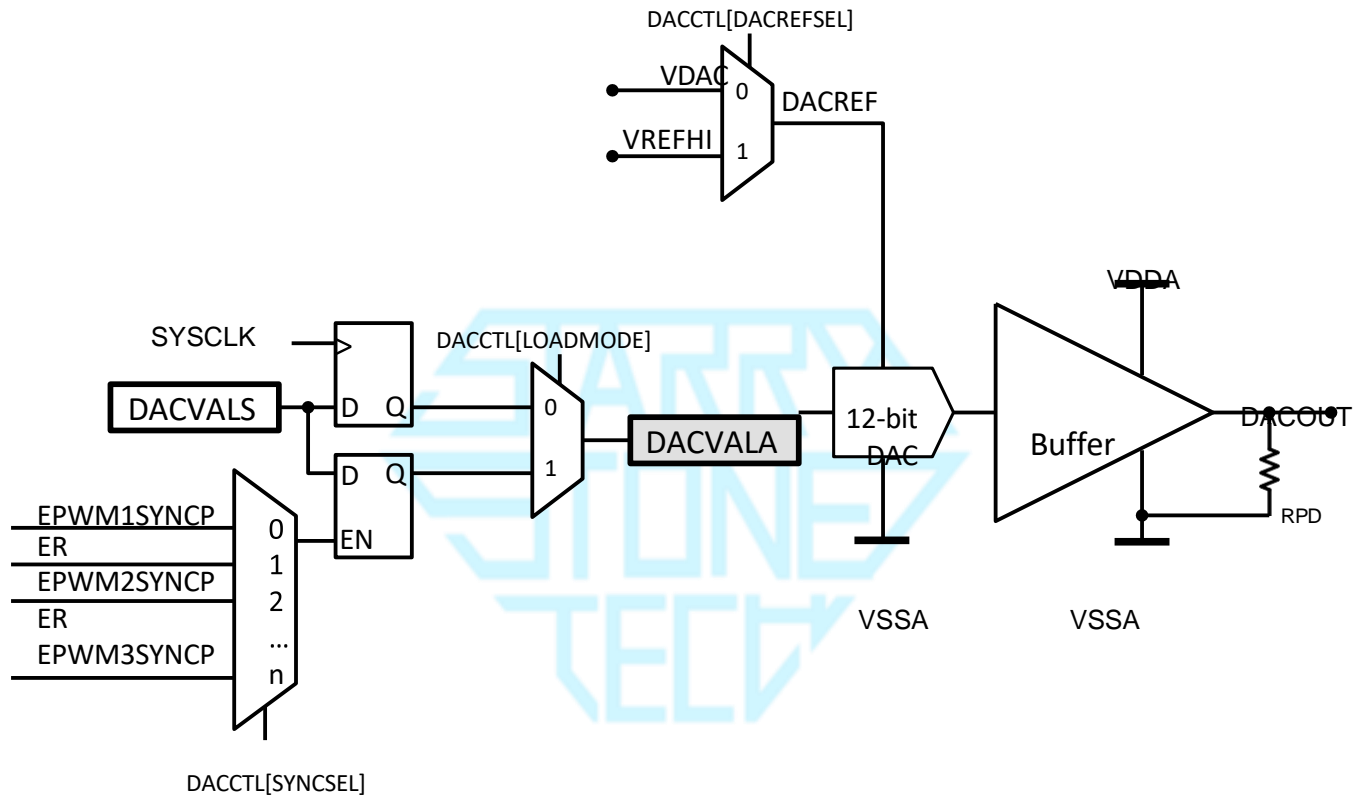


图 6-48. DAC 模块方框图

6.9.3.1 缓冲DAC 电气数据和时序

图 6-49 显示了缓冲 DAC 的失调电压。图 6-50 显示了缓冲 DAC 增益。图 6-51 显示了缓冲 DAC 线性。

6.9.3.1.1 缓冲DAC 电气特性

在建议运行条件下测得（除非另有说明）⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
上电时间				500 ⁽⁸⁾	μs
偏移误差	中点	-10		10	mV
增益误差 ⁽²⁾		-2.5		2.5	FSR 百分比
DNL ⁽³⁾	已更正端点	> -1	±0.4	1	LSB
INL	已更正端点	-5	±2	5	LSB
DACOUTx 趋稳时间	在 0.3V 至 3V 切换后稳定到 2LSB		2		μs
分辨率			12		位
电压输出范围 ⁽⁴⁾		0.3		V _{DDA} - 0.3	V
容性负载	输出驱动能力			100	pF
阻性负载	输出驱动能力	5			kΩ
R _{PD} 下拉电阻器			50		kΩ
基准电压 ⁽⁵⁾	VDAC 或 V _{REFHI}	2.4	2.5 或 3.0	V _{DDA}	V
基准输入电阻 ⁽⁶⁾	VDAC 或 V _{REFHI}		170		kΩ
输出噪声	从 100 Hz 到 100 kHz 的积分噪声		500		μVrms
	10 kHz 时的噪声密度		711		nVrms/√Hz
短时脉冲波干扰能量			1.5		V-ns
PSRR ⁽⁷⁾	高达 1kHz 的直流		70		dB
	100 kHz		30		
SNR	1020 Hz		67		dB
THD	1020 Hz		-63		dB
SFDR	1020Hz · 包括谐波和杂散		66		dBc
	1020Hz · 仅包括杂散		104		

1. 除非另有说明，否则典型值均在 V_{REFHI} = 3.3V 条件下测量。在 V_{REFHI} = 2.5V 的条件下对最小值和最大值进行测试或表征。
2. 针对线性输出范围计算增益误差。
3. DAC 输出是单调输出。
4. 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。
5. 为获得最佳 PSRR 性能，VDAC 或 V_{REFHI} 应小于 V_{DDA}。
6. 每个有源缓冲 DAC 模块。
7. V_{REFHI} = 3.2V · V_{DDA} = 3.3V 直流 + 100mV 正弦。

备注

VDAC 引脚必须保持低于 V_{DDA} + 0.3V，以确保正常工作。如果 VDAC 引脚超过此电平，可能会激活阻塞电路，并且 VDAC 的内部值可能会在内部浮动至 0V，从而导致 DAC 输出不正确。

备注

V_{REFHI} 引脚必须保持低于 V_{DDA} + 0.3V，以确保正常工作。如果 V_{REFHI} 引脚超过此电平，可能会激活阻塞电路，并且 V_{REFHI} 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确

6.9.3.2 CMPSS DAC 动态误差

当使用斜坡发生器控制内部 DAC 时，阶跃大小可以根据应用需求而变化。由于 DAC 的阶跃大小小于满量程转换，因此，稳定时间比 *CMPSS DAC 静态电气特性* 表中列出的电气规格有所改善。下面的公式和图 6-52 可以根据不同的 RAMPxDECVALA 值，提供有关与理想值之间预期电压误差的指导。

$$DYNAMICERROR = (m \times RAMPxDECVALA) + b \tag{5}$$

表 6-14. DAC 最大动态误差项

公式参数	最小值 (LSB)	最大值 (LSB)
m	0.167	0.30
b	3.7	5.6

备注

上述误差项基于目标器件的最大 SYSCLK。如果在最大 SYSCLK 以下运行，则“m”误差项应相应调整。



6.10 控制外设

备注

有关特定器件上每个外设的实际数量，请参阅表 4-1。

6.10.1 增强型采集 (eCAP)

eCAP 模块可用于对外部事件的准确计时很重要的系统中。

eCAP 的应用包含：

1. 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮）
2. 位置传感器脉冲之间的持续时间测量
3. 脉冲序列信号的周期和占空比测量
4. 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性：

5. 4 事件时间戳寄存器（每个 32 位）
6. 边缘极性选择，最多选择四个序列时间戳采集事件
7. 对 4 个事件中的任何一个事件进行中断
8. 单次采集多达 4 个事件时间戳
9. 在四深循环缓冲器中连续模式采集时间戳
10. 绝对时间戳采集
11. 差分 (Δ) 模式时间戳采集
12. 所有上述资源都专用于单个输入引脚
13. 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出 (APWM)。

eCAP 输入通过输入 X-BAR 连接到任何 GPIO 输入。APWM 输出通过指向 GPIO 多路复用器中 OUTPUTx 位置的输出 X-BAR 连接到 GPIO 引脚。

图 6-53 显示了 eCAP 模块的方框图。

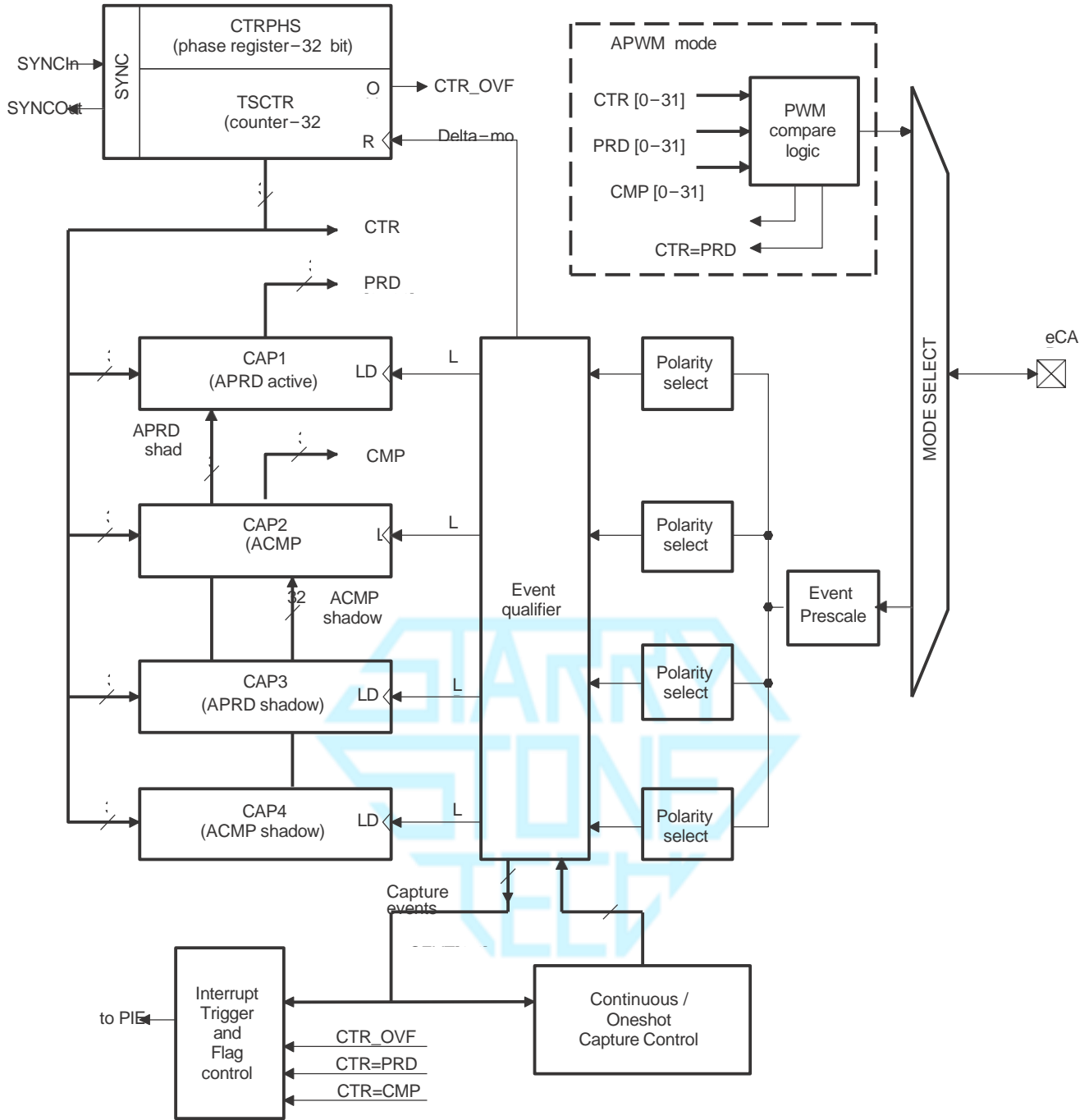


图 6-53. eCAP 方框图

eCAP 模块由 PERx.SYSCLK 计时。

PCLKCR3 寄存器中的时钟使能位 (ECAP1 - ECAP6) 单独关闭 eCAP 模块 (以实现低功耗运行)。复位时, ECAP1ENCLK 设置为低电平, 表明外设时钟已关闭。

6.10.1.1 eCAP 电气数据和时序

6.10.1.1.1 eCAP 时序要求

		最小值 ⁽¹⁾	最大值	单位
$t_{w(CAP)}$	采集输入脉冲宽度			
	异步	$2t_c(SYSCLK)$		周期
	同步	$2t_c(SYSCLK)$		周期
	具有输入限定符	$1t_c(SYSCLK) + t_w(IQSW)$		周期

6.10.1.1.2 eCAP 开关特征

在推荐的工作条件下（除非另有说明）

参数		最小值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间 · APWMx 输出高电平/低电平	20		ns



6.10.2 增强型脉宽调制器 (ePWM)

ePWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具有独立资源（这些独立资源可以一起运行形成一个系统）的较小模块构建外设，ePWM 4 类模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。ePWM 4 类模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。

图 6-54 显示了与 ePWM 的信号互连情况。图 6-55 显示了 ePWM 跳变输入连接。

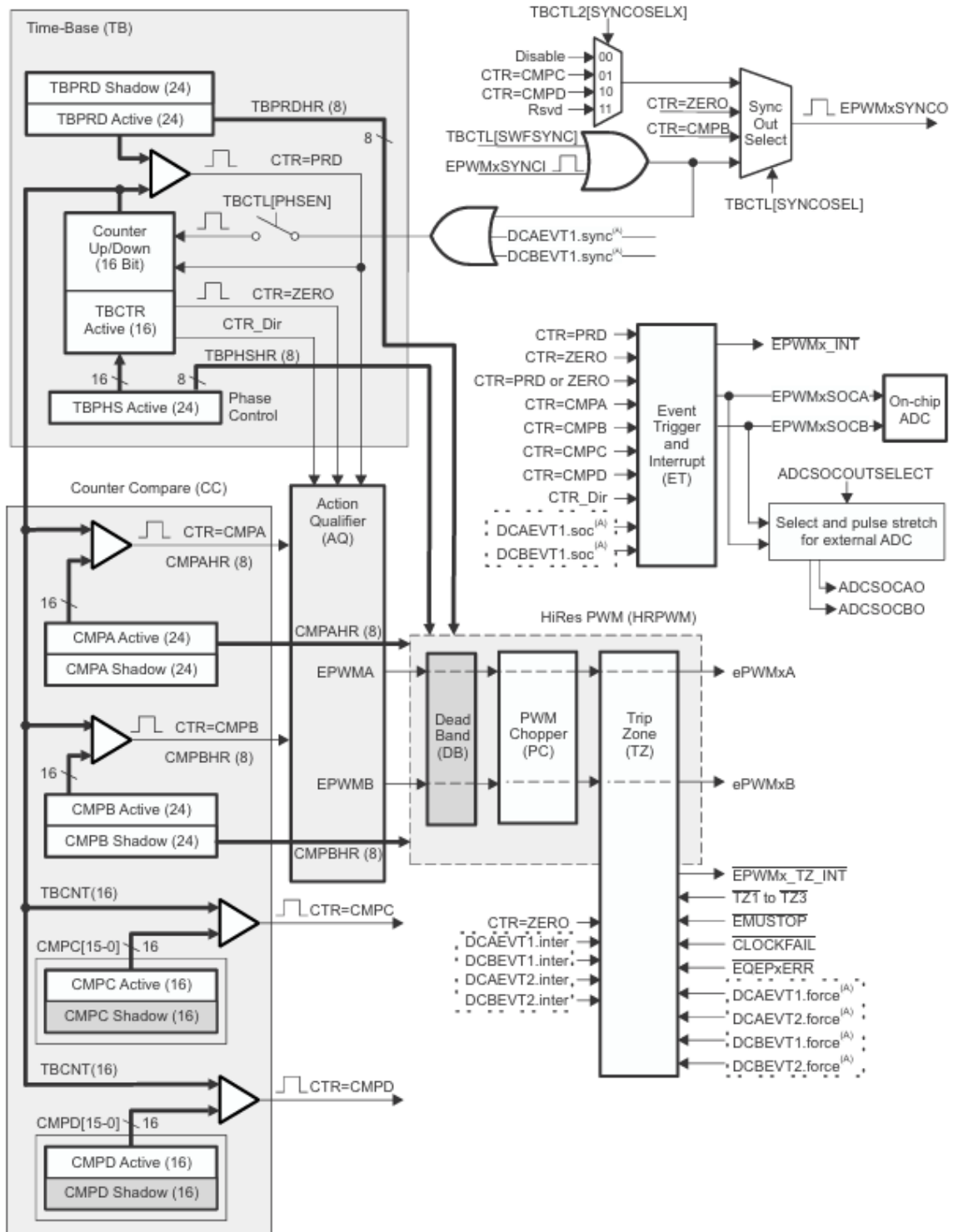


图 6-54. ePWM 子模块和关键内部信号互连

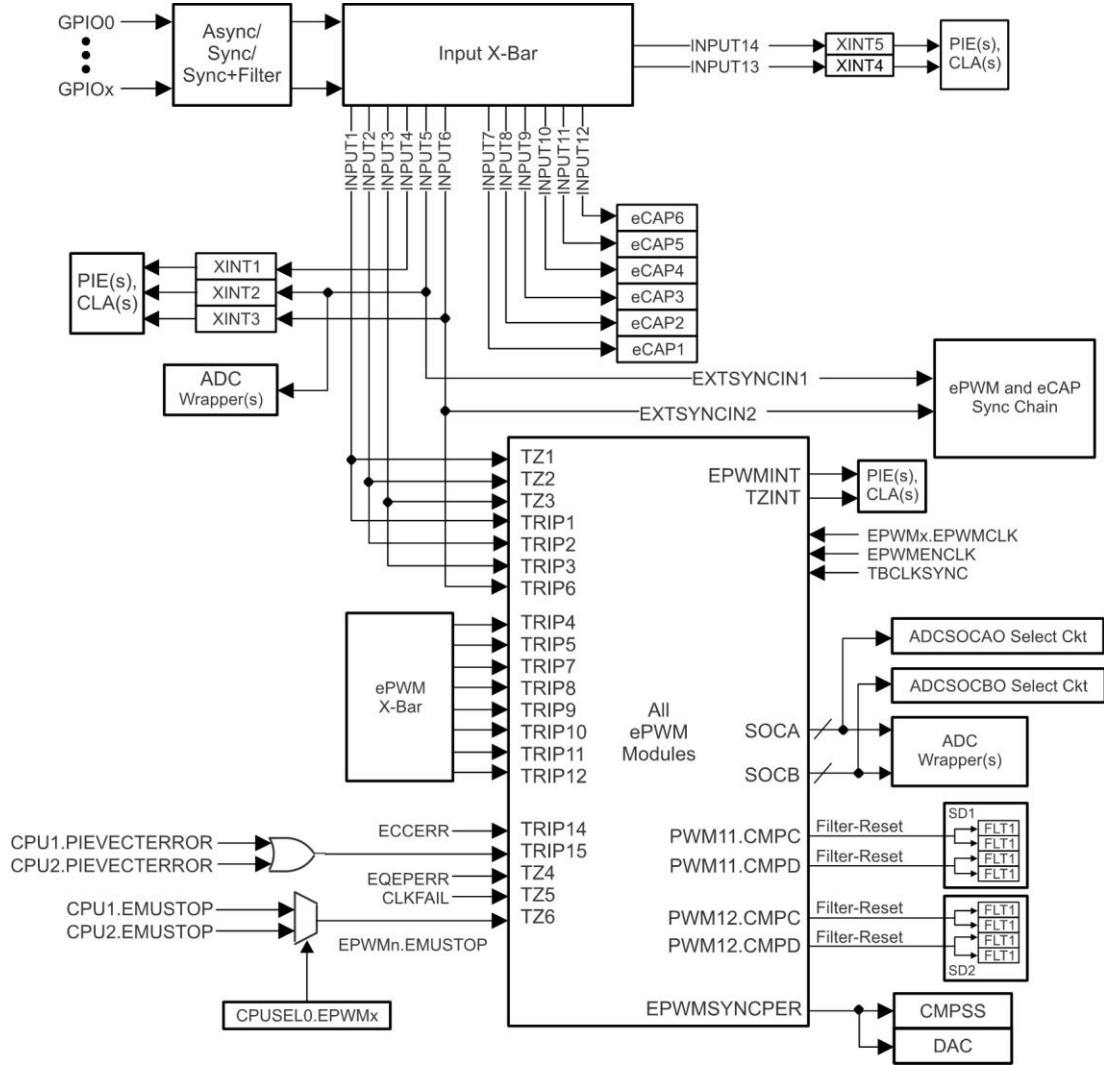


图 6-55. ePWM 跳变输入连接

6.10.2.1 控制外设同步

器件上的 ePWM 和 eCAP 同步链可在 CPU1 和 CPU2 之间灵活地划分 ePWM 和 eCAP 模块，并允许在属于同一 CPU 的模块内进行局部同步。与其他外设一样，需要使用 CPUSELx 寄存器对 ePWM 和 eCAP 模块进行分区。图 6-56 显示了同步链架构。

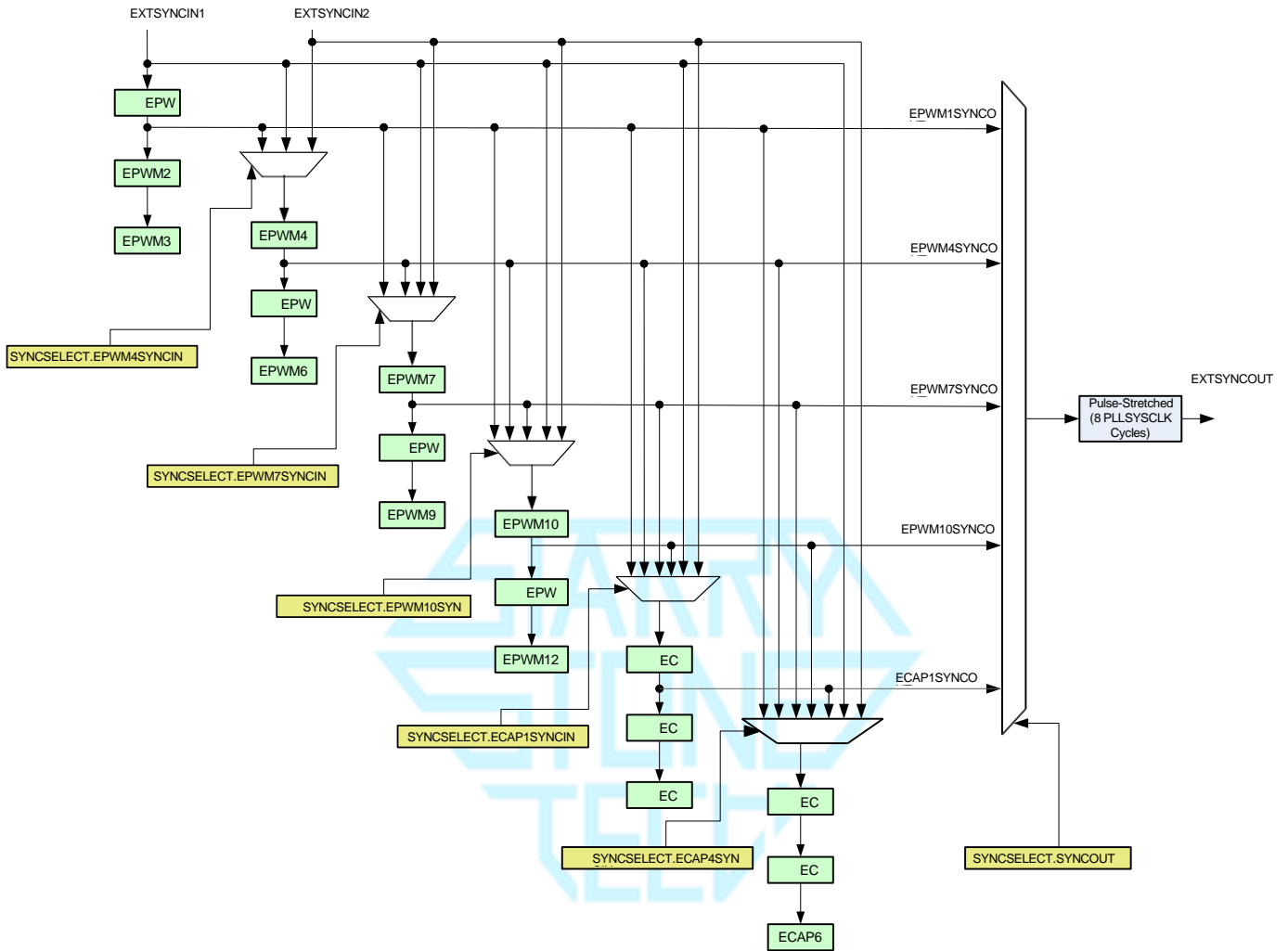


图 6-56. 同步链架构

6.10.2.2 ePWM 电气数据和时序

6.10.2.2.1 ePWM 时序要求

		最小值 ⁽¹⁾	最大值	单位
$f_{(EPWM)}$	频率 · EPWMCLK ⁽²⁾		200	MHz
$t_w(\text{SYNCIN})$	同步输入脉冲宽度	异步	$2t_c(\text{EPWMCLK})$	周期
		同步	$2t_c(\text{EPWMCLK})$	周期
		带输入限定符	$1t_c(\text{EPWMCLK}) + t_w(\text{IQSW})$	周期

1. 对于 100MHz 以上的 SYSCLK，EPWMCLK 必须是 SYSCLK 的一半。

6.10.2.2.2 ePWM 开关特征

在推荐的工作条件下（除非另有说明）

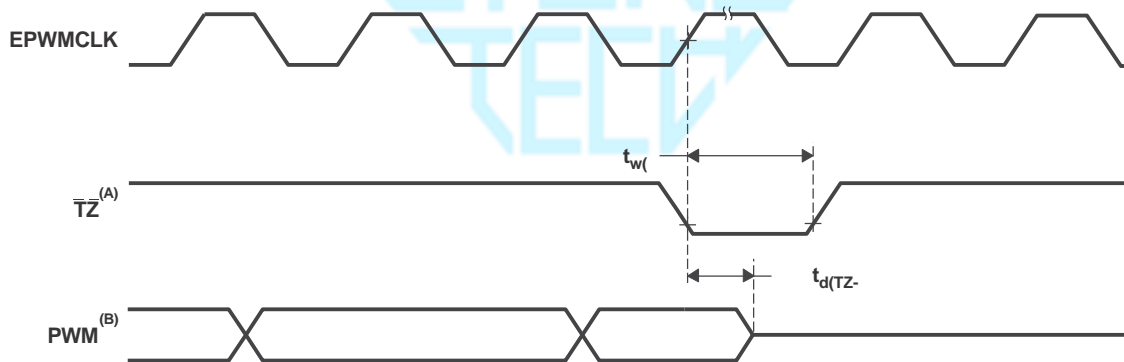
参数		最小值	最大值	单位
$t_w(\text{PWM})$	脉冲持续时间 · PWMx 输出高电平/低电平	20		ns
$t_w(\text{SYNCOUT})$	同步输出脉冲宽度	$8t_c(\text{SYSCLK})$		周期
$t_d(\text{TZ-PWM})$	延迟时间 · 跳变输入激活到 PWM 强制高电平 延迟时间 · 跳变输入激活到 PWM 强制低电平 延迟时间 · 跳变输入激活到 PWM 高阻抗		25	ns

6.10.2.2.3 跳变区输入时序

图 6-57 显示了 PWM Hi-Z 特征。

6.10.2.2.3.1 跳变区输入时序要求

		最小值 ⁽¹⁾	最大值	单位
$t_w(\text{TZ})$	脉冲持续时间 · $\overline{\text{TZ}}_x$ 输入低电平	异步	$1t_c(\text{EPWMCLK})$	周期
		同步	$2t_c(\text{EPWMCLK})$	周期
		带输入限定符	$1t_c(\text{EPWMCLK}) + t_w(\text{IQSW})$	周期



1. $\overline{\text{TZ}}$: $\overline{\text{TZ}}_1$ 、 $\overline{\text{TZ}}_2$ 、 $\overline{\text{TZ}}_3$ 、TRIP1 至 TRIP12
2. PWM 是指器件内的所有 PWM 引脚。 $\overline{\text{TZ}}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 6-57. PWM Hi-Z 特性

6.10.2.3 外部ADC 转换启动电气数据和时序

图 6-58 显示了 ADCSOCAO 或 ADCSOCBO 时序。

6.10.2.3.1 外部 ADC 转换启动开关特征

6.10.2.3.2 在推荐的工作条件下 (除非另有说明)

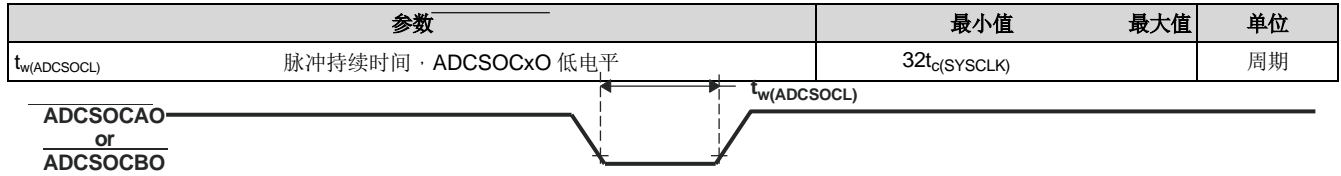


图 6-58. ADCSOCAO 或者 ADCSOCBO 时序



6.10.3 增强型正交编码器脉冲 (eQEP)

eQEP 模块直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中使用的旋转机器中获得位置、方向和速度信息。

每个 eQEP 外设都包含五个主要功能块：

1. 正交采集单元 (QCAP)
2. 位置计数器/控制单元 (PCCU)
3. 正交解码器单元 (QDU)
4. 用于速度和频率测量的单位时基 (UTIME)
5. 用于检测失速的看门狗计时器 (QWDOG)

eQEP 外设由 PERx.SYSCLK 计时。图 6-59 显示了 eQEP 方框图。



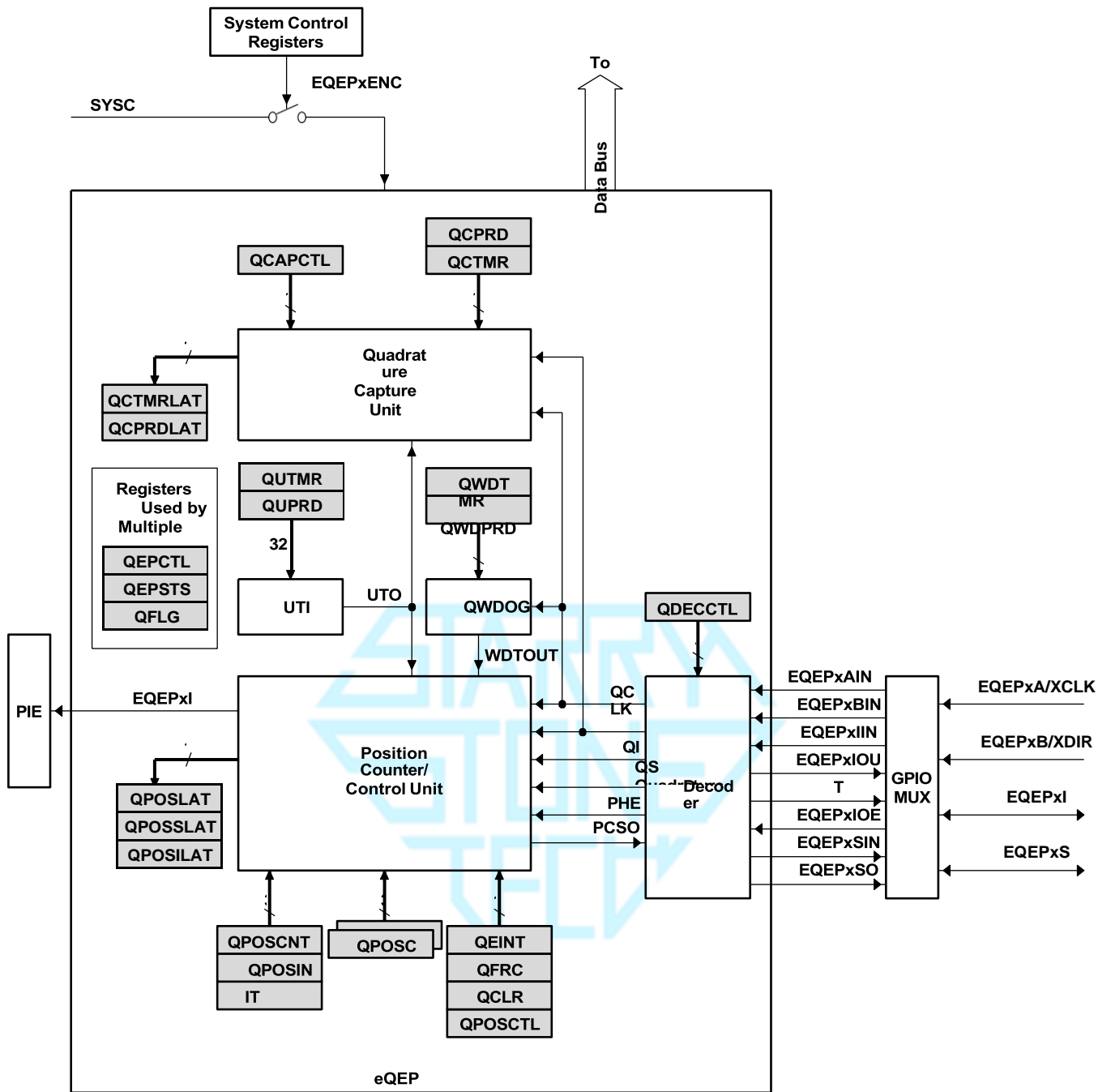


图 6-59. eQEP 方框图

6.10.3.1 eQEP 电气数据和时序

6.10.3.1.1 eQEP 时序要求

			最小值 ⁽¹⁾	最大值	单位
$t_w(QEPP)$	QEP 输入周期	异步 ⁽²⁾ /同步	$2t_c(SYSCLK)$		周期
		带输入限定器	$2[1t_c(SYSCLK) + t_w(IQSW)]$		周期
$t_w(INDEXH)$	QEP 索引输入高电平时间	异步 ⁽²⁾ /同步	$2t_c(SYSCLK)$		周期
		带输入限定器	$2t_c(SYSCLK) + t_w(IQSW)$		周期
$t_w(INDEXL)$	QEP 索引输入低电平时间	异步 ⁽²⁾ /同步	$2t_c(SYSCLK)$		周期
		带输入限定器	$2t_c(SYSCLK) + t_w(IQSW)$		周期
$t_w(STROBH)$	QEP 选通高电平时间	异步 ⁽²⁾ /同步	$2t_c(SYSCLK)$		周期
		带输入限定器	$2t_c(SYSCLK) + t_w(IQSW)$		周期
$t_w(STROBL)$	QEP 选通输入低电平时间	异步 ⁽²⁾ /同步	$2t_c(SYSCLK)$		周期
		带输入限定器	$2t_c(SYSCLK) + t_w(IQSW)$		周期

6.10.3.1.2 eQEP 开关特征

在推荐的工作条件下（除非另有说明）

参数		最小值	最大值	单位
$t_d(CNTR)_{in}$	延迟时间 · 外部时钟到计数器增量		$4t_c(SYSCLK)$	周期
$t_d(PCS-OUT)_{QEP}$	延迟时间 · QEP 输入边沿到位置比较同步输出		$6t_c(SYSCLK)$	周期



6.10.4 高分辨率脉宽调制器 (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合了多条延迟线路。对于每个 ePWM 模块，都有两个 HR 输出：

- 通道 A 上的 HR 占空比和死区控制
- 通道 B 上的 HR 占空比和死区控制

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。

HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制，以实现频率/周期调制。
- 通过对 ePWM 模块的比较 A、B、相位、周期和死区寄存器的扩展来控制更加精细的时间粒度控制或边沿定位。

6.10.4.1 HRPWM 电气数据和时序

6.10.4.1.1 高分辨率 PWM 时序要求

	最小值	最大值	单位
$f_{(EPWM)}$ 频率 · EPWMCLK ⁽¹⁾		200	MHz
$f_{(HRPWM)}$ 频率 · HRPWMCLK	60	200	MHz

6.10.4.1.2 高分辨率 PWM 特征

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽¹⁾		110	310	ps

- (1) MEP 步长在高温和 V_{DD} 上的电压最小时最大。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅 TI 软件库。SFO 功能有助于在 HRPWM 运行时动态估计每个 SYSCLK 周期的 MEP 步数。

6.10.5 Σ - Δ 滤波器模块 (SDFM)

SDFM 是一种四通道数字滤波器，专为电机控制应用中的电流测量和旋转变压器位置解码而设计。每个通道都可以接收独立的 Σ - Δ 调制位流。位流由四个独立可编程的数字抽取滤波器进行处理。该滤波器组包括快速比较器，用于过流和欠流监测进行即时数字阈值比较。图 6-60 展示了 SDFM 的方框图。

SDFM 的特性包含：

- 每个 SDFM 模块具有八个外部引脚：
 - 每个 SDFM 模块具有四个 Σ - Δ 数据输入引脚 (SDx_Dy，其中 x = 1 至 2，y = 1 至 4)
 - 每个 SDFM 模块具有四个 Σ - Δ 时钟输入引脚 (SDx_Cy，其中 x = 1 至 2，y = 1 至 4)
- 四种不同的可配置调制器时钟模式：
 - 调制器时钟速率等于调制器数据速率
 - 调制器时钟速率为调制器数据速率的一半
 - 调制器数据为曼彻斯特编码。不需要调制器时钟。
 - 调制器时钟速率为调制器数据速率的两倍
- 四个独立的可配置比较器单元：
 - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/Sincfast/Sinc3) 选项
 - 能够检测超值和低值条件
 - 比较器的比较器过采样率 (COSR) 值可从 1 至 32 编程
- 四个独立的可配置数据过滤单元：
 - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/Sincfast/Sinc3) 选项
 - 数据过滤单元的数据过滤过采样率 (DOSR) 值可从 1 至 256 编程
 - 能够启用或禁用独立的滤波器模块
 - 能够使用主滤波器使能 (MFE) 位或 PWM 信号同步 SDFM 模块的所有四个独立滤波器
- 过滤数据可以以 16 位或 32 位形式表示
- PWM 可用于为 Σ - Δ 调制器生成调制器时钟



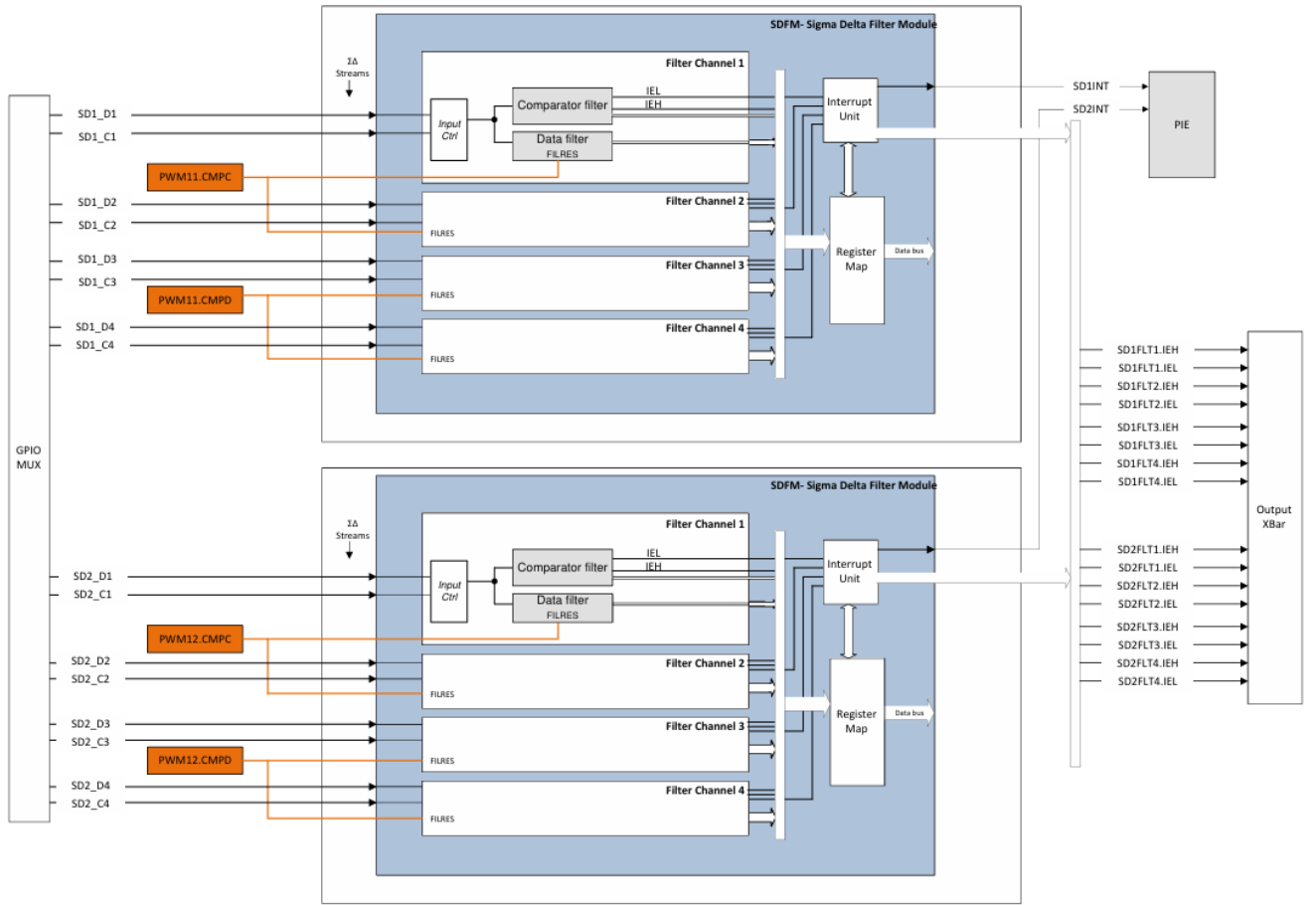


图 6-60. SDFM 方框图

6.10.5.1 SDFM 电气数据和时序 (使用ASYNC)

通过设置 GPyQSELn = 0b11 来定义具有异步 GPIO 的 SDFM 操作。图 6-61 至图 6-64 显示了 SDFM 时序图。

6.10.5.1.1 使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间 · SDx_Cy	40	256 个 SYSCLK 周期	ns
$t_w(SDCH)M0$	脉冲持续时间 · SDx_Cy 高电平	10	$t_{c(SDC)M0} - 10$	ns
$t_{su}(SDDV-SDCH)M0$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
$t_h(SDCH-SDD)M0$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns
模式 1				
$t_{c(SDC)M1}$	周期时间 · SDx_Cy	80	256 个 SYSCLK 周期	ns
$t_w(SDCH)M1$	脉冲持续时间 · SDx_Cy 高电平	10	$t_{c(SDC)M1} - 10$	ns
$t_{su}(SDDV-SDCL)M1$	SDx_Cy 变为低电平之前 SDx_Dy 有效的设置时间	5		ns
$t_{su}(SDDV-SDCH)M1$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
$t_h(SDCL-SDD)M1$	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	5		ns
$t_h(SDCH-SDD)M1$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns
模式 2				
$t_{c(SDD)M2}$	周期时间 · SDx_Dy	8 个 $t_c(SYSCLK)$	20 个 $t_c(SYSCLK)$	ns
$t_w(SDDH)M2$	脉冲持续时间 · SDx_Dy 高电平	10		ns
$t_w(SDD_LONG_KEEPOUT)M2$	SDx_Dy 长脉冲持续保留时间，其中长脉冲不得落入所列出的最小值或最大值内。 长脉冲被定义为高或低脉冲，其是曼彻斯特位时钟周期的完整宽度。 对于 8 到 20 之间的任何整数，都必须满足此要求。	$(N * t_c(SYSCLK)) - 0.5$	$(N * t_c(SYSCLK)) + 0.5$	ns
$t_w(SDD_SHORT)M2$	用于高或低脉冲的 SDx_Dy 短脉冲持续时间 (SDD_SHORT_H 或 SDD_SHORT_L)。 短脉冲定义为高或低脉冲，其是曼彻斯特位时钟周期的一半宽度。	$t_w(SDD_LONG)/2 - t_c(SYSCLK)$	$t_w(SDD_LONG)/2 + t_c(SYSCLK)$	ns
$t_w(SDD_LONG_DUTY)M2$	SDx_Dy 长脉冲变化 (SDD_LONG_H - SDD_LONG_L)	$- t_c(SYSCLK)$	$t_c(SYSCLK)$	ns
$t_w(SDD_SHORT_DUTY)M2$	SDx_Dy 短脉冲变化 (SDD_SHORT_H - SDD_SHORT_L)	$- t_c(SYSCLK)$	$t_c(SYSCLK)$	ns
模式 3				
$t_{c(SDC)M3}$	周期时间 · SDx_Cy	40	256 个 SYSCLK 周期	ns
$t_w(SDCH)M3$	脉冲持续时间 · SDx_Cy 高电平	10	$t_{c(SDC)M3} - 5$	ns
$t_{su}(SDDV-SDCH)M3$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
$t_h(SDCH-SDD)M3$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns

警告

当没有 GPIO 输入同步时，SDFM 时钟输入（SDx_Cy 引脚）直接对 SDFM 模块进行计时。这些输入端的任何干扰或振铃噪声都会破坏 SDFM 模块的运行。应对这些信号采取特殊的预防措施，以确保满足 SDFM 时序要求的干净且无噪声的信号。建议采取预防措施，例如对时钟驱动器的任何阻抗不匹配而导致的振铃进行串联终止，以及将走线与其他噪声信号隔离开来。



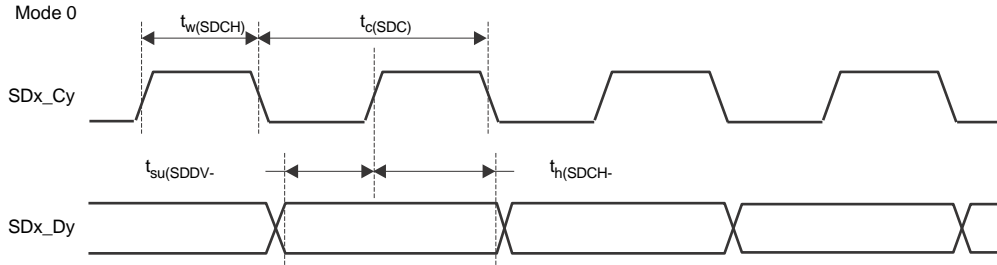


图 6-61. SDFM 时序图 - 模式 0

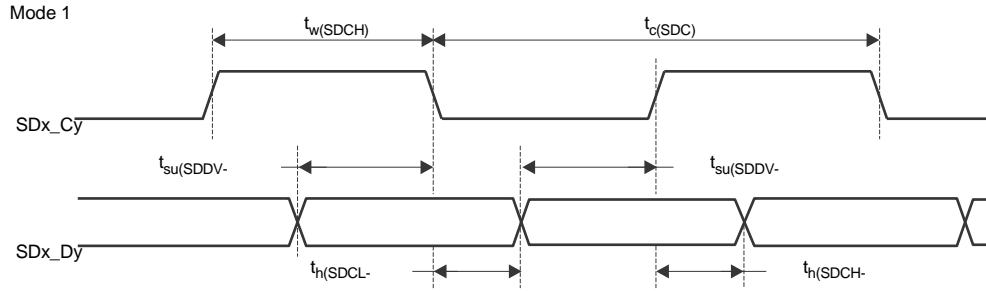


图 6-62. SDFM 时序图 - 模式 1

Mode 2
(Manchester-encoded-bit stream)

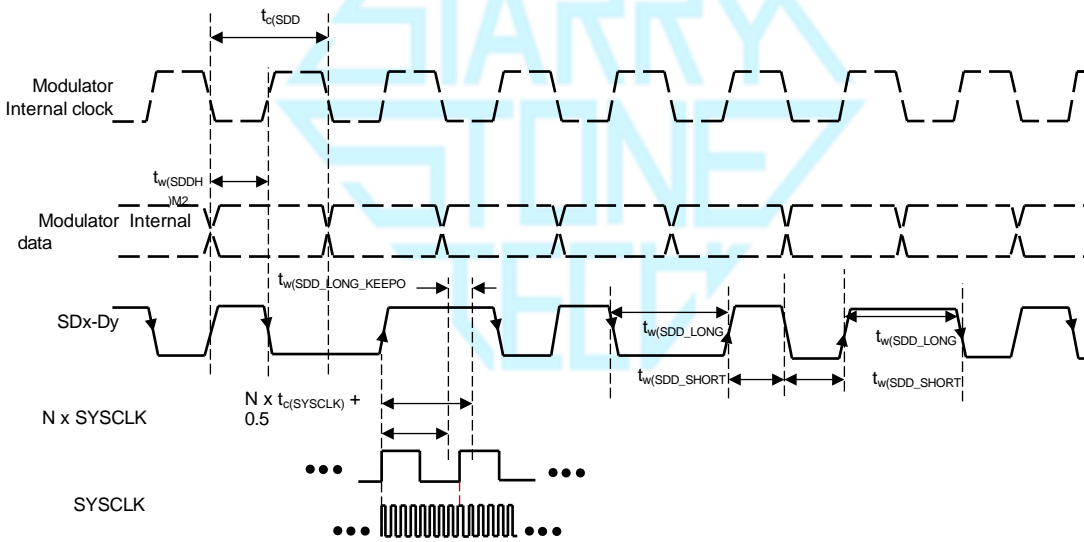


图 6-63. SDFM 时序图 - 模式 2

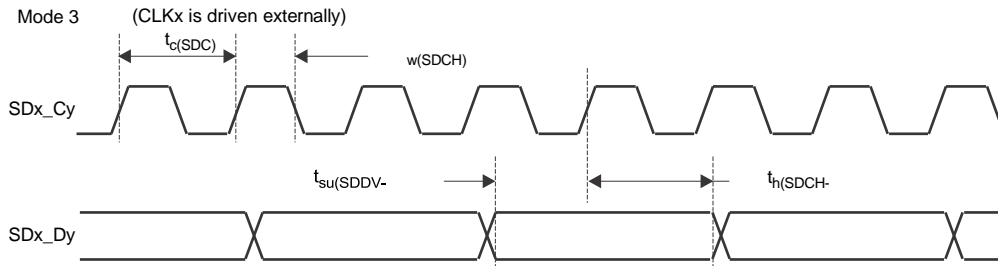


图 6-64. SDFM 时序图 - 模式 3

6.10.5.2 SDFM 电气数据和时序 (使用3 样片GPIO 输入限定) :

通过设置 GPyQSELn = 0b01 来定义使用具有有限定 GPIO (3 样本窗口) 的 SDFM 操作。使用这种有限定 GPIO (3 样本窗口) 模式时, 必须满足 $2t_{c(SYSCLK)}$ 的 $t_{w(GPI)}$ 脉冲持续时间的时序要求。为 SD-Cx 和 SD-Dx 对配置相同的 GPIO 限定选项非常重要。图 6-61 至图 6-64 显示了 SDFM 时序图。

6.10.5.2.1 使用 GPIO 输入限定 (3 样本窗口) 选项时的 SDFM 时序要求

		最小值 ⁽¹⁾	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间 · SDx_Cy	10 个 SYSCLK 周期	256 个 SYSCLK 周期	ns
$t_{w(SDCHL)M0}$	脉冲持续时间 · SDx_Cy 高电平/低电平	4 个 SYSCLK 周期	6 个 SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	脉冲持续时间 · SDx_Dy 高电平/低电平	4 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_h(SDCH-SDD)M0$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns
模式 1				
$t_{c(SDC)M1}$	周期时间 · SDx_Cy	20 个 SYSCLK 周期	256 个 SYSCLK 周期	ns
$t_{w(SDCH)M1}$	脉冲持续时间 · SDx_Cy 高电平	4 个 SYSCLK 周期	6 个 SYSCLK 周期	ns
$t_{w(SDDHL)M1}$	脉冲持续时间 · SDx_Dy 高电平/低电平	4 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCL)M1}$	SDx_Cy 变为低电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M1}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_h(SDCL-SDD)M1$	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns
$t_h(SDCH-SDD)M1$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns
模式 2				
$t_{c(SDD)M2}$	周期时间 · SDx_Dy	选项不可用		
$t_{w(SDDH)M2}$	脉冲持续时间 · SDx_Dy 高电平			
模式 3				
$t_{c(SDC)M3}$	周期时间 · SDx_Cy	10 个 SYSCLK 周期	256 个 SYSCLK 周期	ns
$t_{w(SDCHL)M3}$	脉冲持续时间 · SDx_Cy 高电平	4 个 SYSCLK 周期	6 个 SYSCLK 周期	ns
$t_{w(SDDHL)M3}$	脉冲持续时间 · SDx_Dy 高电平/低电平	4 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M3}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_h(SDCH-SDD)M3$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns

- (1) 仅当 GPIO 输入限定类型为 3 样本窗口 (GPyQSELx = 1 · QUALPRD = 0) 选项时, SDFM 时序要求才适用。重要的是, SD-Cx 和 SD-Dx 对都配置有 3 样本窗口选项。

备注

SDFM 限定的 GPIO (3 样片) 模式防止 SDFM 模块因 SDx_Cy 引脚上偶尔随机产生的噪声干扰而损坏, 这些噪声可能导致比较器误跳变和滤波器输出。

SDFM 限定的 GPIO (3 样片) 模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

6.11 通信外设

备注

有关特定器件上每个外设的实际数量，请参阅表 4-1。

6.11.1 控制器局域网 (CAN)

CAN 模块使用称为CAN FD的IP。本文档交替使用名称CAN和CAN FD来引用此外设。

CAN 模块实现了以下功能:

- 支持CAN规范
 - CAN2.0B(最多支持8字节的有效载荷，由Bosch参考模型进行验证)
 - 可选支持CAN FD(最多支持64字节的有效载荷，符合ISO 11898-1:2015或非ISO Bosch标准)
- 自由可编程数据速率:
- CAN 2.0B定义了高达1Mbit/s的数据速率
- CAN FD收发器和CAN-CTRL核心时钟频率限制
- 可编程波特率预分频器 (1至1/256)
- 接收缓冲区 (RB)
 - 包含16个接收缓冲槽
 - 类似FIFO的行为
 - “未接受”或“错误”的接收消息不会覆盖已存储的消息
- 两个发送缓冲区
 - 一个主要发送缓冲区 (PTB)
 - 一个次要发送缓冲区 (STB)
 - 包含16个发送缓冲槽
 - FIFO模式
- 优先级仲裁模式
- 16组独立的接收过滤器
- 支持11位标准ID和29位扩展ID
- 可编程ID CODE位以及MASK位
- 扩展特性
 - 单次发送模式 (适用于PTB和/或STB)
 - 静默模式
 - 回环模式 (内部和外部)
 - 收发器待机模式
- 扩展的状态和错误报告
- 捕获最近发生的错误类型和仲裁丢失位置
- 可编程的错误警告限制
- 可配置的中断源
- 时间戳:
 - ISO 11898-4具有部分硬件支持的时间触发CAN (当前暂未支持)
 - CiA 603时间戳 (当前暂未支持)
- 兼容AUTOSAR
- 优化用于SAE J1939

图 6-65 显示了 CAN 功能方框图。

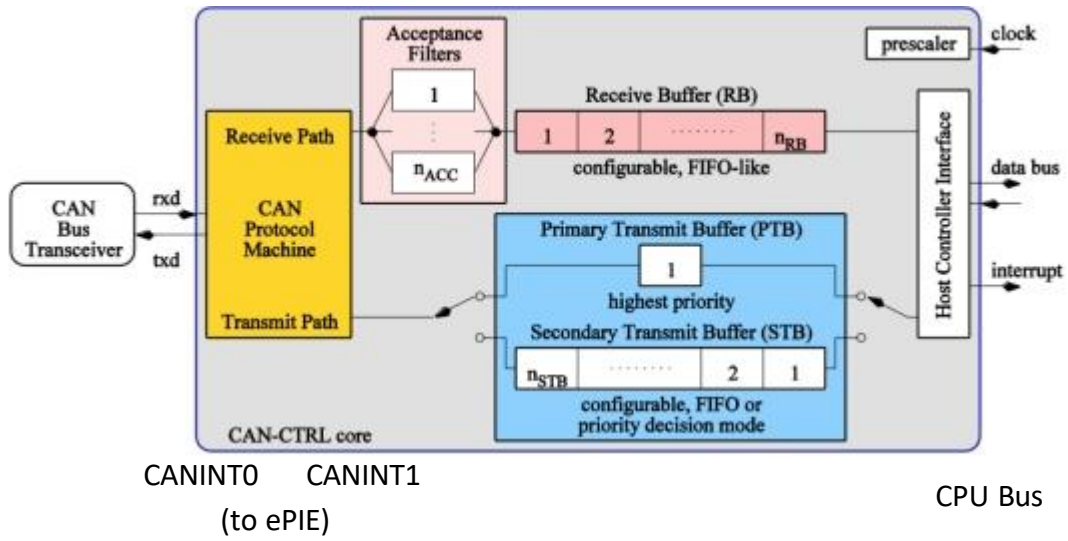


图 6-65. CAN 方框图



6.11.2 内部集成电路 (I2C)

I2C 模块具有以下特性：

1. 符合 Philips 半导体 I²C 总线规格 (版本 2.1) :
 1. 支持 1 位至 8 位格式传输
 2. 7 位和 10 位寻址模式
 3. 常规调用
 4. START 字节模式
 5. 支持多个主发送器和从接收器
 6. 支持多个从发送器和主接收器
 7. 组合主器件发送/接收和接收/发送模式
 8. 数据传输速率从 10kbps 到高达 400kbps (I2C 快速模式速率)
2. 一个 16 字节接收 FIFO 和一个 16 字节发送 FIFO
3. 可以由 CPU 使用的一个中断。该中断可因下列条件中之一而生成：
 1. 发送数据准备就绪
 2. 接收数据准备就绪
 3. 寄存器访问准备就绪
 4. 未接收到确认
 5. 仲裁丢失
 6. 检测到停止条件
 7. 被寻址为从器件
4. 在 FIFO 模式下，CPU 可以使用附加中断
5. 模块启用/禁用能力
6. 自由数据格式模式



图 6-66 显示了 I2C 外设模块如何在器件内连接。

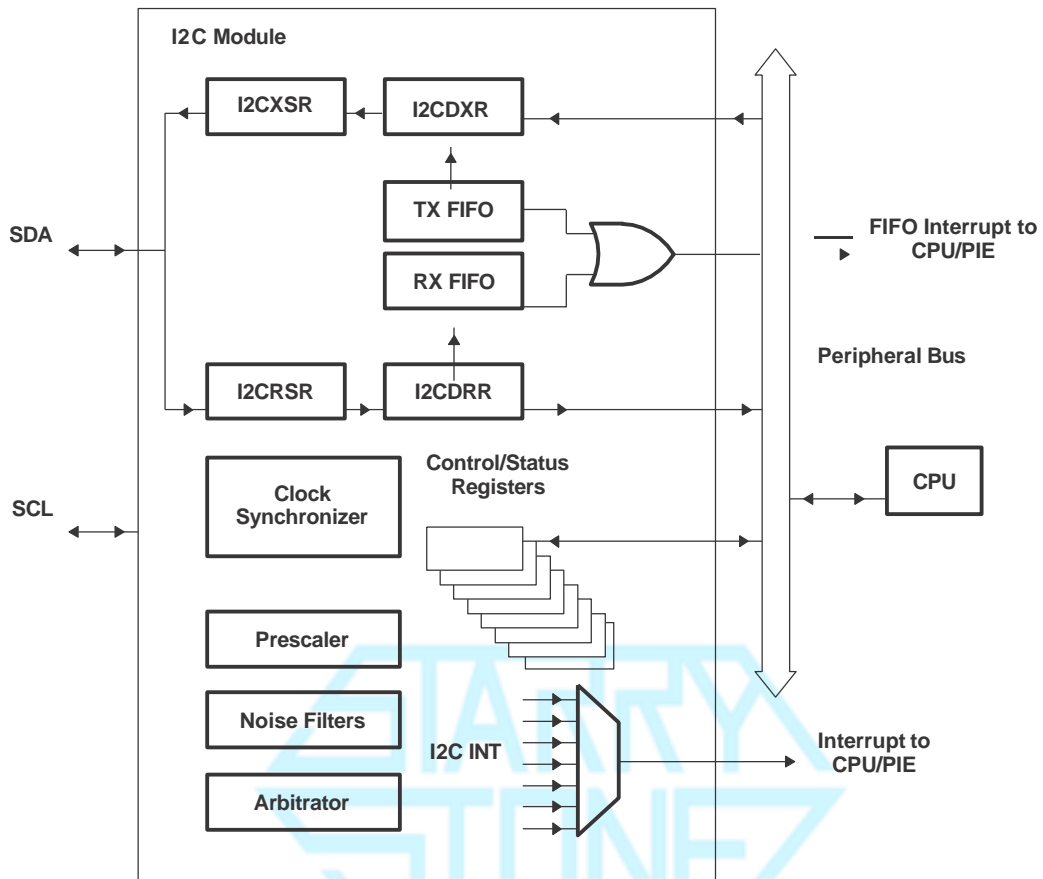


图 6-66. I2C 外设模块接口

6.11.2.1 I2C 电气数据和时序

图 6-67 显示了 I2C 时序图。

备注

为了满足所有的 I2C 协议时序规范，I2C 模块时钟必须配置为 7MHz 至 12MHz 范围内的值。

必须选择符合 I2C 标准时序的上拉电阻。在大多数情况下，2.2k Ω 的总线至 VDDIO 总线电阻是足够的。

6.11.2.1.1 I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f _{mod}	I2C 模块频率	7	12	MHz
T1	t _h (SDA-SCL)START	保持时间·启动条件·SDA 下降后 SCL 下降延迟	4.0		μ s
T2	t _{su} (SCL-SDA)START	设置时间·重复启动·SDA 下降延迟之前 SCL 上升	4.7		μ s
T3	t _h (SCL-DAT)	保持时间·SCL 下降后的数据	0		μ s
T4	t _{su} (DAT-SCL)	设置时间·SCL 上升前的数据	250		ns
T5	t _r (SDA)	上升时间·SDA		1000 ⁽¹⁾	ns
T6	t _r (SCL)	上升时间·SCL		1000 ⁽¹⁾	ns
T7	t _f (SDA)	下降时间·SDA		300	ns
T8	t _f (SCL)	下降时间·SCL		300	ns
T9	t _{su} (SCL-SDA)STOP	设置时间·停止条件·SDA 上升延迟之前 SCL 上升	4.0		μ s
T10	t _w (SP)	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C _b	每条总线上的电容负载		400	pF
快速模式					
T0	f _{mod}	I2C 模块频率	7	12	MHz
T1	t _h (SDA-SCL)START	保持时间·启动条件·SDA 下降后 SCL 下降延迟	0.6		μ s
T2	t _{su} (SCL-SDA)START	设置时间·重复启动·SDA 下降延迟之前 SCL 上升	0.6		μ s
T3	t _h (SCL-DAT)	保持时间·SCL 下降后的数据	0		μ s
T4	t _{su} (DAT-SCL)	设置时间·SCL 上升前的数据	100		ns
T5	t _r (SDA)	上升时间·SDA	20	300	ns
T6	t _r (SCL)	上升时间·SCL	20	300	ns
T7	t _f (SDA)	下降时间·SDA	11.4	300	ns
T8	t _f (SCL)	下降时间·SCL	11.4	300	ns
T9	t _{su} (SCL-SDA)STOP	设置时间·停止条件·SDA 上升延迟之前 SCL 上升	0.6		μ s
T10	t _w (SP)	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C _b	每条总线上的电容负载		400	pF

- (1) 为最大限度地缩短上升时间，TI 建议在 SDA 和 SCL 总线线路上使用大约 2.2k Ω 网络上拉电阻的强上拉电阻。还建议匹配 SCL 和 SDA 引脚上使用的上拉电阻的值。

6.11.2.1.2 I2C 开关特征

在推荐的工作条件下（除非另有说明）

编号	参数	测试条件	最小值	最大值	单位
标准模式					
S1	f_{SCL}	SCL 时钟频率	0	100	kHz
S2	T_{SCL}	SCL 时钟周期	10		μ s
S3	$t_{w(SCLL)}$	脉冲持续时间 · SCL 时钟低电平	4.7		μ s
S4	$t_{w(SCLH)}$	脉冲持续时间 · SCL 时钟高电平	4.0		μ s
S5	t_{BUF}	停止和启动条件之间的总线空闲时间	4.7		μ s
S6	$t_{V(SCL-DAT)}$	有效时间 · SCL 下降后的数据		3.45	μ s
S7	$t_{V(SCL-ACK)}$	有效时间 · SCL 下降后的确认		3.45	μ s
S8	I_i	引脚上的输入电流	$0.1 V_{bus} < V_i < 0.9 V_{bus}$	-10	10 μ A
快速模式					
S1	f_{SCL}	SCL 时钟频率	0	400	kHz
S2	T_{SCL}	SCL 时钟周期	2.5		μ s
S3	$t_{w(SCLL)}$	脉冲持续时间 · SCL 时钟低电平	1.3		μ s
S4	$t_{w(SCLH)}$	脉冲持续时间 · SCL 时钟高电平	0.6		μ s
S5	t_{BUF}	停止和启动条件之间的总线空闲时间	1.3		μ s
S6	$t_{V(SCL-DAT)}$	有效时间 · SCL 下降后的数据		0.9	μ s
S7	$t_{V(SCL-ACK)}$	有效时间 · SCL 下降后的确认		0.9	μ s
S8	I_i	引脚上的输入电流	$0.1 V_{bus} < V_i < 0.9 V_{bus}$	-10	10 μ A

1. I2C 时序图

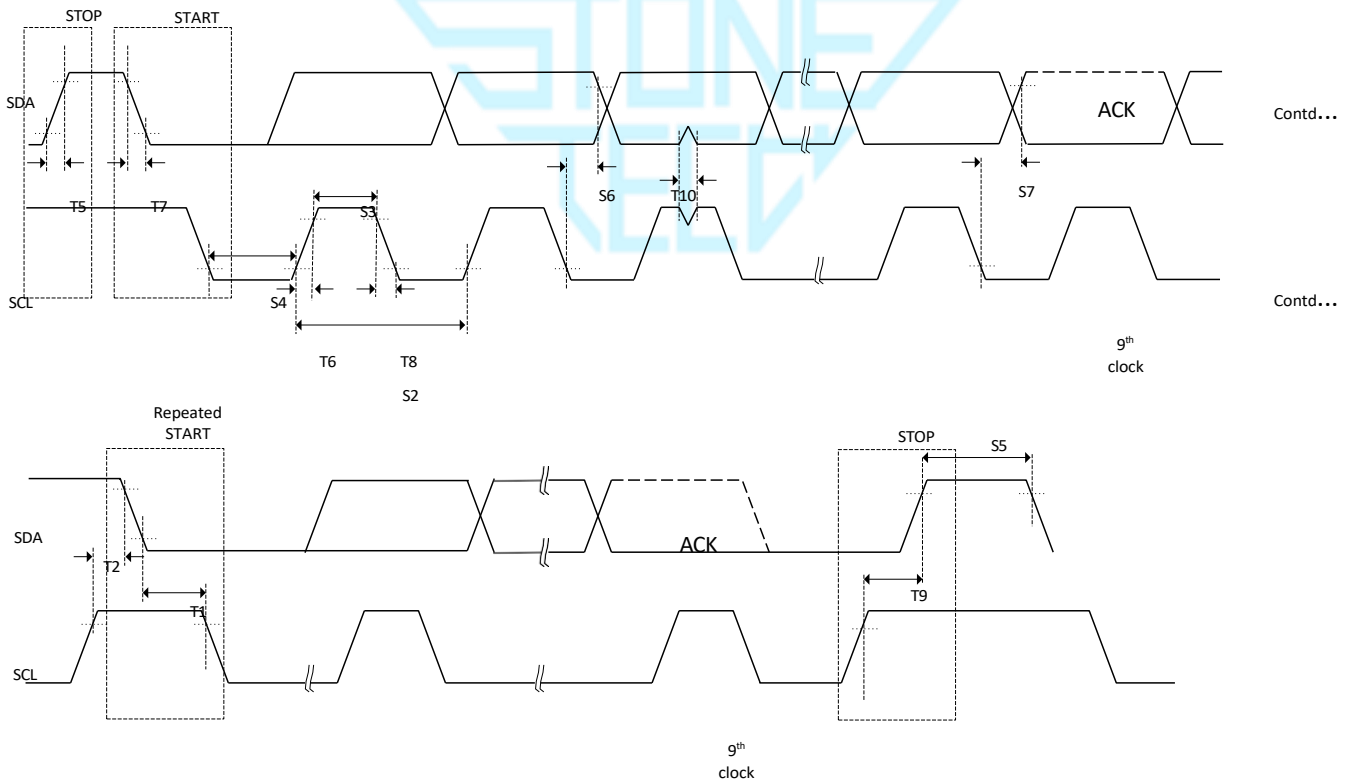


图 6-67. I2C 时序图

6.11.3 多通道缓冲串行端口 (McBSP)

McBSP 模块有以下特性：

1. 与 TMS320C28x 和 TMS320F28x DSP 器件中的 McBSP 兼容
2. 全双工通信
3. 允许连续数据流的双缓冲数据寄存器
4. 用于接收和传输的独立成帧和时钟
5. 外部移位时钟生成或者内部可编程频率移位时钟
6. 8 位数据传输模式可配置为以 LSB 或 MSB 优先传输
7. 用于帧同步和数据时钟的可编程极性
8. 高度可编程内部时钟和帧生成
9. 直接与业界通用的编解码器、模拟接口芯片 (AIC) 和其他串行连接的模数和数模器件连接
10. 支持 AC97、I2S 和 SPI 协议
11. McBSP 时钟速率：

$$CLKG = \frac{CLKSRG}{(1 + CLKGDV)}$$

其中 CLKSRG 源可以是 LSPCLK、CLKX 或 CLKR。



图 6-68 显示了 McBSP 模块的方框图。

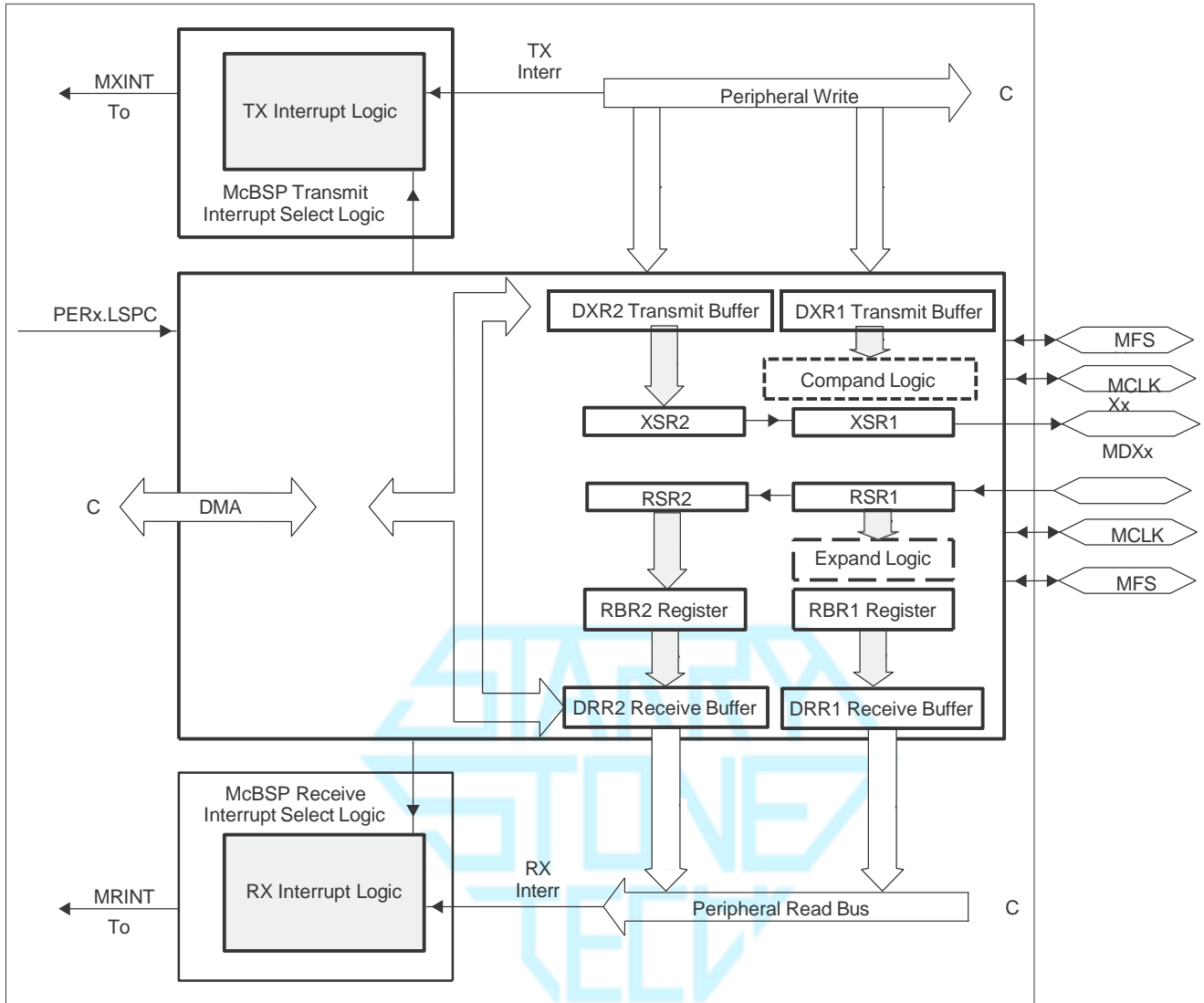


图 6-68. McBSP 方框图

6.11.3.1 McBSP 电气数据和时序

6.11.3.1.1 McBSP 传输和接收时序

图 6-69 和图 6-70 显示了McBSP 时序图。

6.11.3.1.1.1 McBSP 时序要求

编号 ⁽¹⁾ (2)				最小值 最大值	单位
	McBSP 模块时钟 (CLKG、CLKX、CLKR) 范围			1	kHz
				25	
	McBSP 模块周期时间 (CLKG、CLKX、CLKR) 范围			40	ns
				1	ms
M11	$t_{c(CKRX)}$	周期时间 · CLKR/X	CLKR/X 外部	2P	ns
M12	$t_{w(CKRX)}$	脉冲持续时间 · CLKR/X 高电平或者 CLKR/X 低电平	CLKR/X 外部	P-7	ns
M13	$t_{r(CKRX)}$	上升时间 · CLKR/X	CLKR/X 外部	7	ns
M14	$t_{f(CKRX)}$	下降时间 · CLKR/X	CLKR/X 外部	7	ns
M15	$t_{su(FRH-CKRL)}$	在 CLKR 低电平之前外部 FSR 为高电平的建立时间	CLKR 内部	18	ns
			CLKR 外部	2	
M16	$t_{h(CKRL-FRH)}$	CLKR 低电平之后 · 外部 FSR 为高电平的保持时间	CLKR 内部	0	ns
			CLKR 外部	6	
M17	$t_{su(DRV-CKRL)}$	在 CLKR 低电平之前 · DR 有效的保持时间	CLKR 内部	18	ns
			CLKR 外部	5	
M18	$t_{h(CKRL-DRV)}$	在 CLKR 低电平之后 · DR 有效的保持时间	CLKR 内部	0	ns
			CLKR 外部	3	
M19	$t_{su(FXH-CKXL)}$	在 CLKX 低电平之前 · 外部 FSX 为高电平的建立时间	CLKX 内部	18	ns
			CLKX 外部	2	
M20	$t_{h(CKXL-FXH)}$	CLKX 低电平之后 · 外部 FSX 为高电平的保持时间	CLKX 内部	0	ns
			CLKX 外部	6	

1. 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转 · 那么该信号的时序基准也被反转。
2. $2P=1/CLKG$ · 单位为 ns。CLKG 是采样率发生器复用器的输出。CLKG=CLKSRG/(1+CLKGDV)。CLKSRG 可以是 LSPCLK · CLKX · CLKR 作为源。CLKSRG ≤ (SYSCLK/2)。

6.11.3.1.1.2 McBSP 开关特征

在推荐的工作条件下（除非另有说明）

编号 ⁽¹⁾ (2)	参数		最小值	最大值	单位	
M1	$t_{c}(CLKRX)$	周期时间 · CLKR/X	CLKR/X 内部	2P	ns	
M2	$t_{w}(CKRXH)$	脉冲持续时间 · CLKR/X 高电平	CLKR/X 内部	D-5 ⁽³⁾ D+5 ⁽³⁾	ns	
M3	$t_{w}(CKRXL)$	脉冲持续时间 · CLKR/X 低电平	CLKR/X 内部	C-5 ⁽³⁾ C+5 ⁽³⁾	ns	
M4	$t_{d}(CKRH-FRV)$	CLKR 高电平到内部 FSR 有效的延迟时间	CLKR 内部	-7 7.5	ns	
			CLKR 外部	3 27		
M5	$t_{d}(CKXH-FXV)$	CLKX 高电平到内部 FSX 有效的延迟时间	CLKX 内部	-5 6	ns	
			CLKX 外部	3 27		
M6	$t_{dis}(CKXH-DXHZ)$	CLKX 高电平到 DX 在最后一个数据位后为高阻抗的禁用时间	CLKX 内部	-8 8	ns	
			CLKX 外部	3 15		
M7	$t_{d}(CKXH-DXV)$	CLKX 高电平到 DX 有效的延迟时间。 这应用于除传输的第一个位之外的所有位。	CLKX 内部	-3 9	ns	
			CLKX 外部	5 25		
		CLKX 高电平到 DX 有效的延迟时间 当处于数据延迟 1 或者 2 (XDATDLY=01b 或者 10b) 模式时 · 只应用于传输的第一个位	DXENA=0	CLKX 内部		-3 8
			DXENA=1	CLKX 外部		5 20
M8	$t_{en}(CKXH-DX)$	CLKX 高电平时 DX 被驱动的使能时间 当处于数据延迟 1 或者 2 (XDATDLY=01b 或者 10b) 模式时 · 只应用于传输的第一个位	DXENA=0	CLKX 内部	-6	ns
			DXENA=0	CLKX 外部	4	
		DXENA=1	CLKX 内部	P-6		
			CLKX 外部	P+4		
M9	$t_{d}(FXH-DXV)$	FSX 高电平到 DX 有效的延迟时间 当处于数据延迟 0 (XDATDLY=00b) 模式时 · 只应用于传输的第一个位。	DXENA=0	FSX 内部	8	ns
			DXENA=0	FSX 外部	17	
		DXENA=1	FSX 内部	P+8		
			FSX 外部	P+17		
M10	$t_{en}(FXH-DX)$	FSX 高电平到 DX 驱动的使能时间 当处于数据延迟 0 (XDATDLY=00b) 模式时 · 只应用于传输的第一个位	DXENA=0	FSX 内部	-3	ns
			DXENA=0	FSX 外部	6	
		DXENA=1	FSX 内部	P-3		
			FSX 外部	P+6		

1. 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转 · 那么该信号的时序基准也被反转。
2. 2P=1/CLKG · 单位为 ns。
3. C=CLKRX 低脉冲宽度=P
D=CLKRX 高脉冲宽度=P

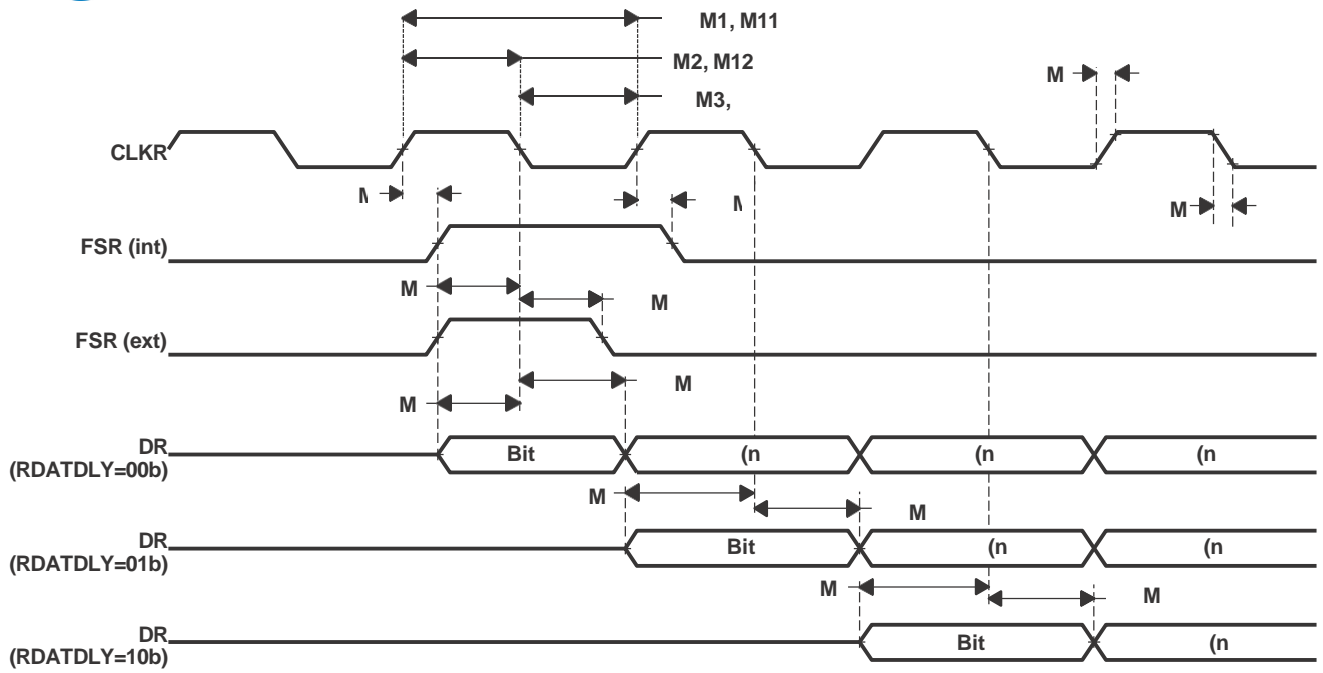


图 6-69. McBSP 接收时序

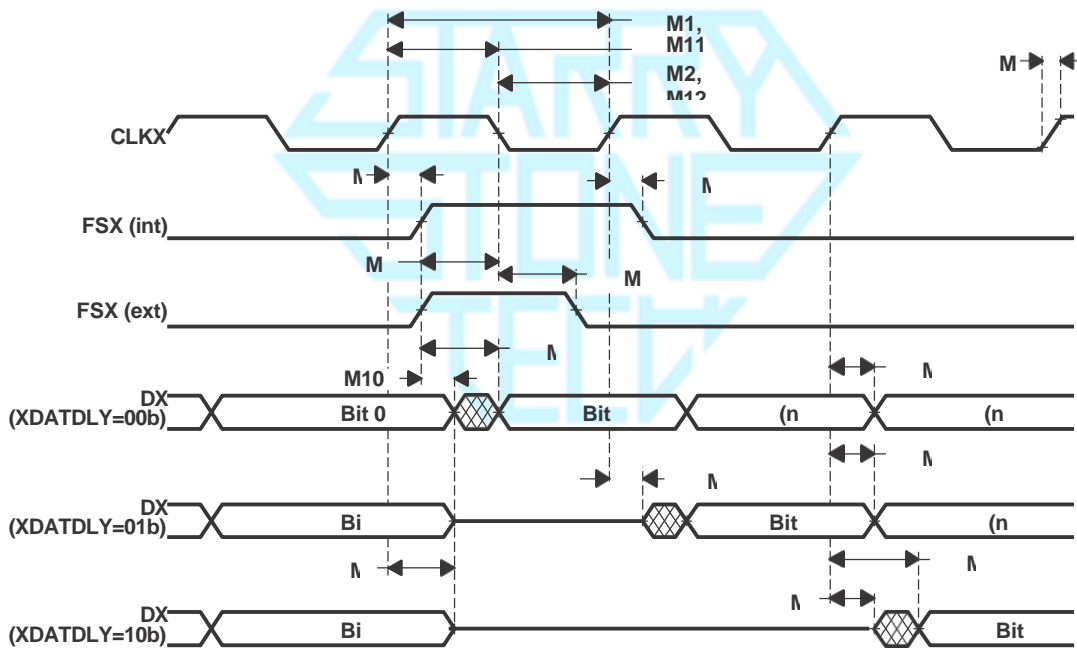


图 6-70. McBSP 传输时序

6.11.3.1.2 McBSP 作为 SPI 主器件或从器件时序

图 6-71 至图 6-74 显示了 McBSP 作为 SPI 主器件或从器件计时示意图。

6.11.3.1.2.1 McBSP 作为 SPI 主器件的时序要求

编号		最小值	最大值	单位
时钟				
	$t_{c}(\text{CLKG})$ 周期时间 · CLKG ⁽¹⁾	$2 \cdot t_{c}(\text{LSPCLK})$		ns
	P 周期时间 · LSPCLK ⁽¹⁾	$t_{c}(\text{LSPCLK})$		ns
M33、 M42、 M52、 M61	$t_{c}(\text{CKX})$ 周期时间 · CLKX	2P		ns
CLKSTP=10b, CLKXP=0				
M30	$t_{su}(\text{DRV-CKXL})$ 在 CLKX 低电平之前 · DR 有效的建立时间	30		ns
M31	$t_{h}(\text{CKXL-DRV})$ 在 CLKX 低电平之后 · DR 有效的保持时间	1		ns
CLKSTP=11b, CLKXP=0				
M39	$t_{su}(\text{DRV-CKXH})$ 建立时间 · CLKX 高电平前 · DR 有效的建立时间	30		ns
M40	$t_{h}(\text{CKXH-DRV})$ CLKX 高电平后 · DR 有效的保持时间	1		ns
CLKSTP=10b, CLKXP=1				
M49	$t_{su}(\text{DRV-CKXH})$ 建立时间 · CLKX 高电平前 · DR 有效的建立时间	30		ns
M50	$t_{h}(\text{CKXH-DRV})$ CLKX 高电平后 · DR 有效的保持时间	1		ns
CLKSTP=11b, CLKXP=1				
M58	$t_{su}(\text{DRV-CKXL})$ 在 CLKX 低电平之前 · DR 有效的建立时间	30		ns
M59	$t_{h}(\text{CKXL-DRV})$ 在 CLKX 低电平之后 · DR 有效的保持时间	1		ns

(1) 通过设置 CLKSM=1 和 CLKGDV=1 · 应将 CLKG 配置为 LSPCLK/2

6.11.3.1.2.2 McBSP 作为SPI 主器件开关特征

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数		最小值	典型值	最大值	单位
时钟						
M33	$t_c(\text{CLKG})$	周期时间 · CLKG ⁽¹⁾ ($n \cdot t_c(\text{LSPCLK})$)	40			ns
	P	半个 CLKG 周期； $0.5 \cdot t_c(\text{CLKG})$	20			ns
	n	LSPCLK 到 CLKG 分频器	2			ns
CLKSTP=10b, CLKXP=0						
M24	$t_h(\text{CKXL-FXL})$	CLKX 低电平之后 · FSX 高电平的保持时间	2P - 6			ns
M25	$t_d(\text{FXL-CKXH})$	FSX 低电平到 CLKX 高电平的延迟时间	P - 6			ns
M26	$t_d(\text{CLKXH-DXV})$	CLKX 高电平至 DX 有效的延迟时间 [检查时钟极性并新增到时序图]	-4		6	ns
M28	$t_{dis}(\text{FXH-DXHZ})$	从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的禁用时间 [重新定义时序图]	P - 8			ns
M29	$t_d(\text{FXL-DXV})$	FSX 低电平到 DX 有效的延迟时间	P - 3		P+6	ns
CLKSTP=11b, CLKXP=0						
M34	$t_h(\text{CKXL-FXH})$	CLKX 低电平之后 · FSX 高电平的保持时间	P - 6			ns
M35	$t_d(\text{FXL-CKXH})$	FSX 低电平到 CLKX 高电平的延迟时间	P - 6			ns
M36	$t_d(\text{CLKXL-DXV})$	CLKX 低电平至 DX 有效的延迟时间 [检查时钟极性并新增到时序图]	-4		6	ns
M37	$t_{dis}(\text{CKXL-DXHZ})$	从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的禁用时间	P - 6			ns
M38	$t_d(\text{FXL-DXV})$	FSX 低电平到 DX 有效的延迟时间	-2		1	ns
CLKSTP=10b, CLKXP=1						
M43	$t_h(\text{CKXH-FXH})$	· CLKX 高电平之后 · FSX 高电平的保持时间	2P - 6			ns
M44	$t_d(\text{FXL-CKXL})$	FSX 低电平到 CLKX 低电平的延迟时间	P - 6			ns
M45	$t_d(\text{CLKXL-DXV})$	CLKX 低电平至 DX 有效的延迟时间 [检查时钟极性并新增到计时示意图]	-4		6	ns
M47	$t_{dis}(\text{FXH-DXHZ})$	从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的禁用时间 [重新定义计时示意图]	P - 6			ns
M48	$t_d(\text{FXL-DXV})$	FSX 低电平到 DX 有效的延迟时间	-2		1	ns
CLKSTP=11b, CLKXP=1						
M53	$t_h(\text{CKXH-FXH})$	CLKX 高电平之后 · FSX 高电平的保持时间	P - 6			ns
M54	$t_d(\text{FXL-CKXL})$	FSX 低电平到 CLKX 低电平的延迟时间	2P - 6			ns
M55	$t_d(\text{CLKXH-DXV})$	CLKX 高电平到 DX 有效的延迟时间	-4		6	ns
M56	$t_{dis}(\text{CKXH-DXHZ})$	从 CLKX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	P - 8			ns
M57	$t_d(\text{FXL-DXV})$	FSX 低电平到 DX 有效的延迟时间	-2		1	ns

(1) 通过设置 CLKSM=1 和 CLKGDV=1 · 应将 CLKG 配置为 LSPCLK/2。

6.11.3.1.2.3 McBSP 作为SPI 从器件的时序要求

编号			最小值	最大值	单位
时钟					
	$t_c(\text{CLKG})$	周期时间 · CLKG ⁽¹⁾	$2 \cdot t_c(\text{LSPCLK})$		ns
	P	周期时间 · LSPCLK ⁽¹⁾	$t_c(\text{LSPCLK})$		ns
M33、 M42、 M52、 M61	$t_c(\text{CKX})$	周期时间 · CLKX ⁽²⁾	16P		ns
不适用	$t_{\text{skew}}(\text{CKX-Data})$	时钟和数据之间的最差偏移以确保采样时钟和数据的 GBD			ns
CLKSTP=10b, CLKXP=0					
M30	$t_{\text{su}}(\text{DRV-CKXL})$	在 CLKX 低电平之前 · DR 有效的保持时间	8P-10		ns
M31	$t_{\text{h}}(\text{CKXL-DRV})$	在 CLKX 低电平之后 DR 有效的保持时间	8P-10		ns
M32	$t_{\text{su}}(\text{BFXL-CKXH})$	CLKX 高电平前 · FSX 为低电平的建立时间	8P+10		ns
CLKSTP=11b, CLKXP=0					
M39	$t_{\text{su}}(\text{DRV-CKXH})$	在 CLKX 高电平之前 DR 有效的设置时间	8P-10		ns
M40	$t_{\text{h}}(\text{CKXH-DRV})$	CLKX 高电平后 · DR 有效的保持时间	8P-10		ns
M41	$t_{\text{su}}(\text{FXL-CKXH})$	CLKX 高电平前 · FSX 为低电平的建立时间	16P+10		ns
CLKSTP=10b, CLKXP=1					
M49	$t_{\text{su}}(\text{DRV-CKXH})$	在 CLKX 高电平之前 DR 有效的设置时间	8P-10		ns
M50	$t_{\text{h}}(\text{CKXH-DRV})$	CLKX 高电平后 · DR 有效的保持时间	8P-10		ns
M51	$t_{\text{su}}(\text{FXL-CKXL})$	CLKX 低电平前 · FSX 为低电平的建立时间	8P+10		ns
CLKSTP=11b, CLKXP=1					
M58	$t_{\text{su}}(\text{DRV-CKXL})$	在 CLKX 低电平之前 · DR 有效的保持时间	8P-10		ns
M59	$t_{\text{h}}(\text{CKXL-DRV})$	在 CLKX 低电平之后 DR 有效的保持时间	8P-10		ns
M60	$t_{\text{su}}(\text{FXL-CKXL})$	CLKX 低电平前 · FSX 为低电平的建立时间	16P+10		ns

1. 通过设置 CLKSM=1 和 CLKGDV=1 · 应将 CLKG 配置为 LSPCLK/2
2. 对于 SPI 从模式 · CLKX 必须至少为 8 个 CLKG 周期

6.11.3.1.2.4 McBSP 作为SPI 从器件开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数	最小值	典型值	最大值	单位
时钟					
	2P 周期时间 · CLKG				ns
CLKSTP=10b, CLKXP=0					
M26	$t_{d(CLKXH-DXV)}$ CLKX 高电平到 DX 有效的延迟时间	3P + 6		5P + 20	ns
M28	$t_{dis(FXH-DXHZ)}$ 从 FSX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	6P + 6			ns
M29	$t_{d(FXL-DXV)}$ FSX 低电平到 DX 有效的延迟时间	4P + 6			ns
CLKSTP=11b, CLKXP=0					
M36	$t_{d(CLKXL-DXV)}$ CLKX 低电平到 DX 有效的延迟时间	3P + 6		5P + 20	ns
M37	$t_{dis(CKXL-DXHZ)}$ 禁用时间 · 从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的时间	7P + 6			ns
M38	$t_{d(FXL-DXV)}$ FSX 低电平到 DX 有效的延迟时间	4P + 6			ns
CLKSTP=10b, CLKXP=1					
M45	$t_{d(CLKXL-DXV)}$ CLKX 低电平到 DX 有效的延迟时间	3P + 6		5P + 20	ns
M47	$t_{dis(FXH-DXHZ)}$ 从 FSX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	6P + 6			ns
M48	$t_{d(FXL-DXV)}$ FSX 低电平到 DX 有效的延迟时间	4P + 6			ns
CLKSTP=11b, CLKXP=1					
M55	$t_{d(CLKXH-DXV)}$ CLKX 高电平到 DX 有效的延迟时间	3P + 6		5P + 20	ns
M56	$t_{dis(CKXH-DXHZ)}$ 从 CLKX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	7P + 6			ns
M57	$t_{d(FXL-DXV)}$ FSX 低电平到 DX 有效的延迟时间	4P + 6			ns

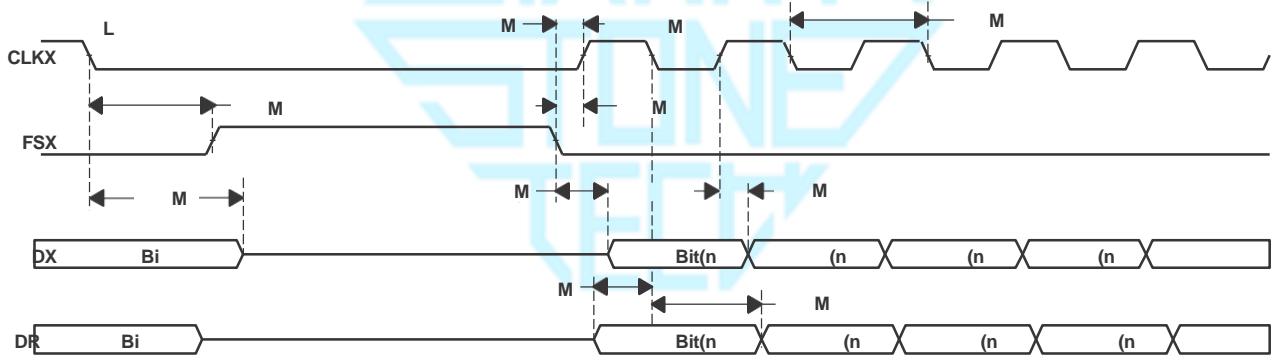


图 6-71. McBSP 时序作为 SPI 主器件或从器件：CLKSTP=10b, CLKXP=0

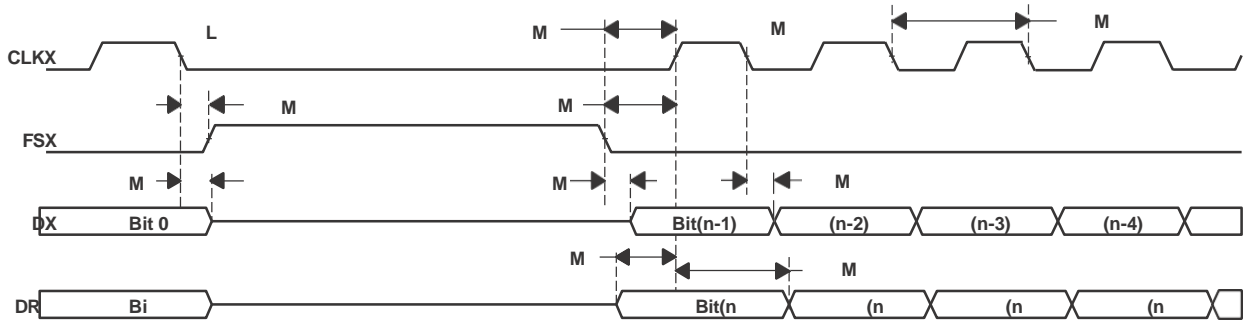


图 6-72. McBSP 时序作为 SPI 主器件或从器件：CLKSTP=11b, CLKXP=0

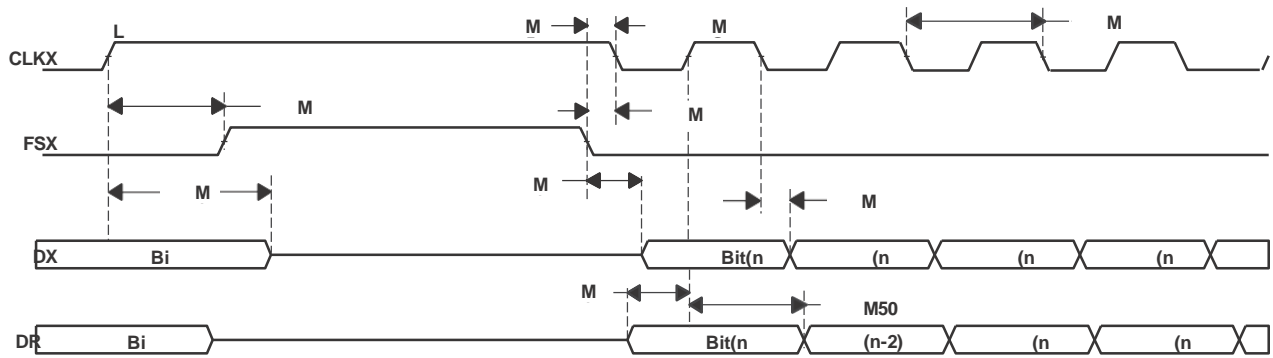


图 6-73. McBSP 时序作为 SPI 主器件或从器件: CLKSTP=10b, CLKXP=1

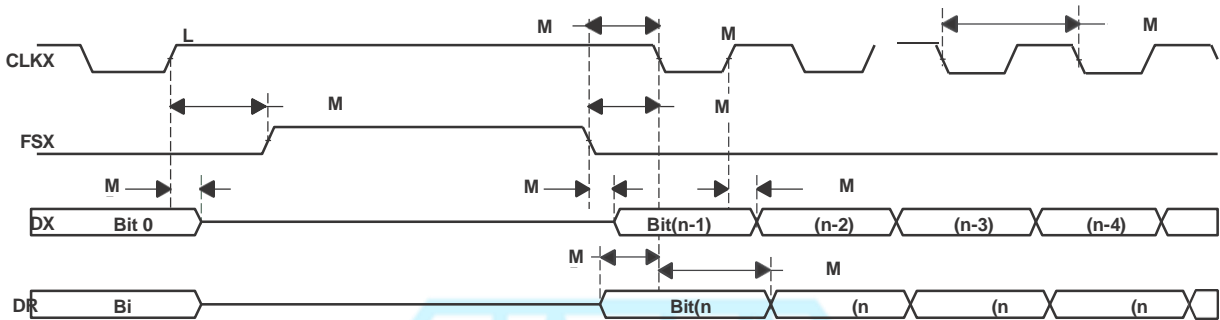


图 6-74. McBSP 时序作为 SPI 主器件或从器件: CLKSTP=11b, CLKXP=1

6.11.4 串行通信接口 (SCI)

SCI 是一种双线制异步串行端口，通常称为 UART。SCI 模块支持 CPU 与其他异步外设之间使用标准非归零码 (NRZ) 格式的数字通信

SCI 发送器和接收器都有一个用于减少服务开销的 16 级深度 FIFO，且具有各自独立的使能位和中断位。两者都能独立进行半双工通信，或同时进行全双工通信。为了指定数据完整性，SCI 检查接收到的数据是否存在中断检测、奇偶校验、超限和成帧错误。比特率通过 16 位波特选择寄存器可编程为不同的速度。图 6-75 显示了 SCI 模块方框图。

SCI 模块的特性包括：

- 两个外部引脚：
 - SCITXD：SCI 发送-输出引脚
 - SCIRXD：SCI 接收-输入引脚

备注

注意：如果不用作 SCI，则两个引脚都可以用作 GPIO。

- 波特率可编程为 64K 不同速率
- 数据字格式
 - 一个开始位
 - 数据字长度可在 1 至 8 位之间编程
 - 可选偶数/奇数/无奇偶校验位
 - 1 个或 2 个停止位
- 四个错误检测标志：奇偶校验、超限、成帧和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
 - 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TX EMPTY 标志（发送器移位寄存器为空）
 - 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了中断条件）和 RX ERROR 标志（监测四个中断条件）

- 发送器和接收器中断的独立使能位 (BRKDT 除外)
- NRZ 格式
- 自动波特检测硬件逻辑
- 16 级发送和接收 FIFO

备注

此模块中的所有寄存器均为 8 位寄存器。当寄存器被访问时，寄存器数据位于低位字节 (位 7-0)，高位字节 (位 15-8) 读取为零。对高字节进行写入无效。



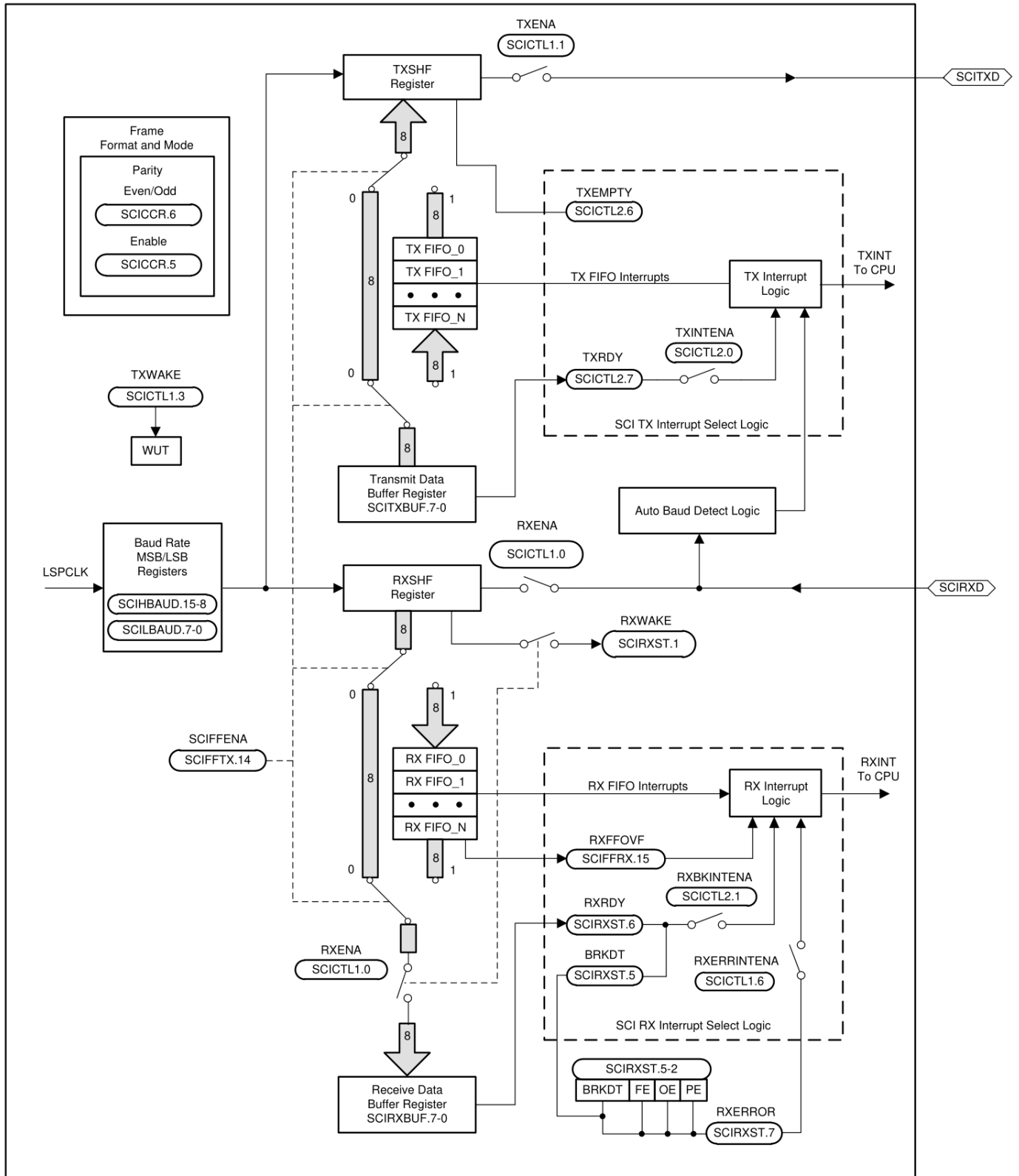


图6-75. SCI 方框图

全双工操作中使用主要元素包括：

- 发送器 (TX) 及其主要寄存器：
 - SCITXBUF 寄存器 - 发送器数据缓冲寄存器。包含待传输的数据（由 CPU 加载）
 - TXSHF 寄存器 - 发送器移位寄存器。接收来自 SCITXBUF 寄存器的数据并将数据移到 SCITXD 引脚上，一次移动 1 位
- 接收器 (RX) 及其主要寄存器：
 - RXSHF 寄存器 - 接收器移位寄存器。从 SCIRXD 引脚移入数据，一次移动 1 位
 - SCIRXBUF 寄存器 - 接收器数据缓冲寄存器。包含由 CPU 读取的数据。来自远程处理器的数据被加载到 RXSHF 寄存器中，然后加载到 SCIRXBUF 和 SCIRXEMU 寄存器
- 可编程波特生成器
- 数据存储器映射控制和状态寄存器使 CPU 能够访问 I2C 模块寄存器和 FIFO。

SCI 接收器和发送器独立工作。



6.11.5 串行外设接口 (SPI)

SPI 是一款高速同步串行输入/输出 (I/O) 端口，其允许以编程的比特传输速率将编程长度 (1 至 16 位) 的串行位流移入和移出器件。SPI 通常用于微控制器与外部外设或另一控制器之间的通信。典型应用包含通过移位寄存器、显示驱动器和 ADC 等器件进行外部 I/O 或外设扩展。多器件通信由 SPI 的主/从操作支持。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的功能包括：

- SPISOMI：SPI 从器件输出/主器件输入引脚
- SPISIMO：SPI 从器件输入/主器件输出引脚
- SPISTE：SPI 从器件发送使能引脚
- SPICLK：SPI 串行时钟引脚
- 两个运行模式：主模式和从模式
- 波特率：125 个不同的可编程速率
- 数据字长度：1 至 16 数据位
- 四种时钟方案 (由时钟极性和时钟相位的位控制) 包含：
 - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
 - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
 - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
 - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作 (可在软件中禁用发送功能)
- 发送器和接收器操作通过中断驱动或轮询算法完成。
- 16 级发送和接收 FIFO
- 延迟的发送控制
- 3 线 SPI 模式
- SPISTE 反转 - 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 SPISTE 反转
- DMA 支持
- 高速模式，可实现高达 50MHz 的全双工通信

SPI 在主模式或从模式下工作。主器件通过发送 SPICLK 信号来启动数据传输。对于主器件和从器件而言，数据都是从 SPICLK 一个边沿上的移位寄存器移出，并锁存到相反的 SPICLK 时钟边沿上的移位寄存器中。如果 CLOCK PHASE 位 (SPICLK3) 为高电平，则在 SPICLK 转换前的半个周期内发送和接收数据。因此，两个控制器同时发送和接收数据。应用软件确定数据是有意义的还是虚拟数据。可以通过三种方法发送数据：

- 主器件发送数据，从器件发送虚拟数据
- 主器件发送数据，从器件发送数据
- 主器件发送虚拟数据，从器件发送数据

主器件控制着 SPICLK 信号，故其可随时启动数据传输。然而，当从器件准备好广播数据时，软件确定了主器件如何进行检测。

图 6-76 显示了 SPI CPU 接口。

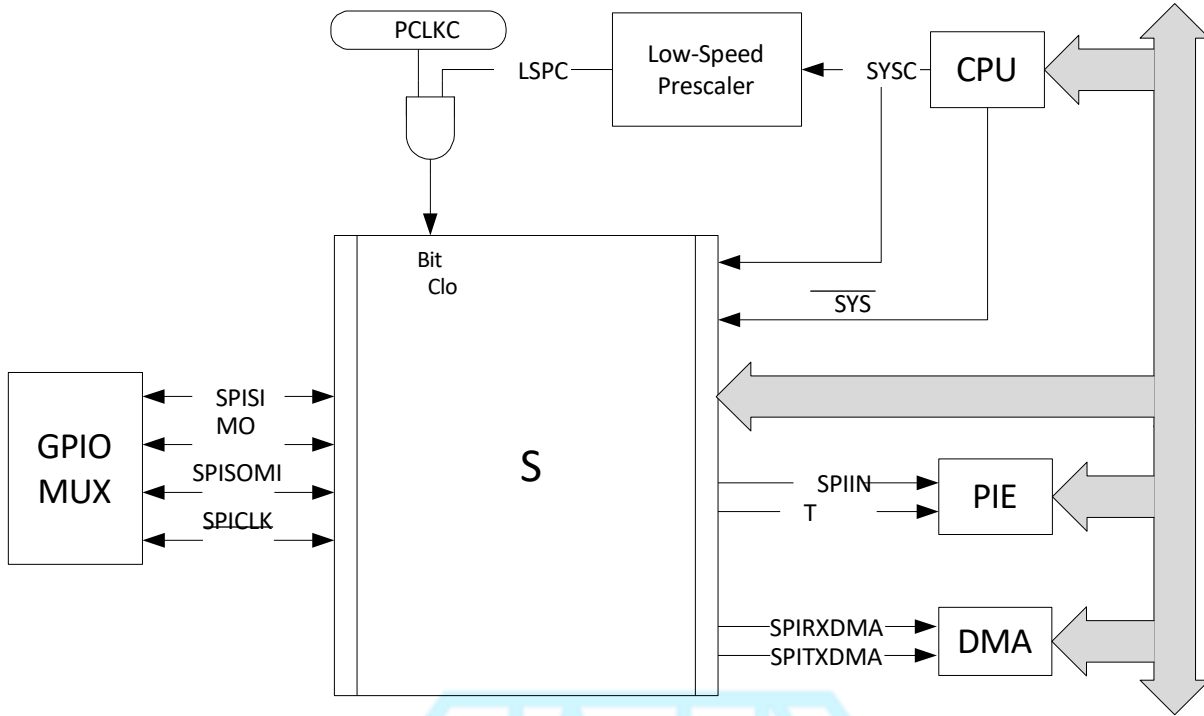


图 6-76. SPI CPU 接口

6.11.5.1 SPI 电气数据和时序

备注

SPI 高速模式的所有时序参数都假设 SPICLK、SPISIMO 和 SPISOMI 上的负载电容为 5pF。

为了在高速模式下使用 SPI，应用必须使用支持高速模式的 GPIO。

6.1.1.1.1 SPI 主模式时序

图 6-77 显示了时钟相位 = 0 时的 SPI 主模式外部时序。图 6-78 显示了时钟相位 = 1 时的 SPI 主模式外部时序。

6.11.5.1.1.1 SPI 主模式时序要求

编号		(BRR + 1) 条件 (1)	最小值	最大值	单位
高速模式					
8	$t_{su(SOMI)M}$	SPICLK 之前 SPISOMI 有效的设置时间	偶数 · 奇数	1	ns
9	$t_{h(SOMI)M}$	SPICLK 之后 SPISOMI 有效的保持时间	偶数 · 奇数	5	ns
正常模式					
8	$t_{su(SOMI)M}$	SPICLK 之前 SPISOMI 有效的设置时间	偶数 · 奇数	20	ns
9	$t_{h(SOMI)M}$	SPICLK 之后 SPISOMI 有效的保持时间	偶数 · 奇数	0	ns

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

6.11.5.1.1.2 SPI 主模式开关特征 (时钟相位 = 0)

在建议运行条件下测得 (除非另有说明)

编号	参数	(BRR + 1) 条件 (1)	最小值	最大值	单位	
通用						
1	$t_{c(SPC)M}$	周期时间 · SPICLK	偶数	$8t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$9t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	脉冲持续时间 · SPICLK · 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间 · SPICLK · 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_d(SPC)M$	延时时间 · SPISIMO 有效至 SPICLK	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLOCK)} - 7$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLOCK)} + 5$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLOCK)} - 7$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLOCK)} + 5$	
24	$t_{v(STE)M}$	有效时间 · SPICLK 至 SPISIMO 无效	偶数	$0.5t_{c(SPC)M} - 7$	$0.5t_{c(SPC)M} + 5$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 7$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 5$	

6.11.5.1.1.3SPI 主模式开关特征 (时钟相位=0) (续)

在建议运行条件下测得 (除非另有说明)

编号	参数	(BRR + 1) 条件 (1)	最小值	最大值	单位
高速模式					
4	$t_{d(SIMO)M}$ 延迟时间 · SPICLK 至 SPISIMO 有效的 时间	偶数 · 奇数		1	ns
5	$t_{v(SIMO)M}$ 有效时间 · SPICLK 之后 SPISIMO 有 效的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 2$		
正常模式					
4	$t_{d(SIMO)M}$ 延迟时间 · SPICLK 至 SPISIMO 有效的 时间	偶数 · 奇数		6	ns
5	$t_{v(SIMO)M}$ 有效时间 · SPICLK 之后 SPISIMO 有 效的时间	偶数	$0.5t_{c(SPC)M} - 5$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 5$		

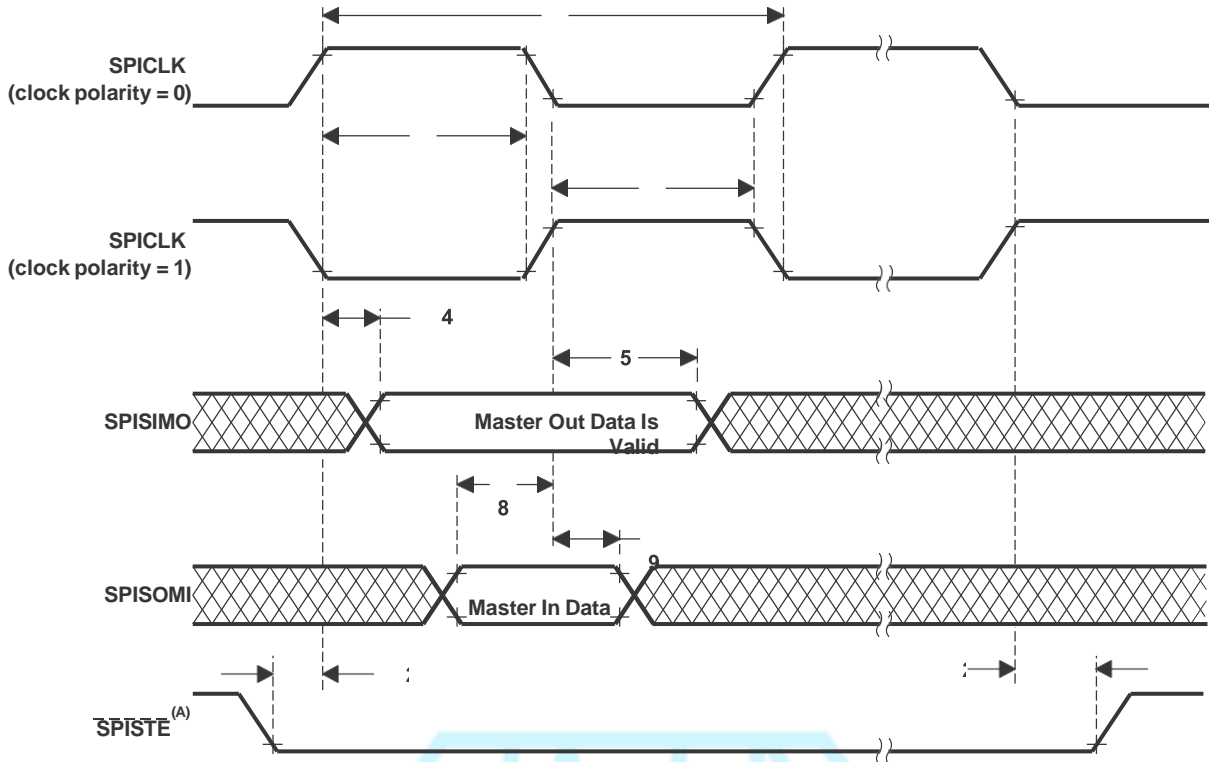
(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时 · (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时 · (BRR + 1) 条件为奇数。

6.11.5.1.1.4SPI 主模式开关特征 (时钟相位=1)

在建议运行条件下测得 (除非另有说明)

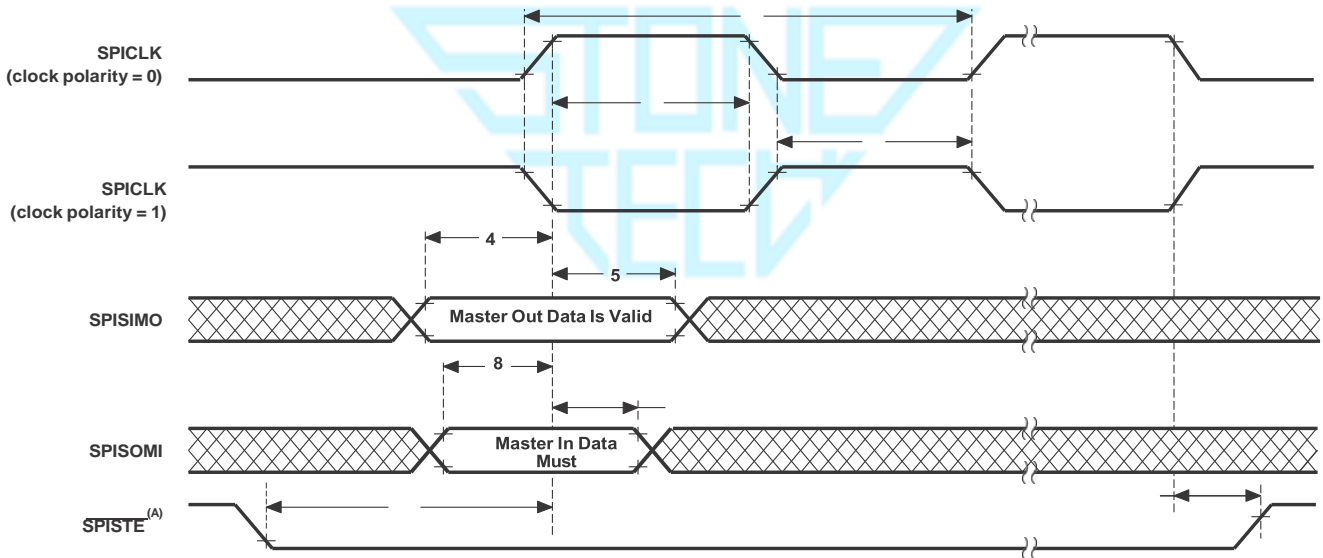
编号	参数	(BRR + 1) 条件 (1)	最小值	最大值	单位
通用					
1	$t_{c(SPC)M}$ 周期时间 · SPICLK	偶数	$8t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$9t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$ 脉冲持续时间 · SPICLK · 第一 个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$ 脉冲持续时间 · SPICLK · 第二 个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
2 3	$t_{d(SPC)M}$ 延时时间 · SPISTE 有效至 SPICLK	偶数 · 奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 7$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 5$	ns
24	$t_{v(STE)M}$ 有效时间 · SPICLK 至 $\overline{\text{SPISTE}}$ 无效	偶数	- 7	+5	ns
		奇数	- 7	+5	
高速模式					
4	$t_{d(SIMO)M}$ 延迟时间 · SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 1$		ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		
5	$t_{v(SIMO)M}$ 有效时间 · SPICLK 之后 SPISIMO 有效的的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 2$		
正常模式					
4	$t_{d(SIMO)M}$ 延迟时间 · SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 5$		ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 5$		
5	$t_{v(SIMO)M}$ 有效时间 · SPICLK 之后 SPISIMO 有效的的时间	偶数	$0.5t_{c(SPC)M} - 5$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 5$		

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时 · (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时 · (BRR + 1) 条件为奇数。



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，SPISTE 将变为停止状态。

图6-77. SPI 主模式外部时序 (时钟相位 = 0)



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，SPISTE 将变为停止状态。

图6-78. SPI 主模式外部时序 (时钟相位 = 1)

6.11.5.1.2 SPI 从模式时序

图 6-79 显示了时钟相位 = 0 时的 SPI 从模式外部时序。图 6-80 显示了时钟相位 = 1 时的 SPI 从模式外部时序。

6.11.5.1.2.1 SPI 从模式时序要求

编号			最小值	最大值	单位
12	$t_{c(SPC)}S$	周期时间 · SPICLK	$8t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)}S$	脉冲持续时间 · SPICLK · 第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)}S$	脉冲持续时间 · SPICLK · 第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)}S$	SPICLK 之前 $\overline{SPISIMO}$ 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)}S$	SPICLK 之后 $\overline{SPISIMO}$ 有效的保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)}S$	SPICLK 之前 \overline{SPISTE} 有效的设置时间 (时钟相位 = 0)	$2t_{c(SYSCLK)} + 4$		ns
		SPICLK 之前 \overline{SPISTE} 有效的设置时间 (时钟相位 = 1)	$2t_{c(SYSCLK)} + 14$		ns
26	$t_{h(STE)}S$	SPICLK 之后 \overline{SPISTE} 无效的保持时间	$1.5t_{c(SYSCLK)}$		ns

6.11.5.1.2.2 SPI 从模式开关特征

在推荐的工作条件下 (除非另有说明)

编号	参数		最小值	最大值	单位
高速模式					
15	$t_{d(SOMI)}S$	延迟时间 · SPICLK 至 SPISOMI 有效的的时间		9	ns
16	$t_{v(SOMI)}S$	有效时间 · SPICLK 之后 SPISOMI 有效的的时间	0		ns
正常模式					
15	$t_{d(SOMI)}S$	延迟时间 · SPICLK 至 SPISOMI 有效的的时间		20	ns
16	$t_{v(SOMI)}S$	有效时间 · SPICLK 之后 SPISOMI 有效的的时间	0		ns

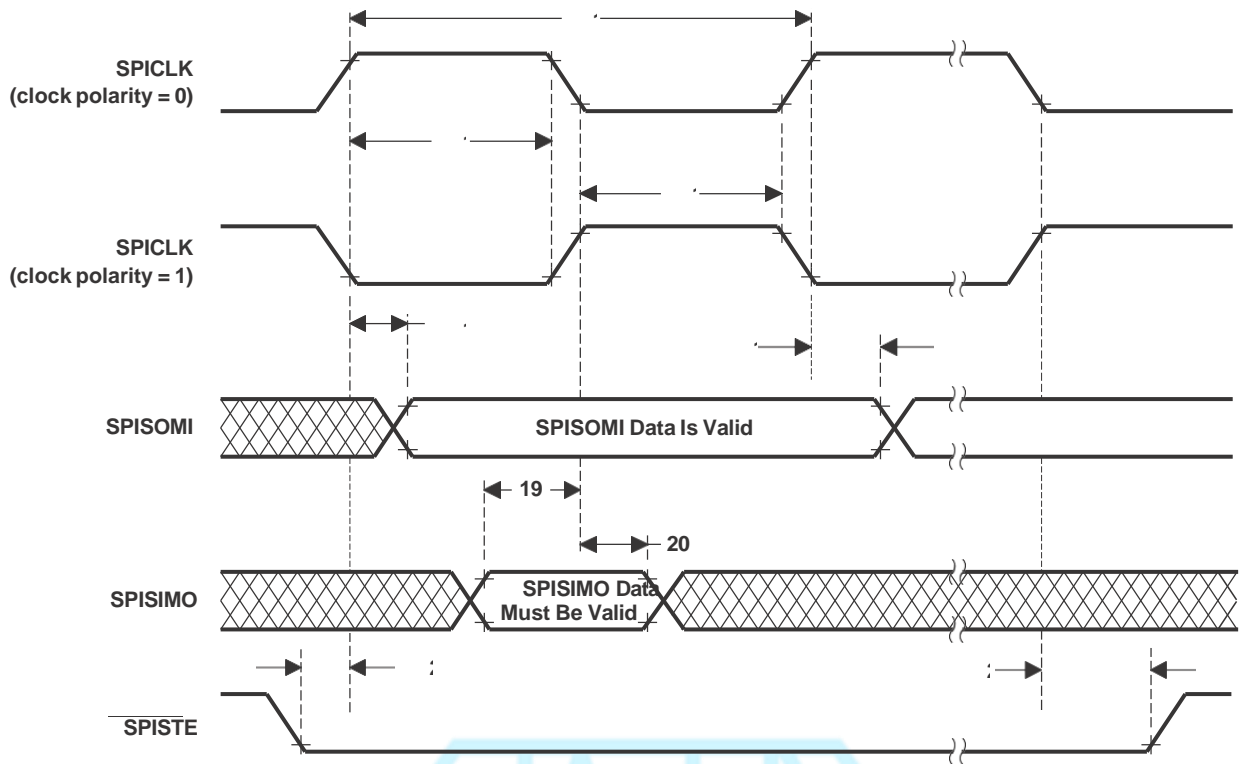


图6-79. SPI 从模式外部时序 (时钟相位 = 0)

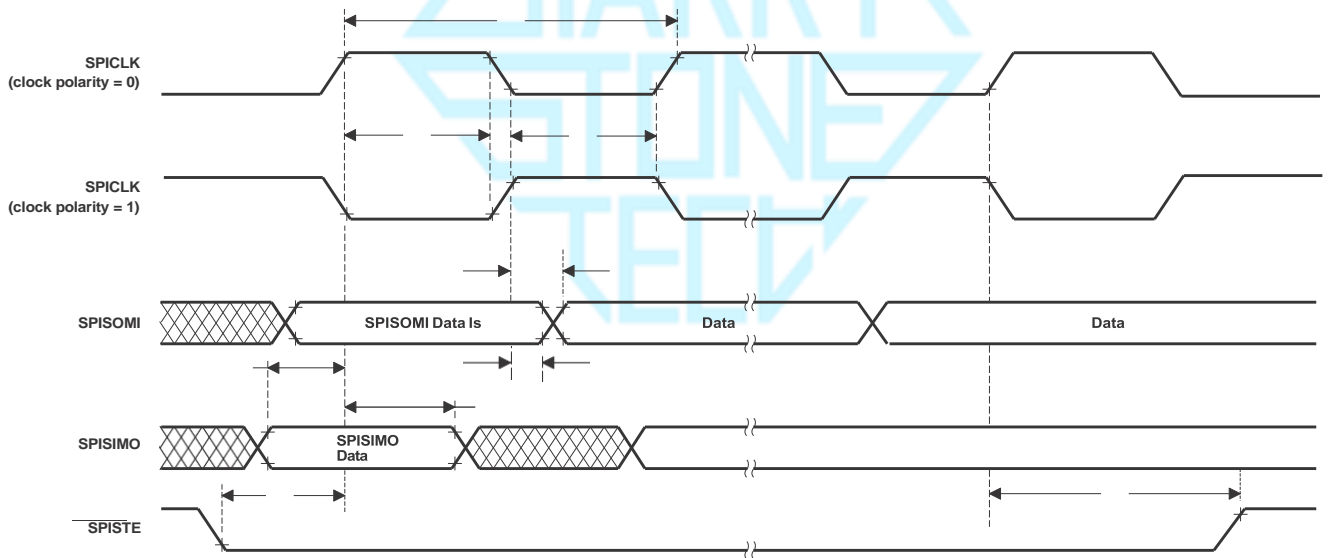


图6-80. SPI 从模式外部时序 (时钟相位 = 1)

6.11.6 通用串行总线(USB)控制器

在与 USB 主机或器件功能进行点对点通信过程中，USB 控制器作为全速或低速功能控制器工作。

USB 模块具有如下特性：

- USB 2.0 全速和低速运行
- 集成 PHY
- 三种传输类型：控制传输、中断传输和批量传输
- 32 个端点
 - 一个专用的控制输入端点和一个专用的控制输出端点
 - 15 个可配置输入端点和 15 个可配置输出端点
- 4KB 专用端点内存

图 6-81 显示了 USB 方框图。

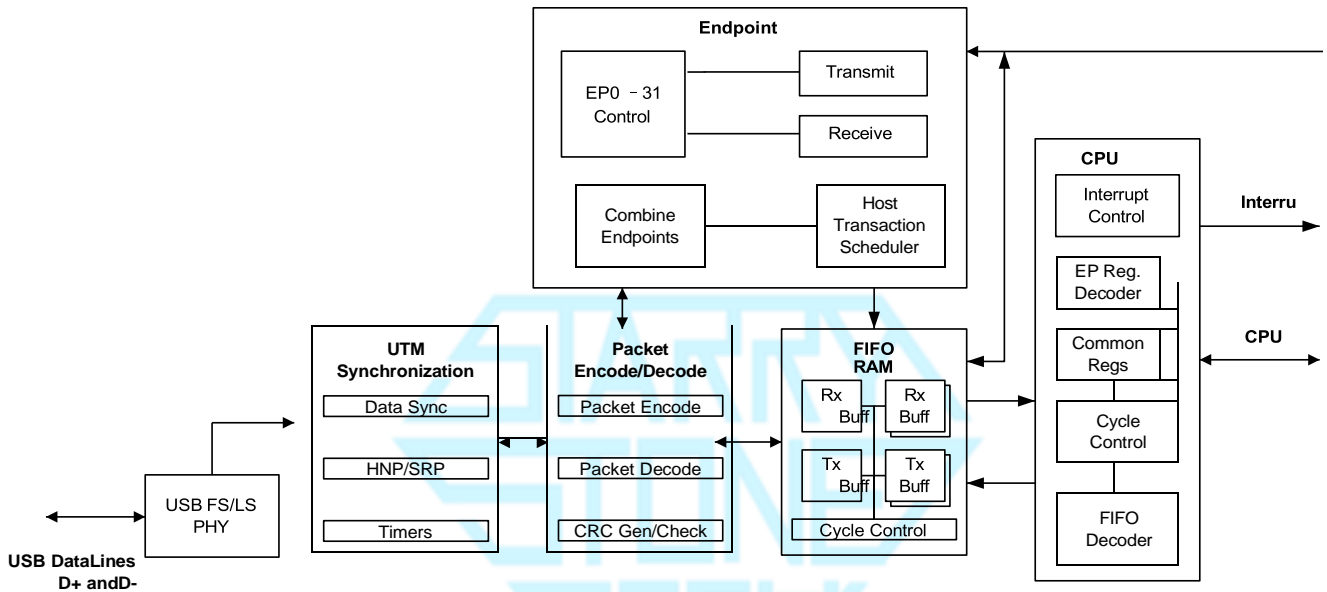


图 6-81. USB 方框图

备注

片上零引脚振荡器的精度将无法满足 USB 协议的精度要求。对于使用 USB 的应用，必须使用外部时钟源。有关使用 USB 引导模式的应用，请参阅时钟频率要求。

6.11.6.1 USB 电气数据和时序

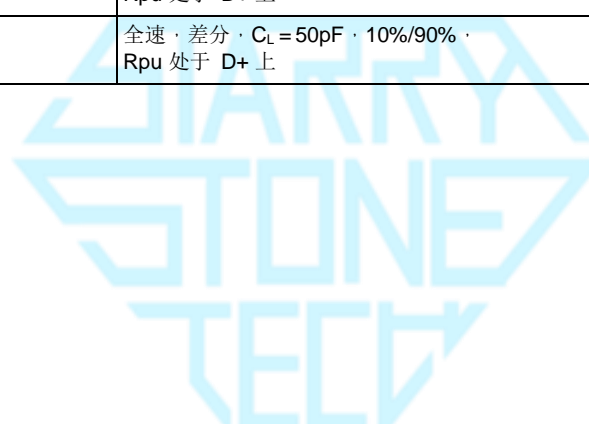
6.11.6.1.1 USB 输入端口 DP 和DM 时序要求

		最小值	最大值	单位
V(CM)	差分输入共模范围	0.8	2.5	V
Z(IN)	输出阻抗	36	54	k Ω
VCRS	交叉电压	1.0	2.0	V
V _{IL}	静态 SE 输入逻辑低电平	0.8		V
V _{IH}	静态 SE 输入逻辑高电平	2.0		V
VDI	差分输入电压	0.2		V

1. USB 输出端口 DP 和 DM 开关特征

在推荐的工作条件下 (除非另有说明)

参数		测试条件	最小值	最大值	单位
V _{OH}	D+ · D- 单端	USB 2.0 负载条件	2.8	3.6	V
V _{OL}	D+ · D- 单端	USB 2.0 负载条件	0	0.3	V
Z(DRV)	D+ · D- 阻抗		28	44	Ω
t _r	上升时间	全速 · 差分 · C _L = 50pF · 10%/90% · R _{pu} 处于 D+ 上	4	20	ns
t _f	下降时间	全速 · 差分 · C _L = 50pF · 10%/90% · R _{pu} 处于 D+ 上	4	20	ns



6.11.7 通用并行端口 (uPP) 接口

uPP 接口是一种具有专用数据线和最小控制信号的高速并行接口。uPP 接口旨在轻松连接具有 8 位数据宽度的高速 ADC 或 DAC。它还可以与现场可编程门阵列 (FPGA) 或其他 uPP 器件相互连接，以实现高速数字数据传输。该接口可在接收模式或发送模式 (单工模式) 下工作。

uPP 接口包含内部 DMA 控制器，用于在高速数据传输期间最大程度地提高吞吐量并减少 CPU 开销。所有 uPP 事务都使用内部 DMA 将数据馈送至 I/O 通道或从 I/O 通道检索数据。即使只有一个 I/O 通道，DMA 控制器也包含两个 DMA 通道来支持数据交错模式，在该模式中，所有 DMA 资源都服务于单个 I/O 通道。

在此器件上，uPP 接口是 CPU1 子系统的专用资源。CPU1、CPU1.CLA1 和 CPU1.DMA 可以访问此模块。两个专用的 512 字节数据 RAM (也称为 MSG RAM) 与 uPP 模块紧密耦合 (TX 和 RX 各耦合一个)。这些数据 RAM 用于存储大量数据，以避免频繁中断 CPU。只有 CPU1 和 CPU1.CLA1 可以访问这些数据 RAM。图 6-82 显示了此器件上的 uPP 集成。

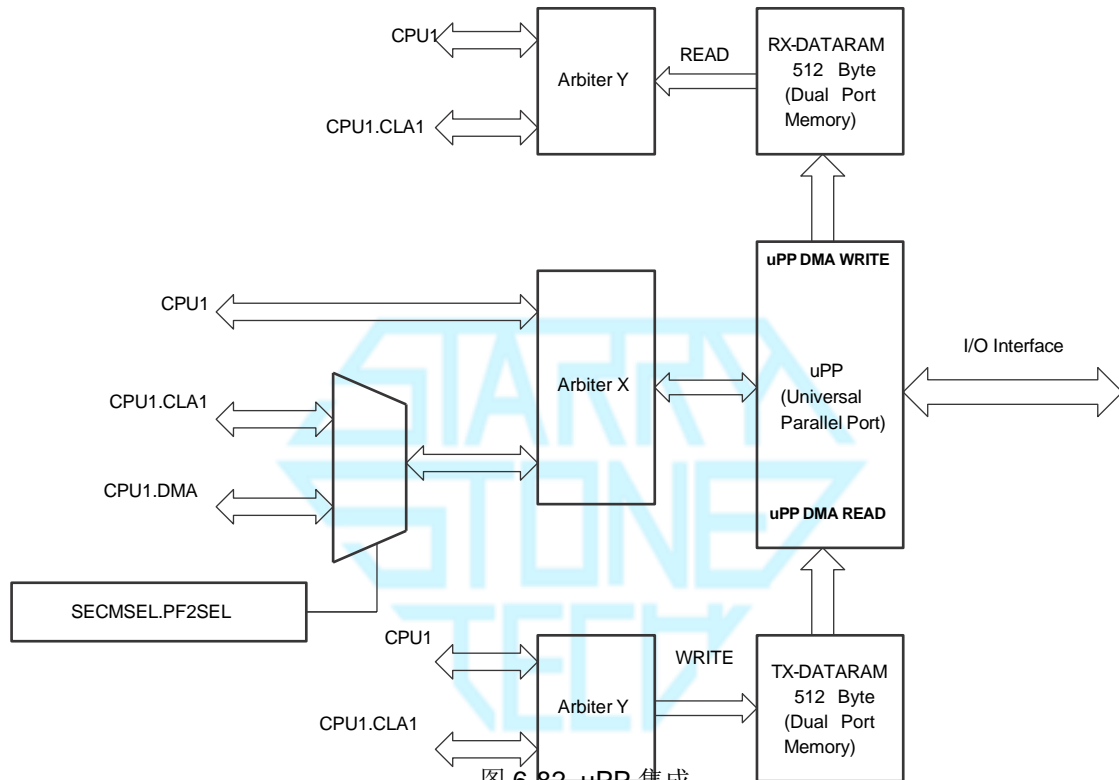


图 6-82. uPP 集成

备注

在一些 QX 器件上，uPP 模块也称为无线电外设接口 (RPI) 模块。

uPP 接口支持以下内容：

1. 具有并行转换接口的主流高速数据转换器。
2. 具有帧 START 指示的主流高速流接口。
3. 具有数据 ENABLE (使能) 指示的主流高速流接口。
4. 具有同步 WAIT (等待) 信号的主流高速流接口。
5. SDR (单倍数据速率) 或 DDR (双倍数据速率·交错) 接口。
6. 在 SDR 发送情况下交错式数据的多路复用。
7. 在 DDR 情况下交错式数据的多路分离和多路复用。
8. I/O 接口时钟频率对于 SDR 高达 50MHz (适用于 SDR) , 对于 DDR 高达 25MHz。
9. 单通道 8 位输入接收或输出发送模式。
10. 对于纯读或纯写, 最大吞吐量为 50MB/s。
11. 可作为 DSP 到 FPGA 通用流接口。

图 6-83 显示了 uPP 功能方框图。

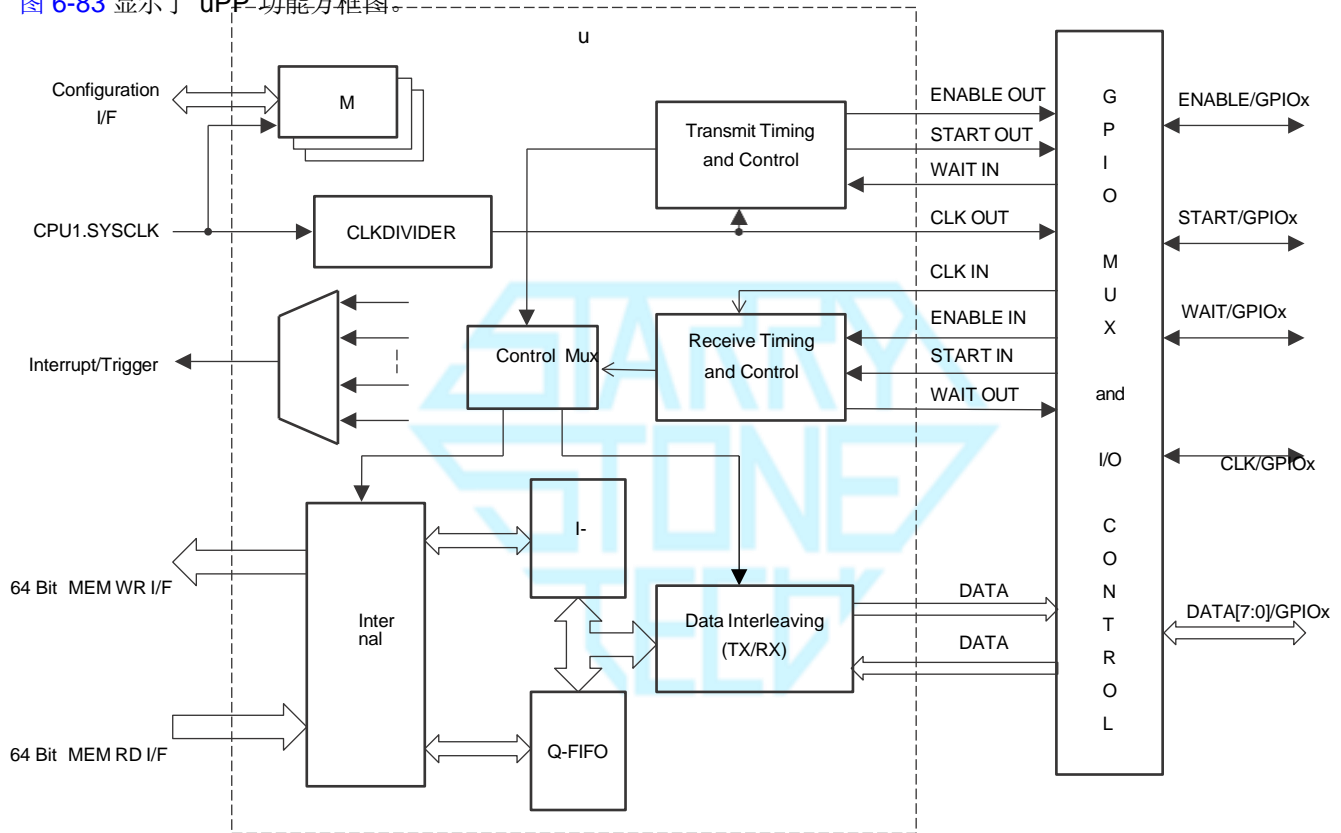


图 6-83. uPP 功能方框图

6.11.7.1 uPP 电气数据和时序

图 6-84 至图 6-87 显示了 uPP 时序图。

6.11.7.1.1 uPP 时序要求

编号	参数		模式	最小值	最大值	单位
1	$t_{c(CLK)}$	周期时间 · CLK	SDR 模式	20		ns
			DDR 模式	40		
2	$t_{w(CLKH)}$	脉冲宽度 · CLK 高电平	SDR 模式	8		ns
			DDR 模式	18		
3	$t_{w(CLKL)}$	脉冲宽度 · CLK 低电平	SDR 模式	8		ns
			DDR 模式	18		
4	$t_{su(STV-CLKH)}$	CLK 高电平之前开始有效的设置时间		4		ns
5	$t_{h(CLKH-STV)}$	CLK 高电平之后开始有效的保持时间		0.8		ns
6	$t_{su(ENV-CLKH)}$	CLK 高电平之前使能有效的设置时间		4		ns
7	$t_{h(CLKH-ENV)}$	CLK 高电平之后使能有效的保持时间		0.8		ns
8	$t_{su(DV-CLKH)}$	CLK 高电平之前数据有效的设置时间		4		ns
9	$t_{h(CLKH-DV)}$	CLK 高电平之后数据有效的保持时间		0.8		ns
10	$t_{su(DV-CLKL)}$	CLK 低电平之前数据有效的设置时间		4		ns
11	$t_{h(CLKL-DV)}$	CLK 低电平之后数据有效的保持时间		0.8		ns
19	$t_{su(WTV-CLKH)}$	CLK 高电平之前等待有效的设置时间	SDR 模式	20		ns
20	$t_{h(CLKH-WTV)}$	CLK 高电平之后等待有效的保持时间	SDR 模式	0		ns
21	$t_{su(WTV-CLKL)}$	CLK 低电平之前等待有效的设置时间	DDR 模式	20		ns
22	$t_{h(CLKL-WTV)}$	CLK 低电平之后等待有效的保持时间	DDR 模式	0		ns

6.11.7.1.2 uPP 开关特征

在推荐的工作条件下 (除非另有说明)

编号	参数		模式	最小值	最大值	单位
12	$t_{c(CLK)}$	周期时间 · CLK	SDR 模式	20		ns
			DDR 模式	40		
13	$t_{w(CLKH)}$	脉冲宽度 · CLK 高电平	SDR 模式	8		ns
			DDR 模式	18		
14	$t_{w(CLKL)}$	脉冲宽度 · CLK 低电平	SDR 模式	8		ns
			DDR 模式	18		
15	$t_{d(CLKH-STV)}$	CLK 高电平之后 START 有效的延迟时间		3	12	ns
16	$t_{d(CLKH-ENV)}$	CLK 高电平之后 ENABLE 有效的延迟时间		3	12	ns
17	$t_{d(CLKH-DV)}$	CLK 高电平之后 DATA 有效的延迟时间		3	12	ns
18	$t_{d(CLKL-DV)}$	CLK 低电平之后 DATA 有效的延迟时间		3	12	ns

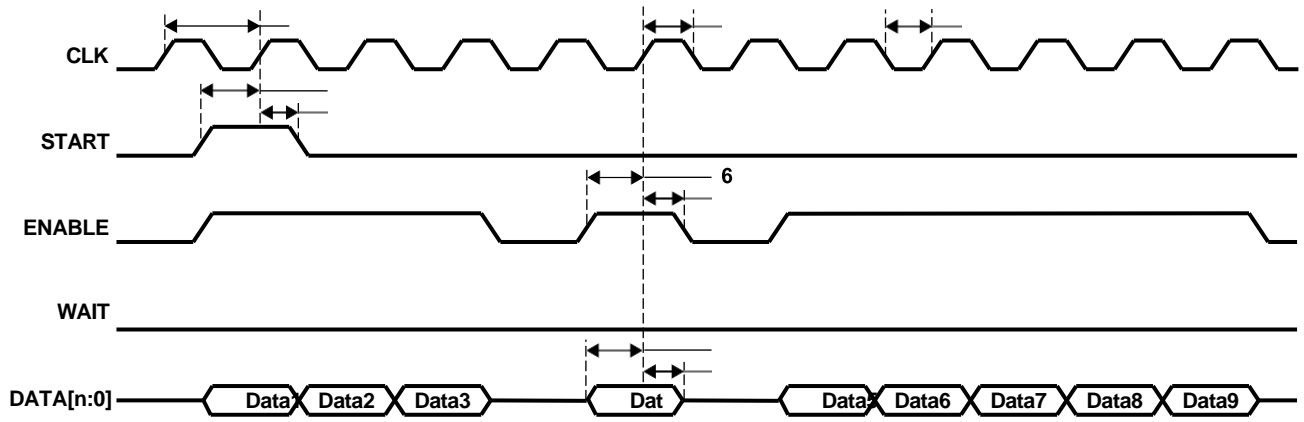


图 6-84. uPP 单倍数据速率 (SDR) 接收时序

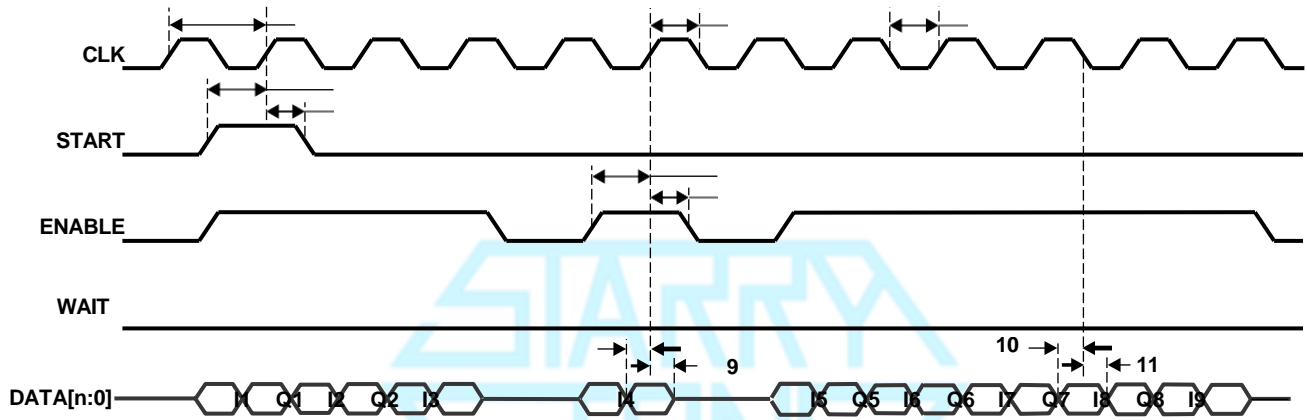


图 6-85. uPP 双倍数据速率 (DDR) 接收时序

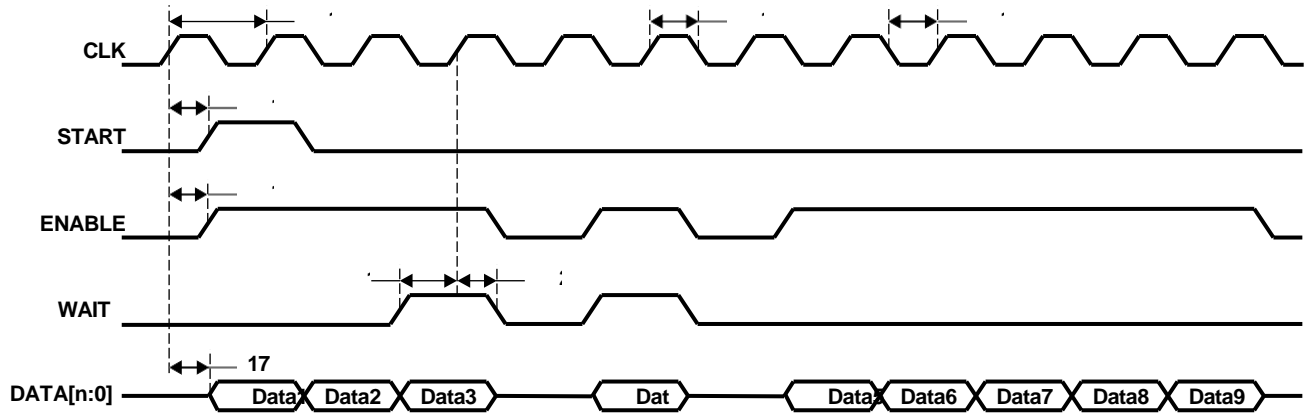


图 6-86. uPP 单倍数据速率 (SDR) 发送时序

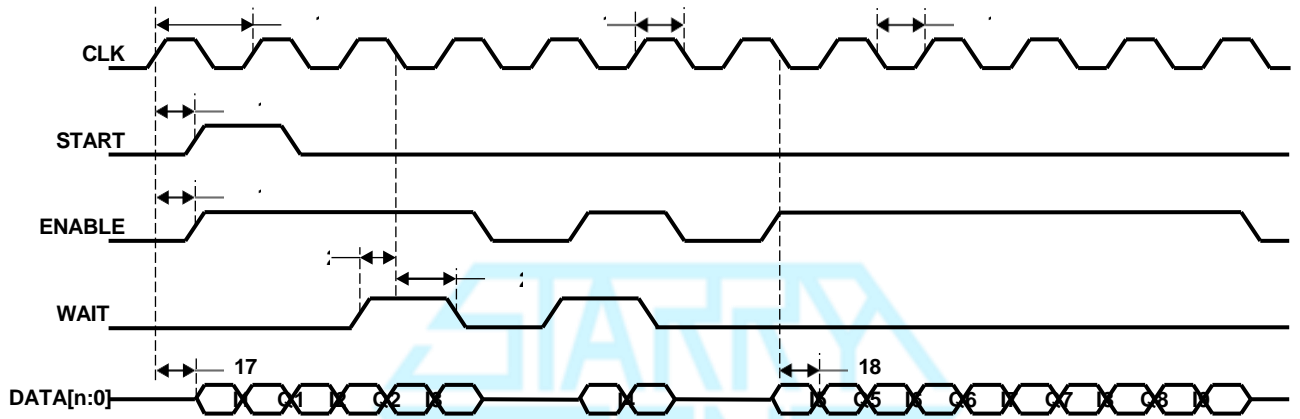


图 6-87. uPP 双倍数据速率 (DDR) 发送时序

7 详细说明

7.1 概述

QXS320F28377D 是一款功能强大的 32 位浮点微控制器单元 (MCU)，专为工业电机驱动器、光伏逆变器和数字电源、电动汽车和运输以及感应和信号处理等高级闭环控制应用而设计。QX28377D 支持新型双核 C28x 架构，显著提升了系统性能。此外，集成式模拟和控制外设还允许设计人员整合控制架构，并消除了高端系统对多处理器的需求。

双实时控制子系统基于 QX 的 32 位 C28x 浮点 CPU，每个内核均可提供 240 MHz 的信号处理性能。C28x CPU 的性能通过新型 TMU 加速器和 VCU 加速器得到了进一步提升，TMU 加速器能够快速执行变换和转矩环路计算中常见的三角运算的算法；VCU 加速器能够缩短编码应用中常见的复杂数学运算的时间。

QX28377D 微控制器产品系列具有两个 CLA 实时控制协处理器。CLA 是一款独立的 32 位浮点处理器，运行速度与主 CPU 相同。该 CLA 对外设触发器作出响应，并与主 C28x CPU 同时执行代码。这种并行处理功能可以有效地将实时控制系统的计算性能提高一倍。通过利用 CLA 为时间关键型功能提供服务，主 C28x CPU 自由地执行其他任务，如通信和诊断。双路 C28x+CLA 架构可在各种系统任务之间实现智能分区。例如，一个 C28x+CLA 内核可用于跟踪速度和位置，而另一个 C28x+CLA 内核则可用于控制转矩和电流环路。

QX28377D MCU 上还集成了性能模拟和控制外设，进一步实现系统整合。八个独立的 16 位/12 位 ADC 可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。新型 Σ - Δ 滤波器模块 (SDFM) 与 Σ - Δ 调制器配合使用可实现隔离式电流并联测量。包含窗口比较器的比较器子系统 (CMPSS) 可在超过或未满足电流限制条件的情况下保护功率级。其他模拟和控制外设包含 DAC、PWM、eCAP、eQEP 以及其他外设。

EMIF、CAN 模块（符合 ISO 11898-1/CAN 2.0B 标准）等外设以及新型 uPP 接口扩展了 QX28377D 的连接性。uPP 接口是 C2000 MCU 的新功能，支持利用相似的 uPP 接口与 FPGA 或其他处理器实现高速并行连接。最后，具有 MAC 和 PHY 的 USB 2.0 端口使用户能够轻松地将通用串行总线 (USB) 连接到其应用中。



7.2 功能方框图

图 7-1 显示了 CPU 系统及相关外设。

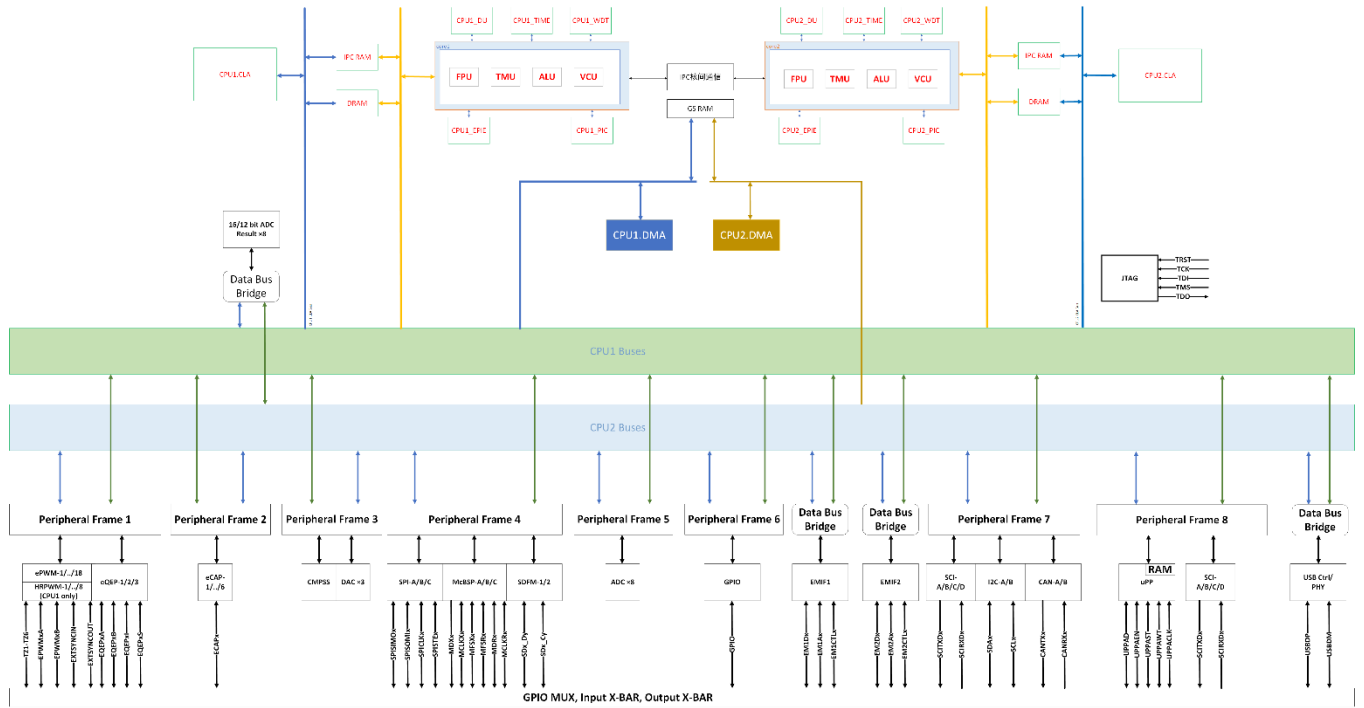


图 7-1 功能框图

7.3 存储器

7.3.1 C28x 存储器映射

除非表 7-1 中另有注明，器件上的两个 C28x CPU 具有相同的存储器映射。GSx_RAM (全局共享 RAM) 应由 GSxMSEL 寄存器分配给任一 CPU。可由 CLA 或 DMA 访问的存储器 (直接存储器存取) 也被注明。

表 7-1. C28x 存储器映射

存储器	大小	起始地址	结束地址	CLA 存取	DMA 存取
近端 RAM0	32K × 8	0x0000 0000	0x0000 7FFF	是	是
近端 RAM1	32K × 8	0x0000 8000	0x0000 FFFF	是	是
近端 RAM2	32K × 8	0x0001 0000	0x0001 7FFF	是	是
近端 RAM3	32K × 8	0x0001 8000	0x0001 FFFF	是	是
近端 RAM4	32K × 8	0x0002 0000	0x0002 7FFF	是	是
近端 RAM5	32K × 8	0x0002 8000	0x0002 FFFF	是	是
近端 RAM6	32K × 8	0x0003 0000	0x0003 7FFF	是	是
近端 RAM7	32K × 8	0x0003 8000	0x0003 FFFF	是	是
近端 RAM8	32K × 8	0x0004 0000	0x0004 7FFF	是	是
近端 RAM9	32K × 8	0x0004 8000	0x0004 FFFF	是	是
近端 RAM10	32K × 8	0x0005 0000	0x0005 7FFF	是	是
近端 RAM11	32K × 8	0x0005 8000	0x0005 FFFF	是	是
近端 RAM12	32K × 8	0x0006 0000	0x0006 7FFF	是	是
近端 RAM13	32K × 8	0x0006 8000	0x0006 FFFF	是	是
近端 RAM14	32K × 8	0x0007 0000	0x0007 7FFF	是	是
近端 RAM15	32K × 8	0x0007 8000	0x0007 FFFF	是	是
近端 RAM16	32K × 8	0x0008 0000	0x0008 7FFF	是	是
近端 RAM17	32K × 8	0x0008 8000	0x0008 FFFF	是	是
近端 RAM18	32K × 8	0x0009 0000	0x0009 7FFF	是	是
近端 RAM19	32K × 8	0x0009 8000	0x0009 FFFF	是	是
近端 RAM20	32K × 8	0x000A 0000	0x000A 7FFF	是	是
近端 RAM21	32K × 8	0x000A 8000	0x000A FFFF	是	是
近端 RAM22	32K × 8	0x000B 0000	0x000B 7FFF	是	是
近端 RAM23	32K × 8	0x000B 8000	0x000B FFFF	是	是
远端 RAM0	32K × 8	0x000C 0000	0x000C FFFF		是
远端 RAM1	32K × 8	0x000C 8000	0x000C FFFF		是
远端 RAM2	32K × 8	0x000D 0000	0x000D FFFF		是
远端 RAM3	32K × 8	0x000D 8000	0x000D FFFF		是
远端 RAM4	32K × 8	0x000E 0000	0x000E FFFF		是
远端 RAM5	32K × 8	0x000E 8000	0x000E FFFF		是
远端 RAM6	32K × 8	0x000F 0000	0x000F FFFF		是
远端 RAM7	32K × 8	0x000F 8000	0x000F FFFF		是
远端 RAM8	32K × 8	0x0010 0000	0x0010 7FFF		是
远端 RAM9	32K × 8	0x0010 8000	0x0010 FFFF		是
远端 RAM10	32K × 8	0x0011 0000	0x0011 7FFF		是
远端 RAM11	32K × 8	0x0011 8000	0x0011 FFFF		是
远端 RAM12	32K × 8	0x0012 0000	0x0012 7FFF		是
远端 RAM13	32K × 8	0x0012 8000	0x0012 FFFF		是
远端 RAM14	32K × 8	0x0013 0000	0x0013 7FFF		是
远端 RAM15	32K × 8	0x0013 8000	0x0013 FFFF		是
远端 RAM16	32K × 8	0x0014 0000	0x0014 7FFF		是
远端 RAM17	32K × 8	0x0014 8000	0x0014 FFFF		是
远端 RAM18	32K × 8	0x0015 0000	0x0015 7FFF		是
远端 RAM19	32K × 8	0x0015 8000	0x0015 FFFF		是
远端 RAM20	32K × 8	0x0016 0000	0x0016 7FFF		是
远端 RAM21	32K × 8	0x0016 8000	0x0016 FFFF		是
远端 RAM22	32K × 8	0x0017 0000	0x0017 7FFF		是

远端 RAM23	32K × 8	0x0017 8000	0x0017 FFFF		是
远端 RAM24	32K × 8	0x0018 0000	0x0018 7FFF		是
远端 RAM25	32K × 8	0x0018 8000	0x0018 FFFF		是
远端 RAM26	32K × 8	0x0019 0000	0x0019 7FFF		是
远端 RAM27	32K × 8	0x0019 8000	0x0019 FFFF		是
远端 RAM28	32K × 8	0x001A 0000	0x001A 7FFF		是
远端 RAM29	32K × 8	0x001A 8000	0x001A FFFF		是
远端 RAM30	32K × 8	0x001B 0000	0x001B 7FFF		是
远端 RAM31	32K × 8	0x001B 8000	0x001B FFFF		是
远端 RAM32	32K × 8	0x001C 0000	0x001C FFFF		是
远端 RAM33	32K × 8	0x001C 8000	0x001C FFFF		是
远端 RAM34	32K × 8	0x001D 0000	0x001D FFFF		是
远端 RAM35	32K × 8	0x001D 8000	0x001D FFFF		是
远端 RAM36	32K × 8	0x001E 0000	0x001E FFFF		是
远端 RAM37	32K × 8	0x001E 8000	0x001E FFFF		是
远端 RAM38	32K × 8	0x001F 0000	0x001F FFFF		是
远端 RAM39	32K × 8	0x001F 8000	0x001F FFFF		是
远端 RAM36	32K × 8	0x001E 0000	0x001E FFFF		是
远端 RAM37	32K × 8	0x001E 8000	0x001E FFFF		是
远端 RAM38	32K × 8	0x001F 0000	0x001F FFFF		是
远端 RAM39	32K × 8	0x001F 8000	0x001F FFFF		是
远端 RAM36	32K × 8	0x001E 0000	0x001E FFFF		是
远端 RAM37	32K × 8	0x001E 8000	0x001E FFFF		是
远端 RAM38	32K × 8	0x001F 0000	0x001F FFFF		是
远端 RAM39	32K × 8	0x001F 8000	0x001F FFFF		是

1. 在 CPU 子系统之间共享。



7.3.2 闪存映射

表 7-2. F28379D、F28378D、F28377D 和 F28375D 的 CPU1 和 CPU2 上的闪存扇区地址

扇区	大小	起始地址	结束地址
OTP 扇区			
QX OTP	1K	0x30200000	0x302003FF
用户可配置 DCSM OTP	1K	0x30201000	0x302013FF
扇区			
扇区 0	64K	0x30000000	0x30000FFF
扇区 1	64K	0x30010000	0x3001FFFF
扇区 2	64K	0x30020000	0x3002FFFF
扇区 3	64K	0x30030000	0x3003FFFF
扇区 4	64K	0x30040000	0x3004FFFF
扇区 5	64K	0x30050000	0x3005FFFF
扇区 6	64K	0x30060000	0x3006FFFF
扇区 7	64K	0x30070000	0x3007FFFF
扇区 8	64K	0x30080000	0x3008FFFF
扇区 9	64K	0x30090000	0x3009FFFF
扇区 10	64K	0x300A0000	0x300AFFFF
扇区 11	64K	0x300B0000	0x300BFFFF
扇区 12	64K	0x300C0000	0x300CFFFF
扇区 13	64K	0x300D0000	0x300DFFFF
扇区 14	64K	0x300E0000	0x300EFFFF
扇区 15	64K	0x300F0000	0x300FFFFF

7.3.3 EMIF 芯片选择存储器映射

EMIF1 存储器映射对于两个 CPU 子系统是相同的。EMIF2 仅在 CPU1 子系统上可用。表 7-4 中显示了 EMIF 内存映射。

表 7-4. EMIF 芯片选择存储器映射

1. 仅

EMIF 芯片选择	大小 ⁽²⁾	起始地址	结束地址
EMIF CS2	4M	0x20100000	0x204ffff
EMIF CS3	1M	0x20500000	0x205ffff
EMIF CS4	786K	0x20600000	0x206bfff
EMIF CS0	512M	0x80000000	0x9fffffff
EMIF2_CS2	16K	0x40100000	0x40103fff
EMIF2_CS0	64M	0xa0000000	0xa3ffff

7.3.4 外设寄存器内存映射

外设寄存器内存映射可参阅表 7-5。外设寄存器可以分配给 CPU1 或 CPU2 子系统，除非表 7-5 中另有说明。外设帧中的寄存器与同一外设帧中的所有其他寄存器共享一个二级主控（CLA 或 DMA）选项。

备注

器件外设都不具备程序总线访问权限。

表 7-5. 外设寄存器内存映射

寄存器	结构名称	起始地址	结束地址	受保护 ⁽¹⁾	CLA 存取	DMA 存取
AdcaResultRegs	ADC_RESULT_REGS	0x1000000	0x1000fff		是	是
AdcbResultRegs	ADC_RESULT_REGS	0x1001000	0x1001fff		是	是
AdccResultRegs	ADC_RESULT_REGS	0x1002000	0x1002fff		是	是
AdcdResultRegs	ADC_RESULT_REGS	0x1003000	0x1003fff		是	是
AdceResultRegs	ADC_RESULT_REGS	0x1004000	0x1004fff		是	是
AdcfResultRegs	ADC_RESULT_REGS	0x1005000	0x1005fff		是	是
AdcgResultRegs	ADC_RESULT_REGS	0x1006000	0x1006fff		是	是
AdchResultRegs	ADC_RESULT_REGS	0x1007000	0x1007fff		是	是
DCSM_Z1_OTP	DCSM_Z1_OTP	0x1009000	0x1009fff			
DCSM_Z2_OTP	DCSM_Z2_OTP	0x100a000	0x100afff			
GPIODATA	GPIODATA	0x100c000	0x100cfff	是	是	是
EPwm1Regs	EPWM_REGS	0x1010000	0x1010fff	是	是	是
EPwm2Regs	EPWM_REGS	0x1011000	0x1011fff	是	是	是
EPwm3Regs	EPWM_REGS	0x1012000	0x1012fff	是	是	是
EPwm4Regs	EPWM_REGS	0x1013000	0x1013fff	是	是	是
EPwm5Regs	EPWM_REGS	0x1014000	0x1014fff	是	是	是
EPwm6Regs	EPWM_REGS	0x1015000	0x1015fff	是	是	是
EPwm7Regs	EPWM_REGS	0x1016000	0x1016fff	是	是	是
EPwm8Regs	EPWM_REGS	0x1017000	0x1017fff	是	是	是
EPwm9Regs	EPWM_REGS	0x1018000	0x1018fff	是	是	是

表 7-5. 外设寄存器内存映射 (续)

寄存器	结构名称	起始地址	结束地址	受保护 ⁽¹⁾	CLA 存取	DMA 存取
EPwm10Regs	EPWM_REGS	0x1019000	0x1019fff	是	是	是
EPwm11Regs	EPWM_REGS	0x101a000	0x101afff	是	是	是
EPwm12Regs	EPWM_REGS	0x101b000	0x101bfff	是	是	是
ECap1Regs	ECAP_REGS	0x1020000	0x1020fff	是	是	是
ECap2Regs	ECAP_REGS	0x1021000	0x1021fff	是	是	是
ECap3Regs	ECAP_REGS	0x1022000	0x1022fff	是	是	是
ECap4Regs	ECAP_REGS	0x1023000	0x1023fff	是	是	是
ECap5Regs	ECAP_REGS	0x1024000	0x1024fff	是	是	是
ECap6Regs	ECAP_REGS	0x1025000	0x10257ff	是	是	是
EQep1Regs	EQEP_REGS	0x101c000	0x101cfff		是	是
EQep2Regs	EQEP_REGS	0x101d000	0x101dfff		是	是
EQep3Regs	EQEP_REGS	0x101e000	0x101efff		是	是
DacaRegs	DAC_REGS	0x1038000	0x1038fff	是	是	是
DacbRegs	DAC_REGS	0x1039000	0x1039fff	是	是	是
DaccRegs	DAC_REGS	0x103a000	0x103afff	是	是	是
Cmpss1Regs	CMPSS_REGS	0x1030000	0x1030fff	是	是	是
Cmpss2Regs	CMPSS_REGS	0x1031000	0x1031fff	是	是	是
Cmpss3Regs	CMPSS_REGS	0x1032000	0x1032fff	是	是	是
Cmpss4Regs	CMPSS_REGS	0x1033000	0x1033fff	是	是	是
Cmpss5Regs	CMPSS_REGS	0x1034000	0x1034fff	是	是	是
Cmpss6Regs	CMPSS_REGS	0x1035000	0x1035fff	是	是	是
Cmpss7Regs	CMPSS_REGS	0x1036000	0x1036fff	是	是	是
Cmpss8Regs	CMPSS_REGS	0x1037000	0x1037fff	是	是	是
EPWM13-18	EPWM13-18	0x101f000	0x101ffff	是	是	是
SFOHHR	SFOHHR	0x1025c00	0x1025cff		是	是
DMA_REQ_ACK	DMA_REQ_ACK	0x1040000	0x1040fff			
SPIA	SPIA	0x1041000	0x10413ff		是	是
SPIB	SPIB	0x1042000	0x10423ff		是	是
SPIC	SPIC	0x1043000	0x10433ff		是	是
MCBSPA	MCBSPA	0x1044000	0x1044fff		是	是
MCBSPB	MCBSPB	0x1045000	0x1045fff		是	是
SDFM1	SDFM1	0x1046000	0x1046fff	是	是	是
SDFM2	SDFM2	0x1047000	0x1047fff	是	是	是
DMA_DW	DMA_DW	0x1048000	0x1048fff			
BOOT_CTRL	BOOT_CTRL	0x1049000	0x1049fff			
DMA	DMA	0x104a000	0x104afff	是	是	是
MPU	MPU	0x104c000	0x104cfff	是	是	是
外设帧 2						
Memory Error	Memory Error	0x104d000	0x104dfff	是	是	是
ADCA	ADCA	0x1050000	0x1050fff	是	是	是
ADCB	ADCB	0x1051000	0x1051fff	是	是	是
ADCC	ADCC	0x1052000	0x1052fff	是	是	是
ADCD	ADCD	0x1053000	0x1053fff	是	是	是
ADCE	ADCE	0x1054000	0x1054fff	是	是	是
ADCF	ADCF	0x1055000	0x1055fff	是	是	是
ADCG	ADCG	0x1056000	0x1056fff	是	是	是

表 7-5. 外设寄存器内存映射 (续)

寄存器	结构名称	起始地址	结束地址	受保护 ⁽¹⁾	CLA 存取	DMA 存取
ADCH	ADCH	0x1057000	0x1057fff	是	是	是
EPWMXBAR	EPWMXBAR	0x1060000	0x1060fff	是	是	是
INPUTXBAR	INPUTXBAR	0x1062000	0x1062fff	是	是	是
XBAR	XBAR	0x1063000	0x1063fff	是	是	是
		0x1065000	0x1065fff	是	是	是
OUTPUTXBAR	OUTPUTXBAR	0x1066000	0x1066fff	是	是	是
GPIO_CTRL	GPIO_CTRL	0x106b000	0x106bfff	是	是	是
USB_CONFIG	USB_CONFIG	0x106e000	0x106efff	是	是	是
ANALGSUBSYS	ANALGSUBSYS	0x1073000	0x1073fff	是	是	是
DCSM_Z1	DCSM_Z1	0x1079000	0x1079fff	是	是	是
DCSM_COMMON	DCSM_COMMON	0x107a000	0x107afff	是	是	是
DCSM_Z2	DCSM_Z2	0x107b000	0x107bfff	是	是	是
TRIM	TRIM	0x107c000	0x107cfff	是	是	是
NMI_INTRUPT	NMI_INTRUPT	0x107d000	0x107dfff	是	是	是
SYSERR	SYSERR	0x107e000	0x107efff	是	是	是
XINT	XINT	0x107f000	0x107ffff	是	是	是
CANA	CANA	0x1080000	0x1080fff	是	是	是
CANB	CANB	0x1081000	0x1081fff	是	是	是
SDFM3	SDFM3	0x1083000	0x1083fff	是	是	是
SCIA	SCIA	0x1088000	0x1088fff	是	是	是
SCIB	SCIB	0x1089000	0x1089fff	是	是	是
I2CA	I2CA	0x108a000	0x108afff	是	是	是
I2CB	I2CB	0x108b000	0x108bfff	是	是	是
SCIE	SCIE	0x108c000	0x108cfff	是	是	是
SCIF	SCIF	0x108d000	0x108dfff	是	是	是
		0x1090000	0x1090fff	是	是	是
		0x1091000	0x1091fff	是	是	是
		0x1092000	0x1092fff	是	是	是
		0x1093000	0x1093fff	是	是	是
SCIC	SCIC	0x1096000	0x1096fff	是	是	是
SCID	SCID	0x1097000	0x1097fff	是	是	是
UPP	UPP	0x1098000	0x1098fff	是	是	是
UPPRAM	UPPRAM	0x1099000	0x1099fff	是	是	是
EMIF_CTRL	EMIF_CTRL	0x20000000	0x20000fff	是	是	是
EMIF_CS2	EMIF_CS2	0x20100000	0x204fffff	是	是	是
EMIF_CS3	EMIF_CS3	0x20500000	0x205fffff	是	是	是
EMIF_CS4	EMIF_CS4	0x20600000	0x206bffff	是	是	是
EMIF_CS0	EMIF_CS0	0x80000000	0x9fffffff	是	是	是
FLASH_DATA	FLASH_DATA	0x30000000	0x301fffff	是	是	是
EMIF2_CTRL	EMIF2_CTRL	0x40000000	0x40000fff	是	是	是
EMIF2_CS2	EMIF2_CS2	0x40100000	0x40103fff	是	是	是
EMIF2_CS0	EMIF2_CS0	0xa0000000	0xa3ffffff	是	是	是
Usb	Usb	0x30300000	0x3033ffff		是	是

1. CPU (不适用于 CLA 或 DMA) 包含先写后读保护模式, 以确保在受保护地址范围内, 通过延迟读取操作直至启动写入操作, 以按写入式执行写入操作之后的任何读取操作。
2. 这些寄存器的唯一副本存在于每个 CPU 子系统上。
3. 这些寄存器仅在 CPU1 子系统上可用。
4. 这些寄存器根据信标映射到 CPU1 或 CPU2。
5. PieCtrlRegs 和 Cla1SoftIntRegs 的地址重叠是正确的。每个 CPU、C28x 和 CLA 只能访问其中一个寄存器组。

7.3.5 存储器类型

表 7-6 提供了有关每种存储器类型的更多信息。

表 7-6. 存储器类型

内存类型	支持 ECC	奇偶校验	安全	休眠保持	访问保护
近端RAM	是	-	是	是	是
远端RAM	-	是	是	是	是
闪存	是	-	是	不适用	不适用
用户可配置的 DCSM OTP	是	-	是	不适用	不适用
近端RAM	是	-	是	是	是

7.3.5.1 专用RAM (Mx 和Dx RAM)

既可以存放指令也可以存放数据位近端RAM。大小位768KB。

7.3.5.2 本地共享RAM (LSx RAM)

可以存放数据为远端RAM。大小为1.28MB。



7.4 总线架构 - 外设连接

表 7-10 显示了每个总线主控访问外设和配置寄存器的总体视图。外设可以单独分配给 CPU1 或 CPU2 子系统（例如，ePWM 可以分配给 CPU1，eQEP 可以分配给 CPU2）。外设帧 1 或 2 内的外设都将作为一个组被映射到各自的二级主控（如果 SPI 分配给 CPUx.DMA，则 McBSP 也分配给 CPUx.DMA）。

表 7-10. 总线主器件对外设的访问

外设 (按总线访问类型)	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.CLA1	CPU2.DMA
可分配给 CPU1 或 CPU2 且具有通用可选二级主控的外设						
外设帧 1: • ePWM • SDFM • eCAP ⁽¹⁾ • eQEP ⁽¹⁾ • CMPSS ⁽¹⁾ • DAC ⁽¹⁾	Y	Y	Y	Y	Y	Y
外设帧 1: • HRPWM	Y	Y	Y	Y	Y	Y
外设帧 2: • SPI • McBSP	Y	Y	Y	Y	Y	Y
外设帧 2: uPP 配置 ⁽¹⁾	Y	Y	Y	Y	Y	Y
可分配给 CPU1 或 CPU2 子系统的外设						
SCI	Y	Y	Y	Y		
I2C	Y	Y	Y	Y		
CAN	Y	Y	Y	Y		
ADC 配置	Y	Y	Y	Y	Y	
EMIF1	Y	Y	Y	Y		Y
仅在 CPU1 子系统上的外设和器件配置寄存器						
EMIF2		Y	Y			
USB			Y			
器件功能、外设复位、外设 CPU 选择			Y			
GPIO 引脚映射和配置			Y			
模拟系统控制			Y			
uPP 消息 RAM		Y	Y			
复位配置			Y			
使用 Semaphore 一次只能由一个 CPU 访问						
时钟和 PLL 配置			Y	Y		

表 7-10. 总线主器件对外设的访问 (续)

外设 (按总线访问类型)	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.CLA1	CPU2.DMA
外设和寄存器·每个 CPU 和 CLA 主控都有唯一的寄存器副本 ⁽²⁾						
系统配置 (WD、NMIWD、LPM、外设时钟门控)			Y	Y		
闪存配置 ⁽³⁾			Y	Y		
CPU 计时器			Y	Y		
DMA 和 CLA 触发源选择			Y	Y		
GPIO 数据 ⁽⁴⁾		Y	Y	Y	Y	
ADC 结果	Y	Y	Y	Y	Y	Y

- (1) 这些模块在具有 DMA 访问的外设帧上；然而，这些模块无法触发 DMA 传输。
- (2) 每个 CPU_x 和 CPU_x.CLA1 只能访问自身的寄存器副本。
- (3) 在任何给定时间，只有一个 CPU 可以对闪存执行编程或擦除操作。
- (4) 每个 CPU_x 和 CPU_x.CLA_x 的 GPIO 数据寄存器都是唯一的。当 GPIO 引脚映射寄存器配置为将 GPIO 分配给特定主控时，相应的 GPIO 数据寄存器将控制该 GPIO。

7.5 C28x 处理器

CPU 是 32 位定点处理器。该器件借鉴了数字信号处理的最佳特性；精简指令集计算 (RISC)；以及微控制器架构、固件和工具集。

CPU 的特性包含修改后的 Harvard 架构和循环寻址。RISC 特性是单周期指令执行、寄存器到寄存器操作和修改后的 Harvard 架构。微控制器特性包含通过直观的指令集、字节打包和解包以及位操作来实现易用性。CPU 修改后的 Harvard 架构使指令和数据获取能够并行执行。CPU 可以读取指令和数据，同时写入数据以在整个流水线中保持单周期指令操作。CPU 通过六条独立的地址/数据总线完成此操作。

CPU 是 32 位定点处理器。该器件借鉴了数字信号处理的最佳特性；精简指令集计算 (RISC)；以及微控制器架构、固件和工具集。

CPU 的特性包含修改后的 Harvard 架构和循环寻址。RISC 特性是单周期指令执行、寄存器到寄存器操作和修改后的 Harvard 架构。微控制器特性包含通过直观的指令集、字节打包和解包以及位操作来实现易用性。CPU 修改后的 Harvard 架构使指令和数据获取能够并行执行。CPU 可以读取指令和数据，同时写入数据以在整个流水线中保持单周期指令操作。CPU 通过六条独立的地址/数据总线完成此操作。

7.5.1 浮点单元

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

- 八个浮点结果寄存器，R_{nH} (其中 n=0 - 7)
- 浮点状态寄存器 (STF)
- 重复块寄存器 (RB)

除重复块寄存器外，所有浮点寄存器都被隐藏。这种隐藏可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

7.5.2 三角函数加速器

TMU 通过增加指令和利用可加速执行常见三角函数和表 7-11 中所列算术运算的现有 FPU 指令来扩展 C28x+FPU 的功能。

表 7-11. TMU 支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 RaH,RbH	$a = b * 2 \pi$	2/3
DIV2PIF32 RaH,RbH	$a = b / 2 \pi$	2/3
DIVF32 RaH,RbH,RcH	$a = b/c$	5
SQRTF32 RaH,RbH	$a = \text{sqrt}(b)$	5
SINPUF32 RaH,RbH	$a = \sin(b*2 \pi)$	4
COSPUF32 RaH,RbH	$a = \cos(b*2 \pi)$	4
ATANPUF32 RaH,RbH	$a = \text{atan}(b)/2 \pi$	4
QUADF32 RaH,RbH,RcH,RdH	用于协助计算 ATANPU2 的运算	5

对现有指令、流水线或内存总线架构均未做任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集 (R0H 至 R7H) 来执行运算。

7.5.3 Viterbi、复杂数学和 CRC 单元 II (VCU-II)

VCU-II 是 C28x CPU 的第二代 Viterbi、复杂数学和 CRC 扩展。VCU-II 通过增加寄存器和指令来扩展 C28x CPU 的功能,以加快 FFT 和基于通信的算法的速度。C28x+VCU-II 支持以下算法类型:

(4) Viterbi 解码

Viterbi 解码通常用于基带通信应用中。Viterbi 解码算法包含三个主要部分:分支度量计算、比较-选择 (Viterbi 蝶形) 和回溯运算。表 7-12 显示了每个运算的 VCU 性能汇总。

表 7-12. Viterbi 解码性能

VITERBI 运算	VCU 周期
分支度量计算 (码速率 = 1/2)	1
分支度量计算 (码速率 = 1/3)	2p
Viterbi 蝶形 (相加-比较-选择)	2 ⁽¹⁾
每阶段回溯	3 ⁽²⁾

- (1) C28x CPU 完成每个蝶形需要 15 个周期。
 (2) C28x CPU 完成每个阶段需要 22 个周期。

(5) 循环冗余校验

循环冗余校验 (CRC) 算法提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。C28x+VCU 可执行 8 位、16 位、24 位和 32 位 CRC。例如,VCU 可以在 10 个周期内计算出块长度为 10 字节的 CRC。CRC 结果寄存器包含当前 CRC,每次执行 CRC 指令时,该 CRC 都会更新。

(6) 复杂数学

复杂数学用于许多应用中，例如：

- 快速傅里叶变换 (FFT)

复数 FFT 用于扩频通信以及许多信号处理算法中。

- 复数滤波器

复数滤波器可增加数据可靠性、延长传输距离和提高功效。C28x+VCU 可在单个周期内将复数 I 和 Q 乘以系数（四倍）。此外，C28x+VCU 可在单个周期内将 16 位复数数据的实部和虚部读/写入内存中。

表 7-13 显示了 VCU 实现的 VCU 运算摘要。

表 7-13. 复杂数学性能

复杂数学运算	VCU 周期	注释
加法或减法	1	32 +/- 32 = 32 位 (适用于滤波器)
加法或减法	1	16 +/- 32 = 15 位 (适用于 FFT)
乘法	2p	16 x 16 = 32 位
乘法和累加 (MAC)	2p	32 + 32 = 32 位 · 16 x 16 = 32 位
RPT MAC	2p+N	重复 MAC。第一次运算后的单个周期。



7.6 控制律加速器

CLA 是一款独立的单精度 (32 位) FPU 处理器，具有其自己的总线结构、获取机制和流水线。可指定 8 个独立的 CLA 任务。每个任务均由软件或外设 (例如 ADC、ePWM、eCAP、eQEP 或 CPU 计时器 0) 启动。CLA 每次执行一个任务直至完成。当一个任务完成时，主 CPU 会收到 PIE 中断的通知，而 CLA 自动开始下一个优先级最高的待办任务。CLA 可以直接访问 ADC 结果寄存器、ePWM、eCAP、eQEP、比较器和 DAC 寄存器。专用消息 RAM 提供了一种在主 CPU 和 CLA 之间传递附加数据的方法。

图 7-2 显示了 CLA 功能方框图。

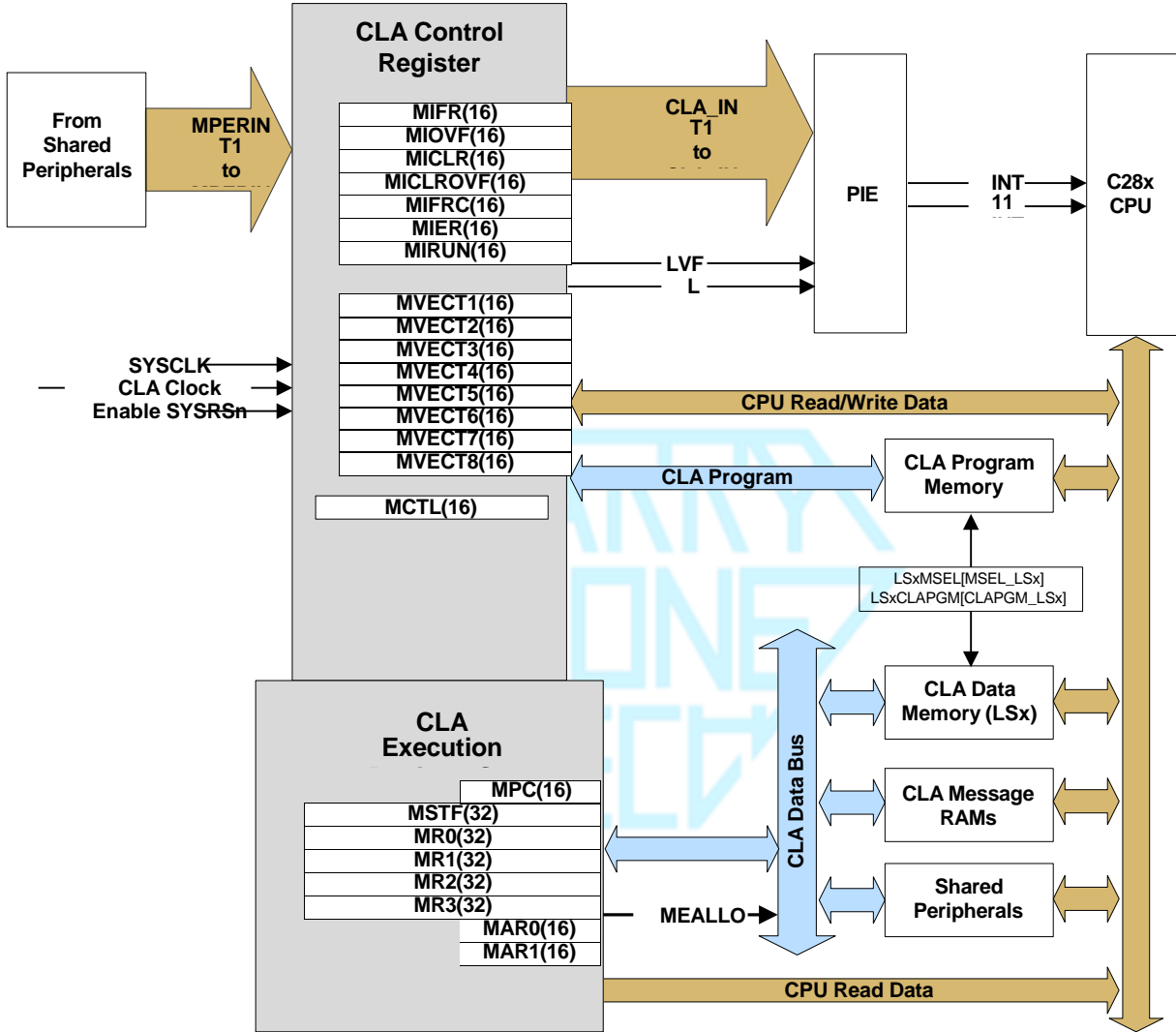


图 7-2. CLA 方框图

7.7 直接存储器访问

每个 CPU 都有自身的 6 通道 DMA 模块。DMA 模块提供了一种在外设和/或存储器之间传输数据的硬件方法，无需 CPU 干预，从而为其他系统功能释放带宽。此外，DMA 还能够在数据传输时对其进行正交重排，以及在缓冲器之间对数据执行“乒乓”操作。这些特性对于将数据结构化为模块以实现最优 CPU 处理非常有用。

DMA 模块是基于事件的机器，这意味着，该模块需要借助外设或软件触发才能启动 DMA 传输。尽管可以通过配置计时器作为中断触发源使其成为定期时间驱动机器，但模块本身并没有机制来定期启动存储器。六个 DMA 通道中的每个通道的中断触发源都可以单独配置，每个通道都包含自身独立的 PIE 中断，使 CPU 知道 DMA 传输何时开始或完成。6 个通道中的 5 个通道完全相同，只有通道 1 能够配置成优先级高于其他通道。

DMA 特性包括：

- 六个具有独立 PIE 中断的通道
- 外设中断触发源
 - ADC 中断和 EVT 信号
 - 多通道缓冲串行端口发送和接收
 - 外部中断
 - CPU 计时器
 - EPWMxSOC 信号
 - SPIx 发送和接收
 - SDFM
 - 软件触发
- 数据源和目标：
 - GSx RAM
 - CPU 消息 RAM (IPC RAM)
 - ADC 结果寄存器
 - ePWMx
 - SPI
 - McBSP
 - EMIF
- 字大小：16 位或 32 位（SPI 和 McBSP 限制为 16 位）
- 吞吐量：4 个周期/字（无仲裁）



图 7-3 显示了 DMA 的器件级方框图。

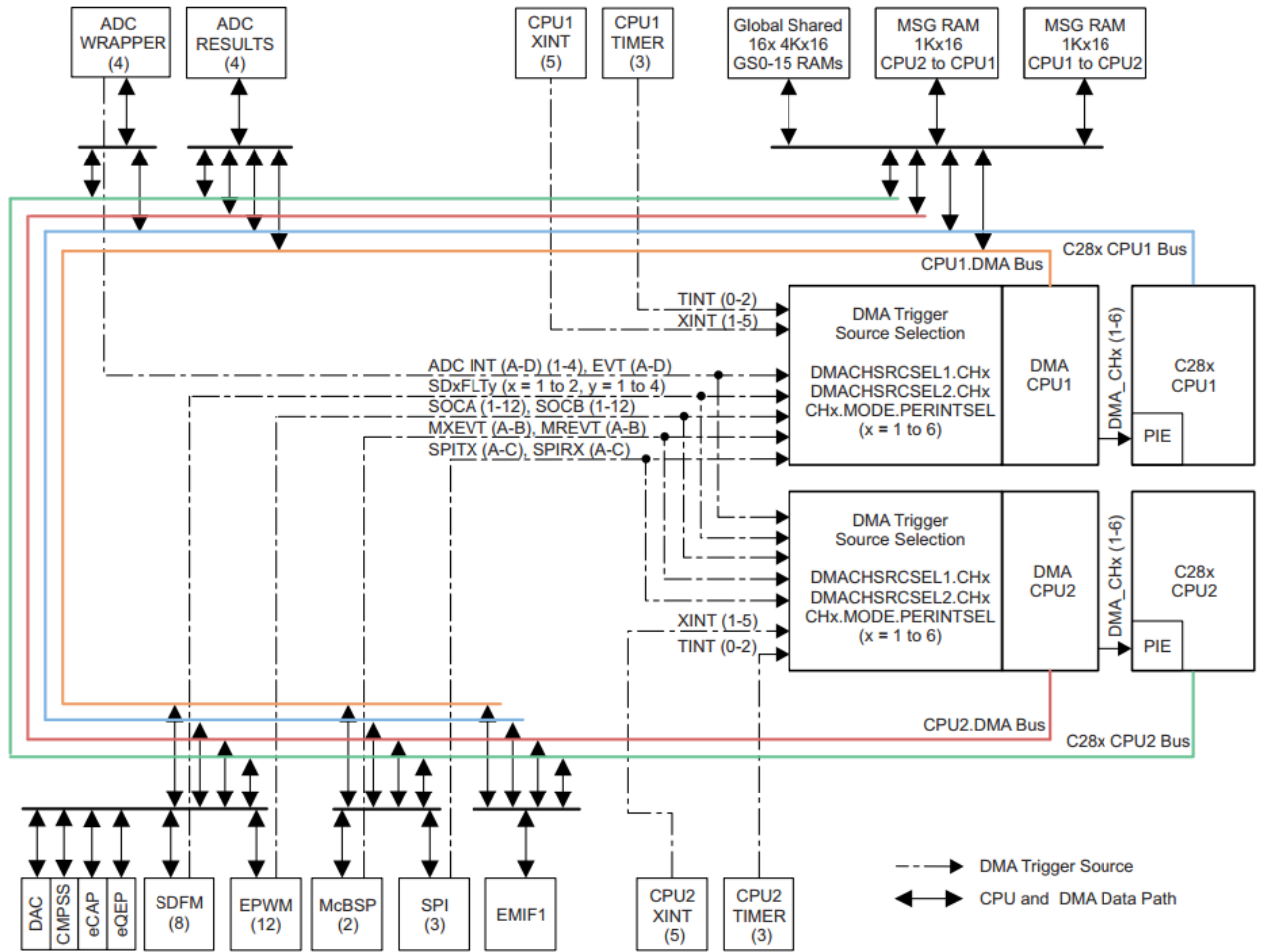


图 7-3. DMA 方框图

7.8 处理器间通信模块

IPC 模块支持多种处理器间通信方法：

- 每个 CPU 有 32 个 IPC 标志，可用于通过软件轮询发出事件信号或指示状态。每个 CPU 有四个标志可以生成中断。
- 共享数据寄存器，可用于在 CPU 之间发送命令或其他小段信息。尽管选择寄存器名称是为了支持命令/响应系统，但它们可以用于软件中定义的任何目的。
- 引导模式和状态寄存器，允许 CPU1 控制 CPU2 的引导过程。
- 一个通用的自由运行的 64 位计数器。
- 两个共享的消息 RAM，可用于传输批量数据。每个 RAM 都可以由两个 CPU 读取。CPU1 可以写入一个 RAM，CPU2 可以写入另一个 RAM。

图 7-4 显示了 IPC 架构。

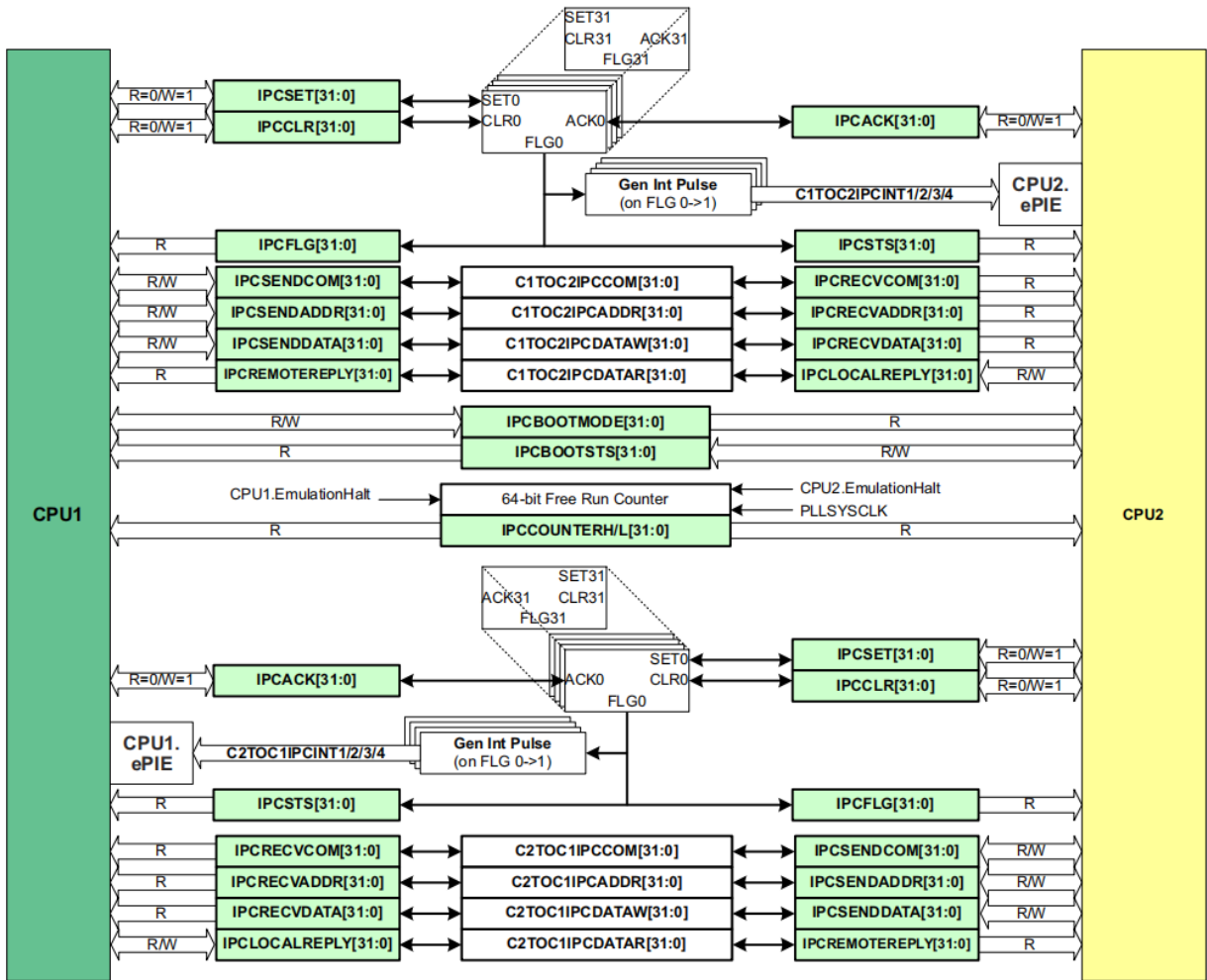


图 7-4. IPC 架构

7.9 双代码安全模块

双代码安全模块 (DCSM) 防止对片上安全内存进行访问。术语“安全”意味着阻止对安全存储器和资源的访问。术语“不安全”是指允许访问；

代码安全机制为两个区域，即区域 1 (Z1) 和区域 2 (Z2)，提供保护。这两个区域的安全实现是相同的。每个区域都有自身的专用安全资源 (OTP 存储器) 和分配的安全资源 (CLA、LSx RAM 和闪存扇区)。

每个区域的安全性都由自身的 128 位密码 (CSM 密码) 确保。每个区域的密码根据区域专用链接指针存储在 OTP 存储器位置中。可以更改链接指针值，以在 OTP 中编程一组不同的安全设置 (包括密码)。

7.10 计时器

CPU 计时器 0, 1, 和 2 是完全一样的 32 位计时器，具有可预设定周期和 16 位时钟预分频。此计时器具有 32 位递减计数寄存器，该寄存器在计数器达到 0 时生成一中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时，则自动重新加载 32 位周期值。

CPU 计时器 0 用于普通用途并连接至 PIE 块。CPU 计时器 1 也用于普通用途，并连接至 CPU 的 INT13。CPU 计时器 2 为 TI-RTOS 保留。该计时器连接至 CPU 的 INT14。如果未使用 TI-RTOS，CPU 计时器 2 也可用于普通用途。

CPU 计时器 2 可由下列任一器件计时：

- SYSCLK (默认)
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- X1 (XTAL)
- AUXPLLCLK

7.11 带有看门狗计时器的非可屏蔽中断 (NMIWD)

NMIWD 模块用于处理系统级错误。每个 CPU 都有一个 NMIWD 模块。监测的条件为：

- 由于振荡器故障导致系统时钟丢失
- CPU 访问闪存时出现不可纠正的 ECC 错误
- CPU、CLA 或 DMA 访问 RAM 时出现不可纠正的 ECC 错误
- 另一个 CPU 上的矢量获取错误
- 仅 CPU1：看门狗或 NMI 看门狗在 CPU2 上复位

如果 CPU 未对锁存错误条件做出响应，NMI 看门狗将在一个可编程时间间隔后触发复位。默认时间为 65536 个 SYSCLK 周期。

8 应用、实现和布局

8.1应用和实施

备注

以下应用部分中的信息不属于 QX 器件规格的范围，QX 不承担其准确性和完整性。QX 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.2 器件主要特性

表 8-1. 器件主要特性

模块	特性	系统优势
C28x 处理		
实时控制 CPU	高达 960MIPS 两个 C28x 内核：480MIPS (2 x 240MIPS) 两个 CLA 内核：480MIPS (2 x 240MIPS) 闪存：高达 2MB (每个 C28x CPU 为 512KB) RAM：高达 2MB 64 位浮点单元 (FPU64) 三角法数学单元 (TMU) CRC 引擎和指令 (VCRC)	QX 的两个 32 位 C28x DSP 内核可为从片上闪存或 SRAM 运行的浮点或定点代码提供 480MHz 的信号处理性能。 为从片上闪存或 SRAM 运行的浮点或定点代码提供 480 MHz 的信号处理性能。 CLA ：允许用户与主 CPU 同时执行时间关键型控制环路 FPU64 ：原生硬件支持 IEEE-754 双精度浮点运算 TMU ：使用加速器加快三角函数和算术运算执行速度，从而提高控制应用的计算速度 (例如 PLL 和 DQ 变换)。有助于实现更快的控制环路，从而提高效率和优化元件尺寸。 特殊指令支持非线性 PID 控制算法 VCRC ：提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。
检测		
模数转换器 (ADC) (可配置 12 位或 16 位)	八个 ADC 模块 16 位模式：(1.6MSPS) 单端模式：高达 24 通道 差分模式：高达 12 通道 12 位模式：(1.6MSPS) 单端模式：高达 24 通道 差分模式：高达 12 通道	ADC 对全部三相电流和直流总线进行精准并行采样，且具有零抖动。 ADC 后处理 - 片上硬件将降低 ADC ISR 复杂度并缩短电流环路周期。 增加 ADC 数量在多相应用中很有用。提供更高的有效 MSPS (过采样) 和典型 ENOB 以实现更好的控制环路性能。
比较器子系统 (CMPSS)	CMPSS 8 个窗口比较器 三个 12 位 DAC 66ns 跳闸检测时间 DAC 斜坡生成 外部引脚上提供低 DAC 输出 数字滤波器 斜率补偿	系统保护无误报： 比较器子系统 (CMPSS) 模块适用于峰值电流模式控制、开关模式电源、功率因数校正和电压跳闸监控等应用。 借助模拟比较器子系统提供的消隐窗口和滤波功能，PWM 跳闸触发和消除不必要噪声变得非常容易。 提供更出色的控制精度。无需进一步的 CPU 配置即可通过比较器和 12 位 DAC (CMPSS) 控制 PWM。 使用同一引脚实现保护和控制。
Σ - Δ 滤波器模块 (SDFM)	多达 12 个独立可配置的数字比较器滤波器通道 多达 12 个独立可配置的数字数据滤波器通道	通过增强型 Δ - Σ 调制器实现电隔离。 SDFM 与外部 Δ - Σ 调制器 ADC 相连接，非常适合需要隔离的信号。 比较器滤波器支持过流和欠流保护，但无需 CPU 干预即可使 PWM 跳闸。 数字数据滤波器可提供更高的 ENOB，从而实现更好的控制环路性能。

表 8-1. 器件主要特性 (续)

模块	特性	系统优势
增强型正交编码器脉冲 (eQEP)	3 个 eQEP 模块	用于与线性或旋转增量编码器进行直接连接，以便获得高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。另外，也可以在其他应用中用于对来自外部器件（例如传感器）的输入脉冲进行计数。
增强型捕获 (eCAP)	6 个 eCAP 模块 测量事件之间经过的时间（最多 4 个带时间戳的事件）。 通过输入 X-BAR 连接到任何 GPIO。 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出 (APWM)。	eCAP 的应用包含： 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮） 位置传感器脉冲之间的持续时间测量 脉冲序列信号的周期和占空比测量 对来自占空比编码电流/电压传感器的电流或电压幅度进行解码



表 8-1. 器件主要特性 (续)

模块	特性	系统优势
安全增强功能	双区域代码安全模块 (DCSM) 安全启动 JTAGLOCK 通用 CRC (GCRC) 看门狗 寄存器受写保护 丢失时钟检测逻辑 (MCD) 纠错码 (ECC) 和奇偶校验	DCSM : 防止对专有代码进行复制和逆向工程 JTAGLOCK : 能够阻止器件仿真 GCRC : 指定连接管理器模块用于计算可配置存储器块上的 CRC 值 看门狗 : 如果 CPU 陷入无休止的执行循环, 则会产生复位 寄存器受写保护 : 针对系统配置寄存器进行锁定保护 防止虚假 CPU 写入 MCD : 自动时钟故障检测 ECC 和奇偶校验 : single-bit 纠错和 double-bit 错误检测
交叉开关 (XBAR)	可灵活连接各种配置中的器件输入、输出和内部资源。 • 输入 X-BAR • 输出 X-BAR • ePWM X-BAR	增强硬件设计的通用性 : 输入 X-BAR : 将信号从任何 GPIO 路由到芯片内的多个 IP 块 输出 XBAR : 将内部信号路由到指定的 GPIO 引脚上 ePWM X-BAR : 将内部信号从各种 IP 块路由到 ePWM
直接存储器访问 (DMA) 控制器	12 通道	直接存储器访问 (DMA) 模块提供了一种在外设和/或存储器之间传输数据而无需 CPU 干预的硬件方法, 从而释放 CPU 带宽供其他系统功能使用。
USB		可用于系统数据记录以及引导至 USB 以更新片上闪存

8.3 应用信息

8.3.1 典型应用

典型应用 一节将详细介绍该器件的一些应用。如需查看更详细的应用列表，请参阅本数据表的*应用* 一节。

8.3.2 伺服驱动器控制模块

伺服驱动器需要高精度电流和电压检测功能以实现精确的扭矩控制，并且通常支持用于多种编码器类型的接口以及通信接口。此 C2000 器件既可用于独立伺服驱动器的单芯片解决方案（如图 8-1 所示），也可用于分散式系统（如图 8-2 所示）。在后一种情况下，F2838x C2000 器件充当控制器，对所有电压和电流输入进行采样并为逆变器生成正确的 PWM 信号。每个 C2000 器件均作为目标轴的实时控制器，用于控制电机的电流控制环。通过使用快速串行接口 (FSI) 外设，一个 C2000 器件最多可管理 16 个轴。C2000 器件作为外部环路控制器执行主轴电机控制，控制通过 FSI 与所有副轴的数据交换，并通过 EtherCAT 与主机或 PLC 进行通信。

8.3.2.1.1 系统方框图

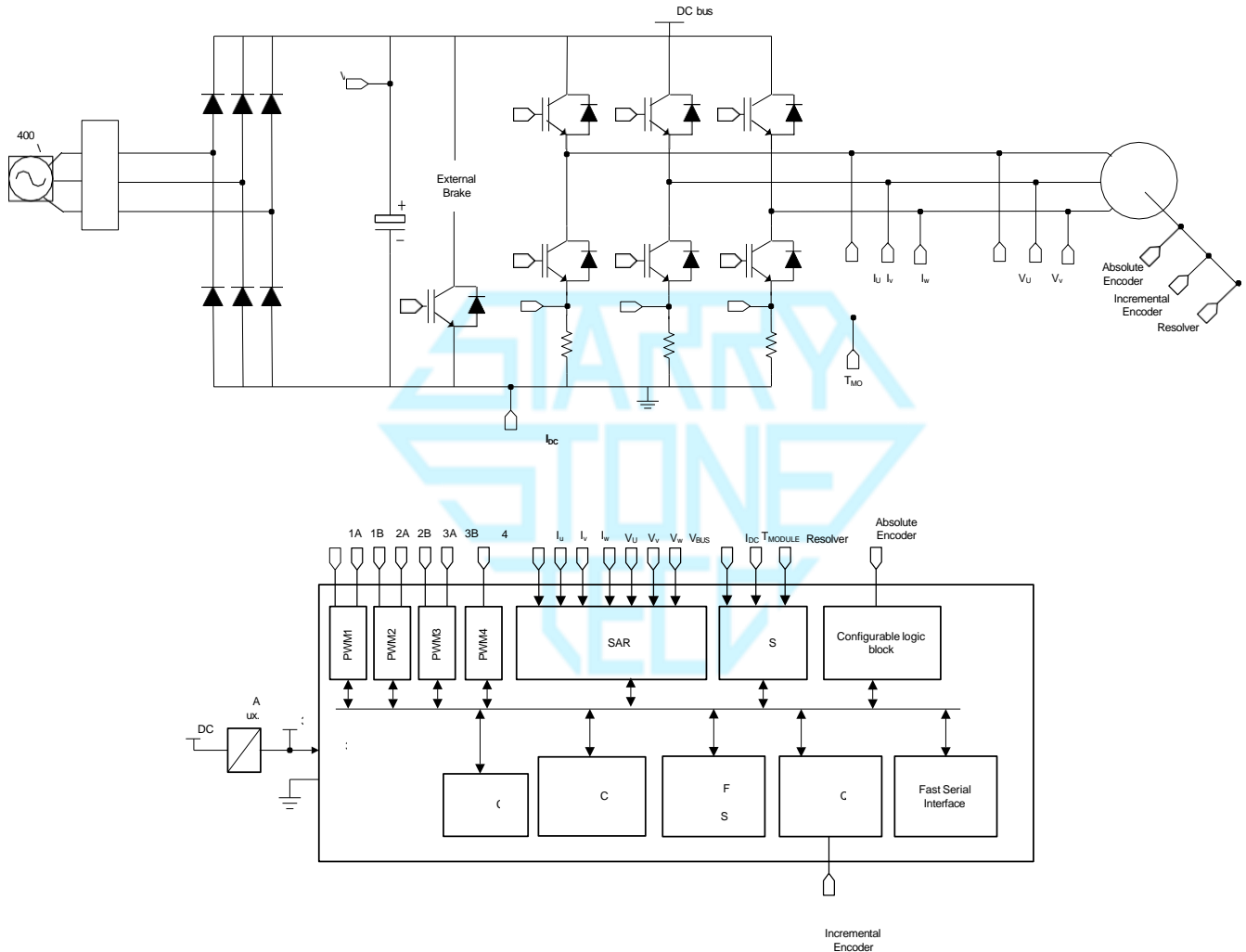


图 8-1. 伺服驱动器控制模块

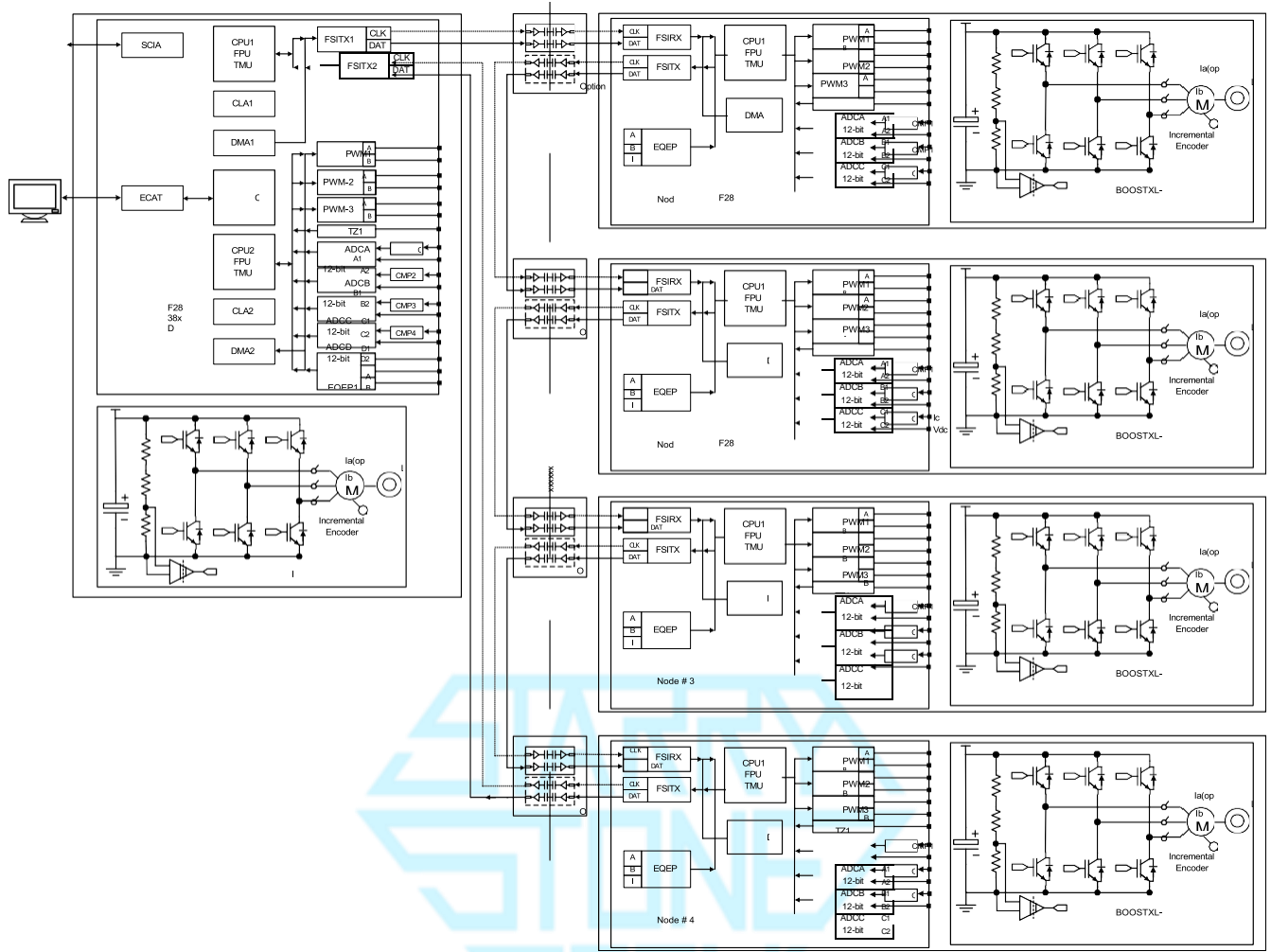


图 8-2. 分布式多轴伺服驱动器

8.3.2.2 微型光伏逆变器

微型光伏逆变器包含直流/交流逆变器功率级以及一个或多个最大功率点跟踪 (MPPT) 直流/直流功率级。逆变器 (直流/交流) 的典型开关频率介于 20kHz-50kHz 之间, 而直流/直流侧的开关频率范围可在 100kHz-200kHz 之间。可以使用各种功率级拓扑来实现这一目的, 该图仅描述了典型的功率级以及控制和通信要求。C2000 微控制器采用片上 EPWM、ADC 和模拟比较器模块来实现此类微型逆变器系统的完全数字控制。

8.3.2.2.1 系统方框图

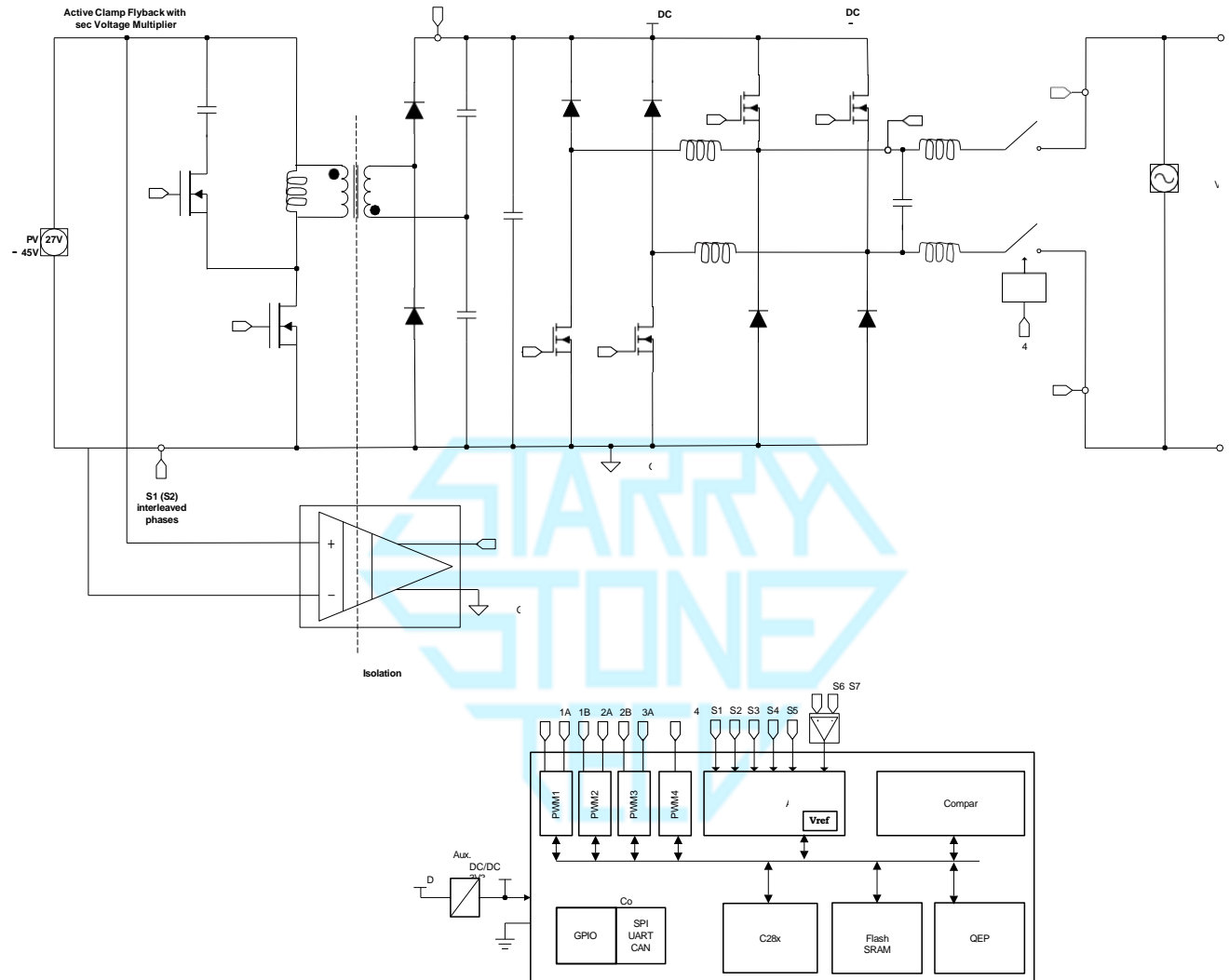


图 8-3. 微型光伏逆变器

8.3.2.3 车载充电器 (OBC)

车载充电器 (OBC) 由两个功率级组成: 一个交流/直流电源转换器和一个后续直流/直流电源转换器级。OBC 可通过使用单个 MCU 来控制交流/直流和直流/直流电源转换器来实现。例如: 可以通过使用三个 3.7kW 单相 OBC 模块来实现 11kW OBC, 如图 8-4 所示。这种方法使我们能够轻松支持单相 240 交流 (北美) 和三相交流 (世界其他地区)。

OBC 充电设计要求如下:

- B. 高性能快速数字控制环路, 可实现高效的功率变换并提高功率密度。
- C. 通过高带宽和快速响应电流检测, 在过流情况下实现精确控制和快速关断。
- D. 安全高效地控制和保护电源开关 [绝缘栅双极晶体管/碳化硅 (IGBT/SiC)]。

8.3.2.4 高压牵引逆变器

牵引驱动子系统旨在驱动交流感应电机或者驱动内置永磁同步电机 (IPMSM) 与同步磁阻电机 (SynRM) 的某种组

合。具有动态解耦功能的高带宽磁场定向控制 (FOC) 方案通过将 C2000 实时控制 MCU 与弱磁和过调制技术结合在一起来实现，将电机驱动至高达 20,000RPM 的超高转速，这可以降低牵引电机的成本和重量。

牵引驱动系统通常使用与电机极数匹配的可变磁阻 (VR) 旋转变压器来直接测量转子的电角。使用旋转变压器信号测量位置和速度时需要用到旋转变压器数字转换 (RDC)。传统的 RDC，例如 PGA411-Q1，采用单独的 IC 进行处理。有了 C2000 MCU，高速牵引逆变器的 RDC 可以集成到主控 MCU 中，在其中可以使用 DMA 来处理励磁的产生，无需 CPU 参与，而反馈通过 ADC 读取并使用 CPU 进行解码。

相移全桥 (PSFB) 拓扑允许开关器件以零电压开关 (ZVS) 进行开关，从而降低开关损耗并提高效率。峰值电流模式控制 (PCMC) 是电源转换器非常需要的控制方案，因为它具有固有的电压前馈、自动逐周期限流、磁通平衡和其他优点，这需要生成复杂的 PWM 驱动波形以及快速高效的控制环路计算。借助于诸如 PWM 模块、带有 DAC 和斜率补偿硬件的模拟比较器以及与高效 32 位 CPU 耦合的 12 位高速 ADC 等先进片上控制外设，可在 C2000 微控制器上实现这一目标。



9 器件和文档支持

9.1 器件和开发支持工具命名规则

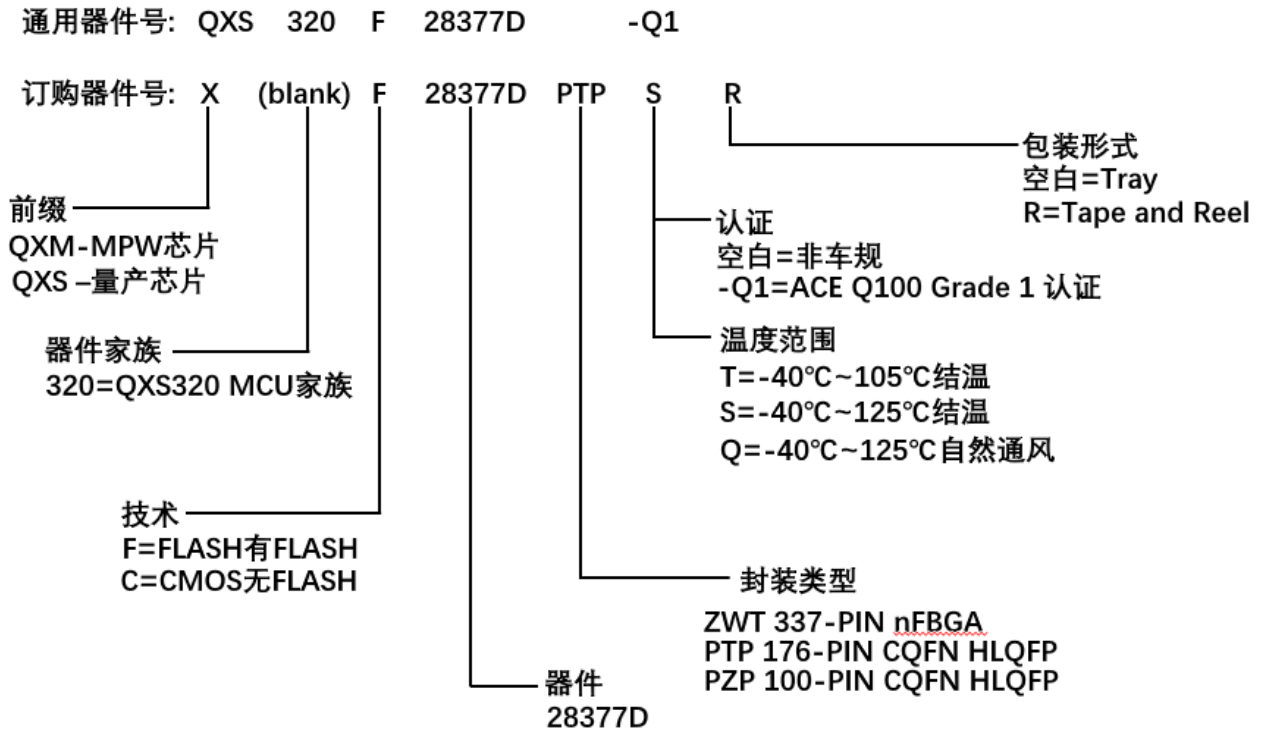


图 9-1. 器件命名规则

10 修订历史记录

-
- v1.0 首个释出版本
 - v1.2 删除空白页，修复产品编码和部分引用
-

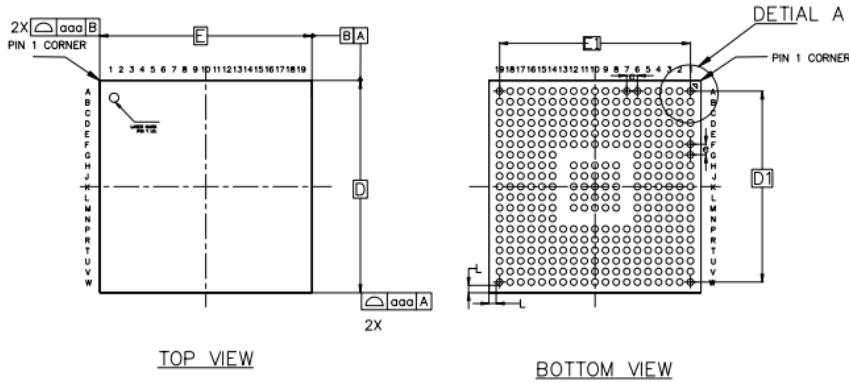


11 机械、封装和可订购信息

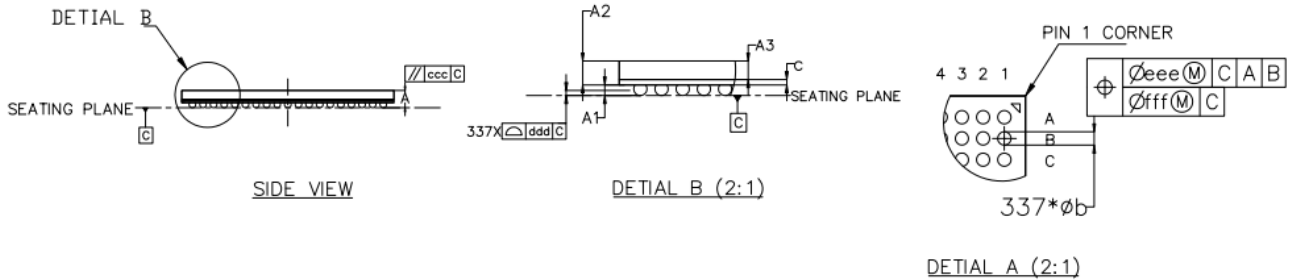
11.1 封装信息

以下为各类型封装的外形和尺寸

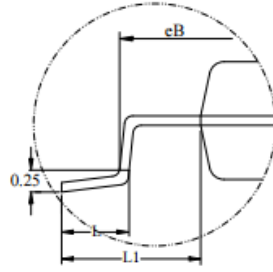
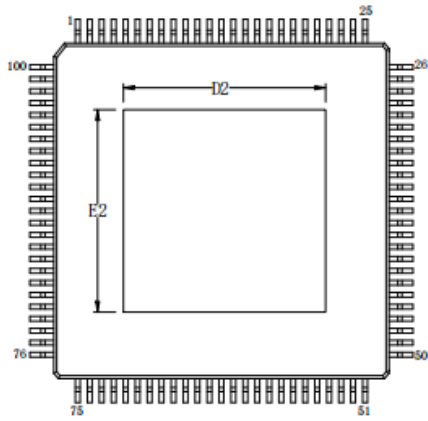
QXS320F28377DZWTS PIN



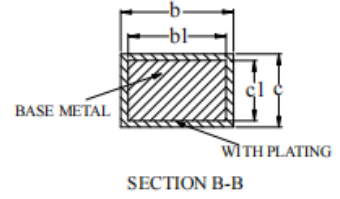
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	1.22	1.30	1.38
A3	0.70BASIC		
A2	0.85	0.90	0.95
A1	0.35	0.40	0.45
c	0.17	0.20	0.23
D	15.90	16.00	16.10
D1	14.40 BASIC		
E	15.90	16.00	16.10
E1	14.40 BASIC		
b	0.45	0.50	0.55
L	0.55 REF		
e	0.80 BASIC		
aaa	0.15		
ccc	0.20		
ddd	0.12		
eee	0.15		
fff	0.05		



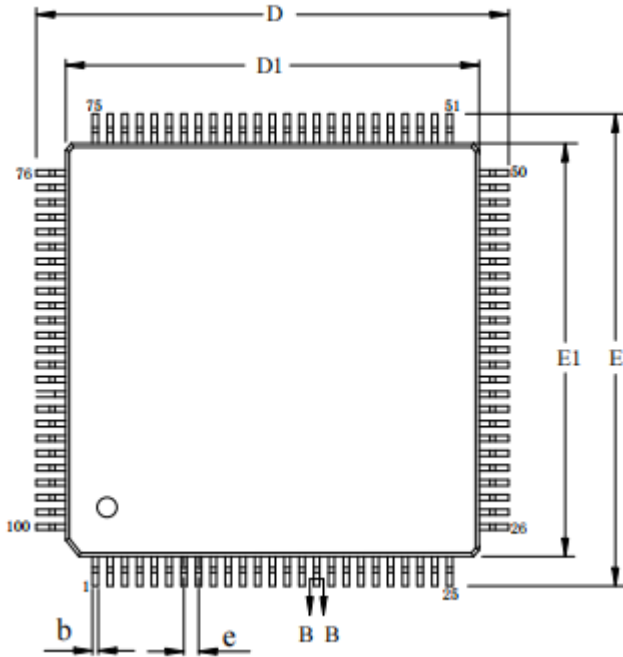
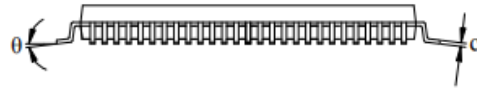
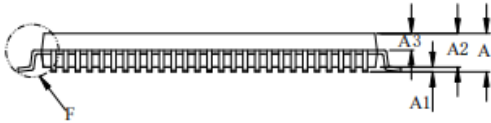
QXS320F28377DPZPS PIN



DETAIL: F



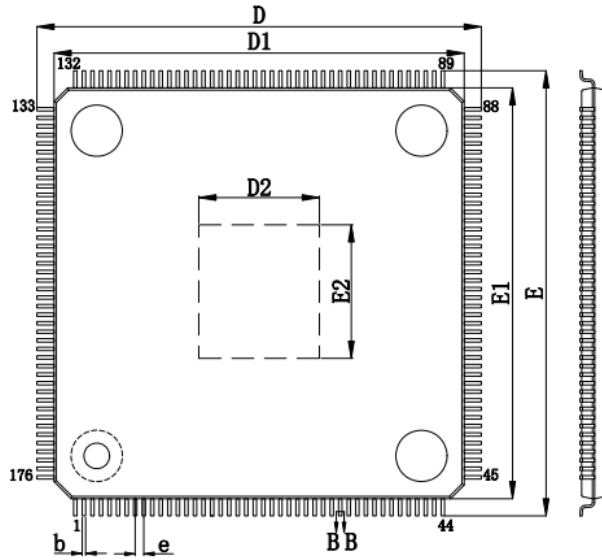
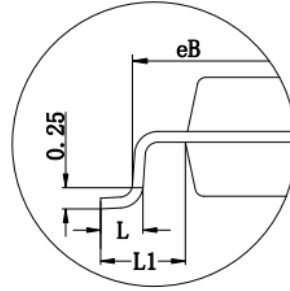
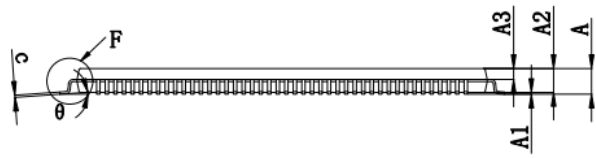
SECTION B-B



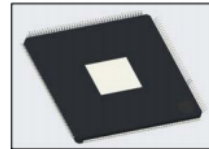
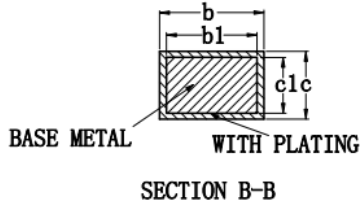
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
eB	15.05	—	15.35
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

L, P Size (mm)	Size (mm)	
	D2	E2
299*299	7.60REF	7.60REF
156*174	4.41REF	3.96REF
197*197	5.00REF	5.00REF
256*256	6.50REF	6.50REF

QXS320F28377DPTPS PIN



DETAIL:F



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	25.80	26.00	26.20
D1	23.90	24.00	24.10
E	25.80	26.00	26.20
E1	23.90	24.00	24.10
eB	25.05	—	25.25
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
theta	0	—	7°

L/P size (mil)	size (mm)	D2	E2
307*278		7.06REF	7.80REF



11.2 订货信息

11.2.1 封装信息

表 10-1.封装信息

产品型号	芯片版本	封装系列	封装类型	管脚数	环保标准	引线镀层/球材料	湿敏等级和最大耐焊接温度	工作温度
QXS320F28377DZWTS		nFBGA	ZWT	337	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于 260° C-168 小时车时间寿命)	-40° C 至125° C
QXS320F28377DPZPS		HLQHP	PZP	100	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于 260° C-168 小时车时间寿命)	-40° C 至125° C
QXS320F28377DPTPS		HLQHP	PTP	176	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于 260° C-168 小时车时间寿命)	-40° C 至125° C

11.2.2 封装概览



12 关于乾芯科技

合肥乾芯科技有限公司是一家专业研发各类处理器芯片及IP软核的企业。我们核心产品是以数字信号处理器（DSP）为主，以微控制器（MCU）等产品为外延的处理器系列产品，主要面向数字电源、电机控制、光伏逆变器控制等领域。

公司核心研发团队由工业界知名专家组成，研发设计处理器芯片数十年，具有丰富的研发经验；核心团队成员曾成功大规模量产过多款芯片，研制的各类处理器芯片均达到国际一流技术水平。是国内为数不多的具备涵盖处理器体系结构定义、逻辑设计、物理实现到 GDS 生成全流程，以及工具链、配套函数库和集成开发环境全方位研发能力的团队。

我们的优势在于从指令集到内核微架构再到完整工具链均为自主研发。公司目前已拥有多项发明专利和软著，对核心技术建立专利池并形成完整知识产权保护链。

联系方式

公司网址：www.starrystonetech.com

联系邮箱：qx001@starrystonetech.com

联系电话：0551-68168580

公司地址：安徽合肥高新区创业产业园2期F1栋21楼

