



乾芯科技
STARRYSTONETECH

QXS320F28377LRevB数字信号控制器

数据手册

v1.9

合肥乾芯科技有限公司

表 1: 版本历史

版本号	修订日期	修订内容
1.0	2025/04/23	初稿
1.1	2025/04/25	修正电气参数
1.2	2025/04/27	修正图片索引
1.3	2025/05/09	名称变更为QXS320F28377LRevB
1.4	2025/05/14	添加产品迭代版本
1.5	2025/07/17	修正文字错误
1.6	2025/07/22	更新器件命名规则图
1.7	2025/09/18	添加仿真/JTAG
1.8	2025/10/11	删除FSI内容
1.9	2025/12/16	添加9.2 Tary盘信息



目 录

1 特性	9
2 应用	10
3 说明	11
3.1 功能框图	12
3.2 器件特性	13
3.3 产品编码	14
3.3.1. 产品迭代版本	14
4 终端配置与功能	15
4.1 引脚图	15
4.2 引脚说明	16
4.3 信号描述	33
4.3.1 模拟信号	33
4.3.2 数字信号	38
4.3.3 电源与接地	51
4.3.4 测试,JTAG 与复位	52
4.4 GPIO	53
4.4.1 GPIO 复用引脚表	53
4.4.2 ADC 引脚上的数字复用 (AGPIO)	57
4.4.3 GPIO 输入 X-BAR	58
4.4.4 GPIO 输出 X-BAR 和 ePWM X-BAR	60
4.5 GPIO 引脚内部上拉/下拉	61
4.6 未使用引脚的连接	62
5 规格	63
5.1 绝对最大值范围 ^{(1) (2)}	63
5.2 产品 ESD 范围	64
5.3 推荐工作条件	64
5.4 耗电概述	65
5.4.1 系统电流消耗 (外部电源)	65

5.4.2	工作模式测试描述	66
5.4.3	减少电流消耗.....	67
5.4.4	减少电流消耗.....	68
5.5	电气特性.....	70
5.6	热阻特征.....	71
5.6.1	PK封装的热阻特性	71
5.6.2	PZ 封装的热阻特性	73
5.6.3	PM 封装的热阻特性.....	74
5.6.4	RSH 封装的热阻特性	75
5.7	散热设计注意事项.....	77
5.8	模拟外设.....	78
5.8.1	模数转换器（ADC）	86
5.8.1.1	结果寄存器映射.....	89
5.8.1.2	ADC 配置.....	89
5.8.1.3	ADC 电气数据与时序	89
5.8.2	可编程增益放大器(PGA).....	94
5.8.2.1	PGA电气数据和时序	95
5.8.3	温度传感器	98
5.8.3.1	温度传感器电气数据和时序	98
5.8.4	Buffered 数模转换器(DAC).....	99
5.8.4.1	Buffered DAC 电气数据和时序.....	100
5.8.5	比较器子系统(CMPSS)	101
5.8.5.1	CMPSS 电气数据与时序	102
5.8.5.1.1	比较器电气特性.....	102
5.9	控制外设.....	104
5.9.1	增强型捕获(eCAP)	104
5.9.1.1	eCAP电气数据和时序	106
5.9.2	高分辨率捕捉子模块(HRCAP6–HRCAP7).....	107
5.9.2.1	HRCAP电气数据和时序	110
5.9.3	增强脉冲宽度调制(ePWM)	111

5.9.3.1 控制外设同步	114
5.9.3.2 ePWM电气数据和时序	114
5.9.3.3 外部ADC转换脉冲开始的电气数据和时序	116
5.9.4 高分辨率脉冲宽度调制器(HRPWM)	117
5.9.4.1 HRPWM 电气数据和时序	117
5.9.5 增强型正交编码器脉冲(eQEP)	118
5.9.5.1 eQEP电气数据和时序	118
5.9.6 Σ - Δ 滤波器模块(SDFM).....	120
5.9.6.1 SDFM电气数据和时序.....	121
5.9.6.2 SDFM电气数据和时序（同步GPIO）	124
5.9.6.2.1 使用同步GPIO(SYNC)选项时的SDFM时序要求.....	124
5.10 通信外设.....	127
5.10.1 控制局域网(CAN).....	127
5.10.2 内置集成电路(I2C)	129
5.10.2.1 I2C电气数据和时序	131
5.10.3 电源管理总线(PMBus)接口.....	134
5.10.3.1.1 PMBus 电气特性.....	136
5.10.3.1.2 PMBus 快速模式的开关特性	136
5.10.3.1.3 PMBus 标准模式的开关特性	137
5.10.4 串行通信接口(SCI)	138
5.10.5 串行外设接口(SPI)	141
5.10.5.1 SPI 主模式时序	142
5.10.5.2 SPI从模式时序	146
5.10.5.2.1 SPI 从模式时序要求	146
5.10.5.2.2 SPI 从模式开关特性.....	147
5.10.5.2.3 SPI 从模式时序图.....	147
5.10.6 本地互连网络(LIN).....	148
5.10.7 外部存储器接口 (EMIF)	149
5.10.7.1 异步内存支持 EMIF 支持异步内存:	149
5.10.7.2 同步 DRAM 支持.....	150

5.11 系统.....	150
5.11.1 电源管理.....	150
5.11.1.1 内部1.2 V LDO稳压器 (VREG)	151
5.11.1.2 推荐的外部组件	151
5.11.1.3 电源排序.....	151
5.11.1.4 上电复位 (POR)	152
5.11.1.5 停电复位 (BOR)	152
5.11.2 时钟规范.....	152
5.11.2.1 时钟资源.....	152
5.11.2.2 时钟频率、要求和特性	153
5.11.2.3 外部输入时钟	155
5.11.2.4 内部振荡器	156
5.11.3 仿真/JTAG.....	157
6 详细描述.....	158
6.1 概述	158
6.2 功能框图.....	160
6.3 内存	161
6.3.1 内存映射.....	161
6.3.2 Flash 内存映射	168
6.3.2.1 Flash 扇区地址.....	168
6.3.3.2 外设寄存器内存映射.....	169
6.3.3 存储器类型	175
6.3.3.1 CPU共享数据 RAM (GSDx RAM)	175
6.3.3.2 IPC共享 RAM (IPC CPUx_RAM)	175
6.3.3.3 CPU共享指令RAM (GSIx RAM).....	175
6.3.3.4 CPU共享指令RAM (BOOT RAM)	175
6.4 总线架构-外设连接	175
6.6 C28x 处理器	177
6.6.1 介绍.....	177
6.6.2 特点.....	177

6.6.3 浮点单元(FPU)	177
6.6.4 三角数学单元(TMU)	177
6.6.5 Viterbi、复数和循环冗余校验单元 (VCU)	178
6.6.5.1 Viterbi运算	178
6.6.5.2 循环冗余校验 (CRC)	178
6.6.5.3 复数运算.....	179
6.6.6 增强型整数除法单元 (EINTDIV)	179
6.7 直接内存访问(DMA)	180
6.8 看门狗	182
6.9 C28x 计时器	182
6.10 双时钟比较器 (DCC).....	183
6.10.1 特点	183
6.10.2 DCCx(DCC0 and DCC1) 时钟源输入映射.....	183
7 开发支持.....	184
7.1 集成开发环境QX-IDE	184
7.2 仿真器	185
7.2.1 简介	185
7.2.2 结构.....	185
7.2.2.1 宿主机	185
7.2.2.2 目标机	186
7.2.2.3 接口卡	186
8 封装外形尺寸.....	187
8.1 HLQFP176 PIN	187
9 订货信息.....	188
9.1 封装信息.....	188
9.2 Tary盘信息	189
9.2.1 HLQFP176.....	189
9.3 封装概览.....	190
关于乾芯科技.....	191



1 特性

- 32位双核CPU
 - 300 MHz
 - IEEE-754 单精度浮点单元 (FPU)
 - 三角函数加速器 (TMU)
 - Viterbi/复杂数学单元 (VCU-I)
- 片上存储器
 - 1MB FLASH (ECC 保护)
 - 1MB SRAM (ECC保护/奇偶校验保护)
 - 1MB 指令RAM, 512KB 数据RAM
- 时钟和控制
 - 两个内部零引脚 10MHz 振荡器
 - 片上晶振振荡器和外部时钟输入
 - 片上 10MHz 振荡器
 - 外部晶振频率最高支持 20MHz
 - 看门狗计时器模块
 - 丢失时钟检测电路
- 电源电压: 1.2V 内核、3.3V I/O
 - 可生成 1.2V 电压的内部 VREG
 - 欠压复位 (BOR) 电路
- 系统外设
 - 6通道直接存储器存取 (DMA) 控制器
 - 103个独立可编程多路复用GPIO引脚
 - 在模拟引脚上提供21路数字输入
 - 增强型外设中断扩展 (ePIE) 模块
 - 持多个具有外部唤醒功能的低功耗模式 (LPM)
 - 嵌入式实时分析和诊断 (ERAD)
- 通信外设
 - 1个电源管理总线 (PMBus) 接口
 - 1个内部集成电路 (I2C) 接口
 - 2个控制器局域网 (CAN) 总线端口
 - 2个串行外设接口 (SPI) 端口支持QSPI
- 2个与UART兼容的串行通信接口 (SCI)
- 1个可兼容UART的本地互连网络 (LIN)
- 1个外部存储接口 (EMIF)
- 模拟系统
 - 5个 3MSPS 12位模数转换器 (ADC)
 - 多达21个外部通道
 - 每个ADC集成4个后处理模块 (PPB)
 - 3个 2.67MSPS 14位模数转换器 (ADC)
 - 多达21个外部通道
 - 每个ADC集成4个后处理模块 (PPB)
 - 2个12位缓冲数模转换器 (DAC)
 - 7个带12位参考数模转换器 (DAC) 的窗口比较器 (CMPSS)
 - 数字干扰滤波器
 - 7个可编程增益放大器 (PGA)
 - 可编程增益设置
 - 可编程输出滤波
- 增强型控制外设
 - 24个具有增强特性的ePWM通道
 - 16个高分辨率 (45ps) HRPWM通道
 - 具有高分辨率的集成死区支持
 - 具有硬件跳闸区域 (TZ)
 - 7个增强型捕捉 (eCAP) 模块
 - 2个增强型捕捉模块 (HRCAP)
 - 2个CW/CCW运行模式的增强型正交编码器脉冲 (eQEP) 模块
 - 4条 Σ - Δ 滤波器模块 (SDFM) 输入通道
- QXFast-FOC
 - 无传感器的磁场定向控制 (FOC)
- 封装
 - 176 引脚LQFP
- 温度
 - -40°C至125°C环境温度

2 应用

- 交流充电桩
- 直流充电桩
- 电动汽车充电站电源模块
- 车辆无线充电模块
- 能量存储电源转换系统（PCS）
- 中央逆变器
- 太阳能电源优化器
- 串式逆变器
- 直流/交流转换器
- 逆变器和电机控制
- 伺服驱动器控制模块
- 交流BLDC电机驱动器
- 直流BLDC电机驱动器
- 工业交流/直流电源
- 三相UPS
- 商用网络和服务器PSU
- 商用通信电源整流器



3 说明

QXS320F28377L是一款对标TI公司的TMS320F2837XD系列的32位处理器。主要针对实时控制应用（如工业电机驱动、光伏逆变器和数字电源、电动汽车的电机控制以及空调变频等）。

QXS320F28377L拥有对标TI C28x的自主研发的32位CPU内核，可提供300MHz的处理能力。QXS320F28377L内部同样集成了FPU，TMU和VCU扩展指令集，FPU可以提供32位浮点加速指令，TMU可快速执行包含变换和扭矩环路计算中常见三角运算的算法，VCU扩展指令集能够降低编码应用中常见复杂数学运算的延迟。

QXS320F28377L采用双核架构，CPU0和CPU1可独立并行运行，也可以相互通信。每个核都具有其独立的存储资源，都可以独立访问典型控制系统中所需的主要外设。双核之间可以通过中断，特殊寄存器和共享内存三种方式通信。

QXS320F28377L还集成了高性能模拟外设和增强型控制外设，五个独立的12位采样率为3MSPS的常规ADC和三个独立的14位采样率为2.67MSPS的常规ADC可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。模拟前端上的七个PGA可以在转换之前实现片上电压调节。七个模拟比较器模块可以针对跳闸情况对输入电压电平进行持续监控。先进的控制外设（具有独立于频率的ePWM/HRPWM和eCAP），可对系统进行出色的控制。内置的4通道SDFM允许在隔离层上无缝集成过采样 $\Sigma-\Delta$ 调制器。

通过各种业界通用通信端口（如SPI、SCI、I2C、LIN和CAN2.0，CAN FD）支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。QXS320F28377L同时支持PMBus。

嵌入式实时分析和诊断（ERAD）模块通过提供用于分析的附加硬件断点和计数器来增强器件的调试和系统分析功能。

QXS320F28377L支持高达512KB可配置的指令RAM或数据RAM以及额外的512KB指令RAM和1MB Flash存储，能够适应大部分嵌入场景。QXS320F28377L还支持8KB的bootloader指令RAM，灵活配置启动过程。

3.1 功能框图

功能框图展示了CPU 系统及关联的外设。

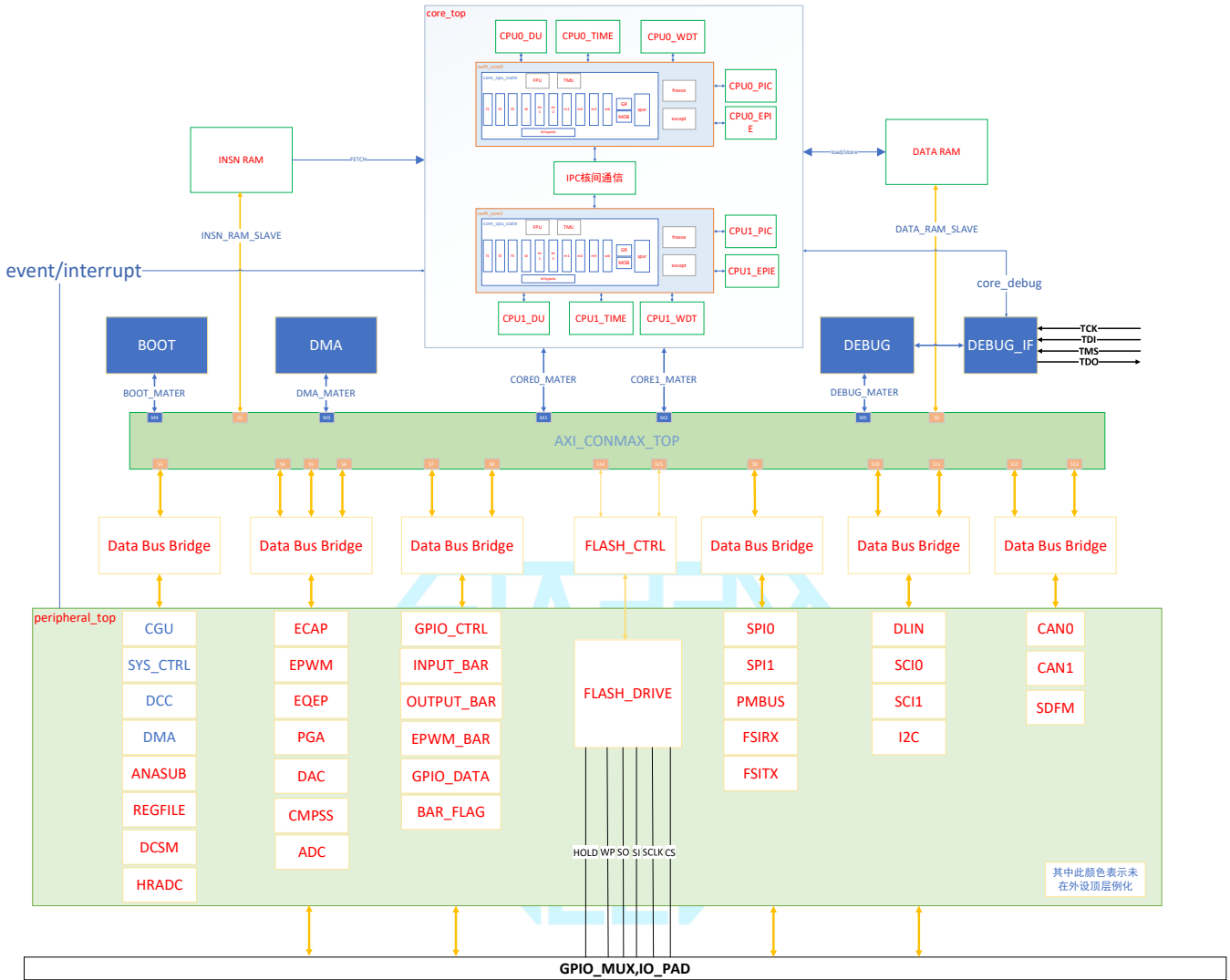


图 3-1 功能框图

3.2 器件特性

功能		QXS320F28377L
时钟主频		300 MHz
内核数		双核
IEEE754单精度浮点单元 (FPU)		支持
三角函数加速器 (TMU)		支持
复杂数学单元 (VCU-I)		支持
指令存储IRAM		双核共享1MB
数据存储DRAM		双核共享512KB
片上FLASH		1MB
高速DMA 模块通道		6
32位CPU 定时器		6 (每个核支持3个)
窗口看门狗定时器		2 (每个核支持1个)
非可屏蔽中断看门狗定时器		0
IO引脚	GPIO	103
	AIO	21
嵌入式实时分析和诊断(ERAD)		有
外部中断		5
12-bit ADC	数量	5
	采样率	3M
	通道数	21
	输入模式	单端/差分
	后处理 (PPB)	4
14-bit ADC	数量	3
	采样率	2.67M
	通道数	21
	输入模式	单端/差分
	后处理 (PPB)	4
比较子系统 (CMPSS)	数量	7
	DAC	12bit
12-bit DAC		2
可编程增益放大器 (PGA)	数量	7
	放大倍数	3 6 12 24 48
PMBus		1
I2C		1
CAN FD(兼容CAN2.0)		2
SPI		2
SCI		2
LIN		1
16bit/32bit EMIF		1
EPWM	EPWM通道	24
	HRPWM (110ps)	16
	HHRPWM(45ps)	16
eCAP	eCAP	7
	HRCAP	2
eQEP		2
Σ-Δ滤波器模块 (SDFM)		4

结温 (Tj)	-40°C~125°C
	176 LQFP

3.3 产品编码

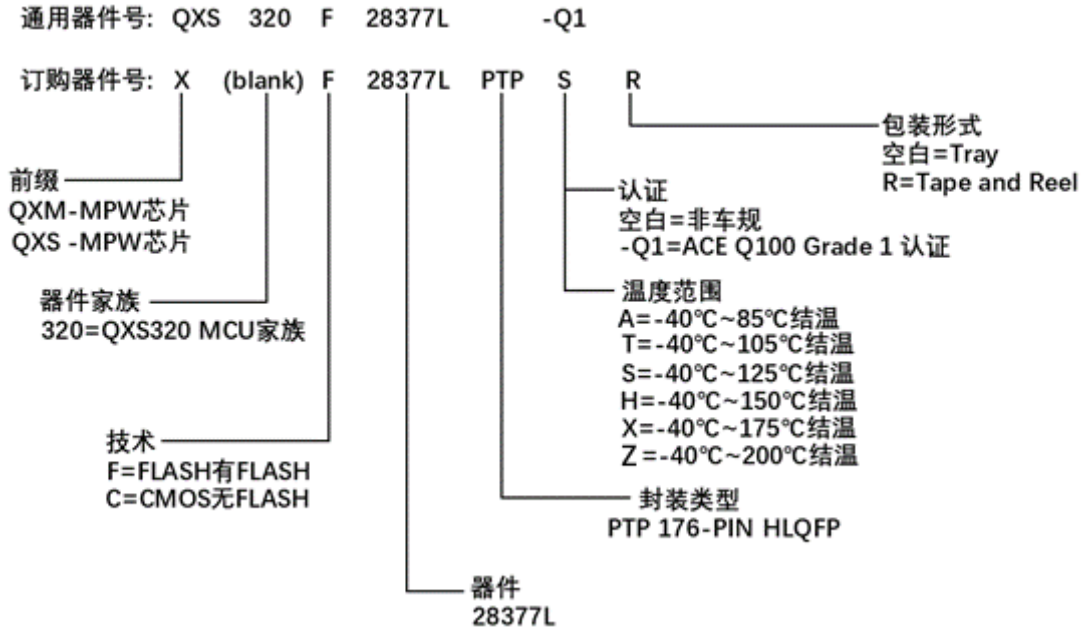


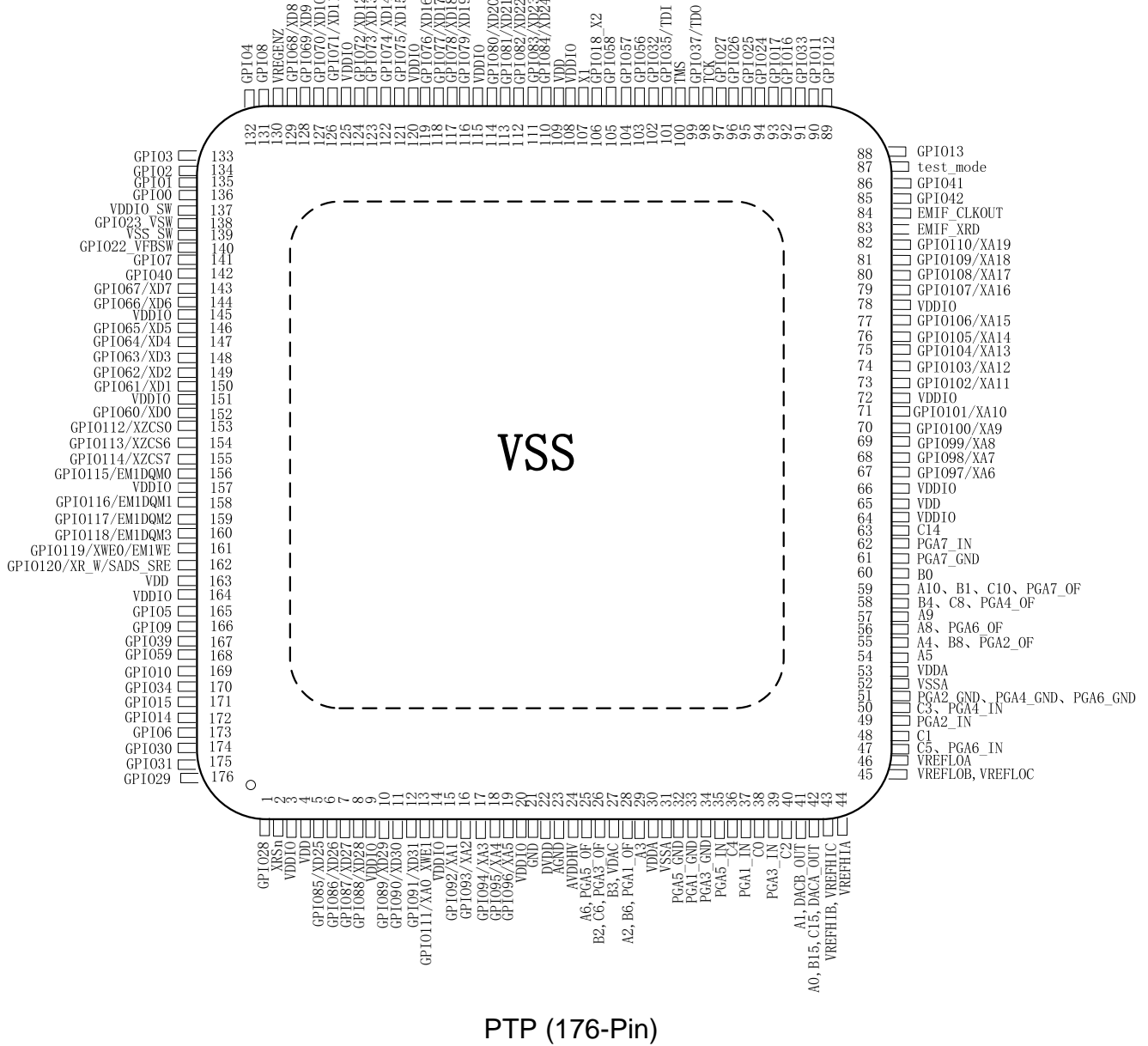
图 3-2 器件命名规则图

3.3.1. 产品迭代版本

文档所述产品迭代版本为RevB（QXS320F28377LRevB），该名称在文档、手册文件名，QX-IDE工程名中体现。

4 终端配置与功能

4.1 引脚图



4.2 引脚说明

表 6-1.引脚属性

信号名称	多路复用器位置	176	引脚类型	说明
A0		42	I	ADC-A 输入 0
B15			I	ADC-B 输入 15
C15			I	ADC-C 输入 15
DACA_OUT			O	缓冲 DAC-A 输出
AGPIO231			I/O	ADC 引脚上的数字复用 231
A1		41	I	ADC-A 输入 1
DACB_OUT			O	缓冲 DAC-B 输出
AGPIO232			I/O	ADC 引脚上的数字复用 232
A10		59	I	ADC-A 输入 10
B1			I	ADC-B 输入 1
C10			I	ADC-C 输入 10
PGA7_OF			O	PGA-7 输出滤波器 (可选)
CMP7_HP0			I	CMPSS-7 高电平比较器正输入 0
CMP7_LPOAGP			I	CMPSS-7 低电平比较器正输入 0
IO230			I/O	ADC 引脚上的数字复用 230
A2		28	I	ADC-A 输入 2
B6			I	ADC-B 输入 6
PGA1_OF			O	PGA-1 输出滤波器 (可选)
CMP1_HP0			I	CMPSS-1 高电平比较器正输入 0
CMP1_LPO			I	CMPSS-1 低电平比较器正输入 0
AGPIO224			I/O	ADC 引脚上的数字复用 224
A3		29	I	ADC-A 输入 3
CMP1_HP3			I	CMPSS-1 高电平比较器正输入 3
CMP1_HNO			I	CMPSS-1 高电平比较器负输入 0
CMP1_LP3			I	CMPSS-1 低电平比较器正输入 3
CMP1_LNO			I	CMPSS-1 低电平比较器负输入 0
AGPIO233			I/O	ADC 引脚上的数字复用 233
A4		55	I	ADC-A 输入 4
B8			I	ADC-B 输入 8
PGA2_OF			O	PGA-2 输出滤波器 (可选)
CMP2_HP0			I	CMPSS-2 高电平比较器正输入 0
CMP2_LPO			I	CMPSS-2 低电平比较器正输入 0
AGPIO225			I/O	ADC 引脚上的数字复用 225
A5		54	I	ADC-A 输入 5
CMP2_HP3			I	CMPSS-2 高电平比较器正输入 3
CMP2_HNO			I	CMPSS-2 高电平比较器负输入 0
CMP2_LP3			I	CMPSS-2 低电平比较器正输入 3
CMP2_LNO			I	CMPSS-2 低电平比较器负输入 0
AGPIO234			I/O	ADC 引脚上的数字复用 234

信号名称	多路复用器位置	176	引脚类型	说明
A6 PGA5_OF CMP5_HPO CMP5_LPO AGPIO228		25	I O I I I/O	ADC-A 输入 6 PGA-5 输出滤波器 (可选) CMPSS-5 高电平比较器正输入 0 CMPSS-5 低电平比较器正输入 0 ADC 引脚上的数字复用 228
A8 PGA6_OF CMP6_HPO CMP6_LPO AGPIO229		56	I O I I I/O	ADC-A 输入 8 PGA-6 输出滤波器 (可选) CMPSS-6 高电平比较器正输入 0 CMPSS-6 低电平比较器正输入 0 ADC 引脚上的数字复用 229
A9 CMP6_HP3 CMP6_HNO CMP6_LP3 CMP6_LNO AGPIO236		57	I I I I I I/O	ADC-A 输入 9 CMPSS-6 高电平比较器正输入 3 CMPSS-6 高电平比较器负输入 0 CMPSS-6 低电平比较器正输入 3 CMPSS-6 低电平比较器负输入 0 ADC 引脚上的数字复用 236
B0 CMP7_HP3 CMP7_HNO CMP7_LP3 CMP7_LNO AGPIO241		60	I I I I I I/O	ADC-B 输入 0 CMPSS-7 高电平比较器正输入 3 CMPSS-7 高电平比较器负输入 0 CMPSS-7 低电平比较器正输入 3 CMPSS-7 低电平比较器负输入 0 ADC 引脚上的数字复用 241
B2 C6 PGA3_OF CMP3_HPO CMP3_LPO AGPIO226		26	I I O I I I/O	ADC-B 输入 2 ADC-C 输入 6 PGA-3 输出滤波器 (可选) CMPSS-3 高电平比较器正输入 0 CMPSS-3 低电平比较器正输入 0 ADC 引脚上的数字复用 226
B3 VDAC CMP3_HP3 CMP3_HNO CMP3_LP3 CMP3_LNO AGPIO242		27	I I I I I I/O	ADC-B 输入 3 片上 DAC 的可选外部基准电压。无论是用于 ADC 输入还是 DAC 基准, 此引脚上有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准, 请在此引脚上放置至少一个 1μF 电容器。 CMPSS-3 高电平比较器正输入 3 CMPSS-3 高电平比较器负输入 0 CMPSS-3 低电平比较器正输入 3 CMPSS-3 低电平比较器负输入 0 ADC 引脚上的数字复用 242
B4 C8 PGA4_OF CMP4_HPO CMP4_LPO AGPIO227		58	I I O I I I/O	ADC-B 输入 4 ADC-C 输入 8 PGA-4 输出滤波器 (可选) CMPSS-4 高电平比较器正输入 0 CMPSS-4 低电平比较器正输入 0 ADC 引脚上的数字复用 227
C0 CMP1_HP1 CMP1_HN1 CMP1_LP1 CMP1_LN1 AGPIO237		38	I I I I I I/O	ADC-C 输入 0 CMPSS-1 高电平比较器正输入 1 CMPSS-1 高电平比较器负输入 1 CMPSS-1 低电平比较器正输入 1 CMPSS-1 低电平比较器负输入 1 ADC 引脚上的数字复用 237

C1 CMP2_HP1 CMP2_HN1 CMP2_LP1 CMP2_LN1 AGPIO238		48	I I I I I/O	ADC-C 输入 1 CMPSS-2 高电平比较器正输入 1 CMPSS-2 高电平比较器负输入 1 CMPSS-2 低电平比较器正输入 1 CMPSS-2 低电平比较器负输入 1 ADC 引脚上的数字复用 238
C14 CMP7_HP1 CMP7_HN1 CMP7_LP1 CMP7_LN1 AGPIO246		63	I I I I I/O	ADC-C 输入 14 CMPSS-7 高电平比较器正输入 1 CMPSS-7 高电平比较器负输入 1 CMPSS-7 低电平比较器正输入 1 CMPSS-7 低电平比较器负输入 1 ADC 引脚上的数字复用 246
C2 CMP3_HP1 CMP3_HN1 CMP3_LP1 CMP3_LN1 AGPIO244		40	I I I I I/O	ADC-C 输入 2 CMPSS-3 高电平比较器正输入 1 CMPSS-3 高电平比较器负输入 1 CMPSS-3 低电平比较器正输入 1 CMPSS-3 低电平比较器负输入 1 ADC 引脚上的数字复用 244
C3 PGA4_IN CMP4_HP1 CMP4_HN1 CMP4_LP1 CMP4_LN1 AGPIO245		50	I I I I I I/O	ADC-C 输入 3 PGA-4 输入 CMPSS-4 高电平比较器正输入 1 CMPSS-4 高电平比较器负输入 1 CMPSS-4 低电平比较器正输入 1 CMPSS-4 低电平比较器负输入 1 ADC 引脚上的数字复用 245
C4 CMP5_HP1 CMP5_HN1 CMP5_LP1 CMP5_LN1 AGPIO239		36	I I I I I/O	ADC-C 输入 4 CMPSS-5 高电平比较器正输入 1 CMPSS-5 高电平比较器负输入 1 CMPSS-5 低电平比较器正输入 1 CMPSS-5 低电平比较器负输入 1 ADC 引脚上的数字复用 239
C5 PGA6_IN CMP6_HP1 CMP6_HN1 CMP6_LP1 CMP6_LN1 AGPIO240		47	I I I I I I/O	ADC-C 输入 5 PGA-6 输入 CMPSS-6 高电平比较器正输入 1 CMPSS-6 高电平比较器负输入 1 CMPSS-6 低电平比较器正输入 1 CMPSS-6 低电平比较器负输入 1 ADC 引脚上的数字复用 240
PGA1_GND		33	I	PGA-1 接地
PGA1_IN CMP1_HP2 CMP1_LP2		37	I I I	PGA-1 输入 CMPSS-1 高电平比较器正输入 2 CMPSS-1 低电平比较器正输入 2
PGA2_GND		51	I	PGA-2 接地
PGA2_IN CMP2_HP2 CMP2_LP2		49	I I I	PGA-2 输入 CMPSS-2 高电平比较器正输入 2 CMPSS-2 低电平比较器正输入 2
PGA3_GND		34	I	PGA-3 接地
PGA3_IN CMP3_HP2 CMP3_LP2		39	I I I	PGA-3 输入 CMPSS-3 高电平比较器正输入 2 CMPSS-3 低电平比较器正输入 2
PGA4_GND		51	I	PGA-4 接地

PGA4_IN CMP4_HP2 CMP4_LP2		50	I I I	PGA-4 输入 CMPSS-4 高电平比较器正输入 2 CMPSS-4 低电平比较器正输入 2
PGA5_GND		32	I	PGA-5 接地
PGA5_IN CMP5_HP2 CMP5_LP2		35	I I I	PGA-5 输入 CMPSS-5 高电平比较器正输入 2 CMPSS-5 低电平比较器正输入 2
PGA6_GND		51	I	PGA-6 接地
PGA6_IN CMP6_HP2 CMP6_LP2		47	I I I	PGA-6 输入 CMPSS-6 高电平比较器正输入 2 CMPSS-6 低电平比较器正输入 2
PGA7_GND		61	I	PGA-7 接地
PGA7_IN CMP7_HP2 CMP7_LP2		62	I I I	PGA-7 输入 CMPSS-7 高电平比较器正输入 2 CMPSS-7 低电平比较器正输入 2
VREFHIA		44	I/O	ADC-A 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIA 和VREFLOA 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。
VREFHIB		43	I/O	ADC-B 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIB 和VREFLOB 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。
VREFHIC		43	I/O	ADC-C 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIC 和VREFLOC 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。
VREFLOA		46	I	ADC-A 低基准电压
VREFLOB		45	I	ADC-B 低基准电压
VREFLOC		45	I	ADC-C 低基准电压

信号名称	多路复用器位置	176	引脚类型	说明
GPI00	0, 4, 8, 12	136	I/O	通用输入/输出 0
EPWM1_A	1		0	ePWM-1 输出 A
SPIA_D2	2		I/O	SPI-A QSPI模式的第三位数据
I2CA_SDA	6		I/OD	I2C-A 开漏双向数据
XWEO	14		0	EMIF外部接口写入使能; 写操作的选通线, 低电平有效
GPI01	0, 4, 8, 12	135	I/O	通用输入/输出 1
EPWM1_B	1		0	ePWM-1 输出 B
SPIA_D2	2		I/O	SPI-A QSPI模式的第三位数据
I2CA_SCL	6		I/OD	I2C-A 开漏双向时钟
XR/W	14		0	EMIF外部接口读取, 不是写入选通; 读/写信号线, 高电平时, 表明读操作正在进行; 低电平时, 表明写操作正在进行
GPI02	0, 4, 8, 12	134	I/O	通用输入/输出 2
EPWM2_A	1		0	ePWM-2 输出 A
OUTPUTXBAR1	5		0	输出 X-BAR 输出 1
PMBUS_A_SDA	6		I/OD	PMBus-A 开漏双向数据 SCI-A
SCIA_TX	9		0	发送数据
XZCS0	14		I 0	EMIF外部接口区域 0 芯片选择
GPI03	0, 4, 8, 12	133	I/O	通用输入/输出 3
EPWM2_B	1		0	ePWM-2 输出 B
OUTPUTXBAR2	2、5		0	输出 X-BAR 输出 2
PMBUS_A_SCL	6		I/OD	PMBus-A 开漏双向时钟
SPIA_CLK	7		I/O	SPI-A 时钟
SCIA_RX	9		I	SCI-A 接收数据
XZCS6	14	0	EMIF外部接口区域 6 芯片选择	
GPI04	0, 4, 8, 12	132	I/O	通用输入/输出 4
EPWM3_A	1		0	ePWM-3 输出 A
SPIA_D3	2		I/O	SPI-A QSPI模式的第四位数据
OUTPUTXBAR3	5		0	输出 X-BAR 输出 3
CANA_TX	6		0	CAN-A 发送
XZCS7	14		0	EMIF外部接口区域 7 芯片选择
GPI05	0, 4, 8, 12	165	I/O	通用输入/输出 5
EPWM3_B	1		0	ePWM-3 输出 B
OUTPUTXBAR3	3		0	输出 X-BAR 输出 3
CANA_RX	6		I	CAN-A 接收
SPIA_STE	7		I/O	SPI-A 器件使能 (STE)
XHOLDA	14		0	当 EMIF 已经准予一个 XHOLD 请求时, XHOLDA 被驱动至有效 (低电平)。所有 EMIF 总线和选通脉冲将处于高阻抗状态。当 XHOLD 信号被释放时, XHOLDA 被释放。当 XHOLDA 为有效 (低电平) 时, 外部器件应该只驱动外部总线。
GPI06	0, 4, 8, 12	173	I/O	通用输入/输出 6
EPWM4_A	1		0	ePWM-4 输出 A
OUTPUTXBAR4	2		0	输出 X-BAR 输出 4
SYNCOUT	3		0	外部 ePWM 同步脉冲
EQEP1_A	5		I	eQEP-1 输入 A
CANB_TX	6		0	CAN-B 发送
SPIB_SOMI (QSPIB_D1)	7		I/O	SPI-B 从器件输出, 主器件输入 (SOMI) 或QSPI模式的第二位数据
XREADY	14		I	EMIF外部接口就绪信号。当为高电平, 表明外部设备已完成此次访问的操作, EMIF可结束此次访问

GPIO7 EPWM4_B OUTPUTXBAR5 EQEP1_B CANB_RX SPIB_SIMO(QSPIB_D0) XHOLD	0, 4, 8, 12 1 3 5 6 7 14	141	I/O 0 0 I I I/O I	通用输入/输出 7 ePWM-4 输出 B 输出 X-BAR 输出 5 eQEP-1 输入 B CAN-B 接收 SPI-B 从器件输入, 主器件输出 (SIMO) 或 QSPI 模式的第一位数据 外部保持请求 XHOLD, 当为低电平时, 表明有外部设备请求 EMIF 释放其总线
GPIO8 EPWM5_A CANB_T ADCSOCA0 EQEP1_STROBE SCIA_TX SPIA_SIMO(QSPIA_D0) I2CA_SCL EM1DQMO	0, 4, 8, 12 1 2 3 5 6 7 9 14	131	I/O 0 0 0 I/O 0 I/O I/OD 0	通用输入/输出 8 ePWM-5 输出 A CAN-B 发送 外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 A 输出 eQEP-1 选通 SCI-A 发送数据 SPI-A 从器件输入, 主器件输出 (SIMO) 或 QSPI 模式的第一位数据 I2C-A 开漏双向时钟 EMIF 同步访问模式的字节使能信号, 低电平有效, 只有相应的字节通道有效时, 字节使能有效
GPIO9 EPWM5_B SCIB_TX OUTPUTXBAR6 EQEP1_INDEX SCIA_RX SPIA_CLK EM1DQM3	0, 4, 8, 12 1 2 3 5 6 7 14	166	I/O 0 0 0 I/O I I/O 0	通用输入/输出 9 ePWM-5 输出 B SCI-B 发送数据 输出 X-BAR 输出 6 eQEP-1 索引 SCI-A 接收数据 SPI-A 时钟 EMIF 同步访问模式的字节使能信号, 低电平有效, 只有相应的字节通道有效时, 字节使能有效
GPIO10 EPWM6_A CANB_RX ADCSOCB0 EQEP1_A SCIB_TX SPIA_SOMI(QSPIA_D1) I2CA_SDA SOE	0, 4, 8, 12 1 2 3 5 6 7 9 14	169	I/O 0 I 0 I 0 I/O I/OD 0	通用输入/输出 10 ePWM-6 输出 A CAN-B 接收 外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 B 输出 eQEP-1 输入 A SCI-B 发送数据 SPI-A 从器件输出, 主器件输入 (SOMI) 或 QSPI 模式的第二位数据 I2C-A 开漏双向数据 EMIF 同步访问模式的输出使能
GPIO11 EPWM6_B SCIB_RX OUTPUTXBAR7 EQEP1_B SPIA_STE XZCS0	0, 4, 8, 12 1 2, 6 3 5 7 14	90	I/O 0 I 0 I I/O 0	通用输入/输出 11 ePWM-6 输出 B SCI-B 接收数据 输出 X-BAR 输出 7 eQEP-1 输入 B SPI-A 器件使能 (STE) EMIF 外部接口区域 0 芯片选择

GPIO12	0, 4, 8, 12		I/O	通用输入/输出 12
EPWM7_A	1		0	ePWM-7 输出 A
CANB_TX	2		0	CAN-B 发送
SPIB_D2	3		I/O	SPI-B QSPI模式的第三位数据
EQEP1_STROBE	5	89	I/O	eQEP-1 选通
SCIB_TX	6		0	SCI-B 发送数据
PMBUSA_CTL	7		I	PMBus-A 控制信号
XZCS6	14		0	EMIF外部接口区域 6 芯片选择
GPIO13	0, 4, 8, 12		I/O	通用输入/输出 13
EPWM7_B	1		0	ePWM-7 输出 B
CANB_RX	2		I	CAN-B 接收
SPIB_D2	3		I/O	SPI-B QSPI模式的第三位数据
EQEP1_INDEX	5	88	I/O	eQEP-1 索引
SCIB_RX	6		I	SCI-B 接收数据
PMBUSA_ALERT	7		I/OD	PMBus-A 开漏双向警报信号
XZCS7	14		0	EMIF外部接口区域 7 芯片选择
GPIO14	0, 4, 8, 12		I/O	通用输入/输出 14
EPWM8_A	1		0	ePWM-8 输出 A
SCIB_TX	2		0	SCI-B 发送数据
OUTPUTXBAR3	6		0	输出 X-BAR 输出 3
PMBUSA_SDA	7		I/OD	PMBus-A 开漏双向数据
SPIB_CLK	9	172	I/O	SPI-B 时钟
EQEP2_A	10		I	eQEP-2 输入 A
XHOLDA	14		0	当 EMIF 已经准予一个 XHOLD 请求时, XHOLDA 被驱动至有效(低电平)。所有 EMIF 总线和选通脉冲将处于高阻抗状态。当 XHOLD 信号被释放时, XHOLDA 被释放。当 XHOLDA 为有效(低电平)时, 外部器件应该只驱动外部总线。
GPIO15	0, 4, 8, 12		I/O	通用输入/输出 15
EPWM8_B	1		0	ePWM-8 输出 B
SCIB_RX	2		I	SCI-B 接收数据
SPIB_D3	3		I/O	SPI-B QSPI模式的第四位数据
OUTPUTXBAR4	6		0	输出 X-BAR 输出 4
PMBUSA_SCL	7	171	I/OD	PMBus-A 开漏双向时钟
SPIB_STE	9		I/O	SPI-B 器件使能 (STE)
EQEP2_B	10		I	eQEP-2 输入 B
EM1DQMO	14		0	EMIF同步访问模式的字节使能信号, 低电平有效, 只有相应的字节通道有效时, 字节使能有效
GPIO16	0, 4, 8, 12		I/O	通用输入/输出 16
SPIA_SIMO(QSPIA_D0)	1		I/O	SPI-A 从器件输入, 主器件输出 (SIMO)或QSPI模式的第一位数据
CANB_TX	2		0	CAN-B 发送
CANB_TX	3		0	输出 X-BAR 输出 7
OUTPUTXBAR7	5		0	ePWM-5 输出 A
EPWM5_A SCIA_TX	6		0	SCI-A 发送数据
SD1_D1	7		I	SDFM-1 通道 1 数据输入
EQEP1_STROBE	9	92	I/O	eQEP-1 选通
PMBUSA_SCL	10		I/OD	PMBus-A 开漏双向时钟
XCLKOUT	11		0	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
XHOLDA	14		0	当 EMIF 已经准予一个 XHOLD 请求时, XHOLDA 被驱动至有效(低电平)。所有 EMIF 总线和选通脉冲将处于高阻抗状态。当 EMIF的XHOLD 信号被释放时, XHOLDA 被释放。当 XHOLDA 为有效(低电平)时, 外部器件应该只驱动外部总线。

GPIO17	0, 4, 8, 12		I/O	通用输入/输出 17
SPIA_SOMI (QSPIA_D1)	1		I/O	SPI-A 从器件输出, 主器件输入 (SOMI) 或QSPI模式的第二位数据
CANB_RX	2		I	CAN-B 接收
OUTPUTXBAR8	3		0	输出 X-BAR 输出 8
EPWM5_B SCIA_RX	5		0	ePWM-5 输出 B
SD1_C1	6	93	I	SCI-A 接收数据
EQEP1_INDEX	7		I	SDFM-1 通道 1 时钟输入
PMBUSA_SDA	9		I/O	eQEP-1 索引
XREADY	10		I/OD	PMBus-A 开漏双向数据
SOE	14		I	外部接口就绪信号。当为高电平时, 表明外部设备已完成此次访问的相关操作, EMIF可结束此次访问。
	15		0	EMIF同步访问模式的输出使能
GPIO18	0, 4, 8, 12	106	I/O	通用输入/输出 18
X2	ALT		I/O	晶振振荡器输出
GPIO20	0		I/O	通用输入/输出 20
GPIO21	0		I/O	通用输入/输出 21
GPIO22	0, 4, 8, 12	140	I/O	通用输入/输出 22
VFBSW ⁽¹⁾	ALT		-	内部线性稳压器输出信号, 直流/直流稳压器反馈信号。如果使用内部直流/直流稳压器, 请将此引脚连接到L (VSW) 与VDD之间的节点上 (尽可能靠近芯片)。
GPIO23	0, 4, 8, 12	138	I/O	通用输入/输出 23
VSW ⁽¹⁾	ALT		-	内部直流/直流稳压器的切换输出。
GPIO24	0, 4, 8, 12		I/O	通用输入/输出 24
OUTPUTXBAR1	1		0	输出 X-BAR 输出 1
EQEP2_A	2		I	eQEP-2 输入 A
EPWM8_A	5		0	ePWM-8 输出 A
SPIB_SIMO (QSPIB_DO)	6		I/O	SPI-B 从器件输入, 主器件输出 (SIMO) 或QSPI模式的第一位数据
SD1_D1	7	94	I	SDFM-1 通道 1 数据输入
PMBUSA_SCL	10		I/OD	PMBus-A 开漏双向时钟
SCIA_TX	11		0	SCI-A 发送数据
ERRORSTS	13		0	低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效, 则可以使用外部下拉电阻。如果您不希望在上述条件下将错误状态置为有效, 则可以使用上拉电阻。
XHOLD	14		I	外部保持请求 XHOLD, 当为低电平时, 表明有外部设备请求EMIF释放其总线
GPIO25	0, 4, 8, 12		I/O	通用输入/输出 25
OUTPUTXBAR2	1		0	输出 X-BAR 输出 2
EQEP2_B	2		I	eQEP-2 输入 B
SPIB_SOMI (QSPIB_D1)	6		I/O	SPI-B 从器件输出, 主器件输入 (SOMI) 或QSPI模式的第二位数据
SD1_C1	7	95	I	SDFM-1 通道 1 时钟输入
PMBUSA_SDA	10		I/OD	PMBus-A 开漏双向数据
SCIA_RX	11		I	SCI-A 接收数据
XHOLDA	14		0	当 EMIF 已经准予一个 XHOLD 请求时, XHOLDA 被驱动至有效 (低电平)。所有 EMIF 总线和选通脉冲将处于高阻抗状态。当 XHOLD 信号被释放时, XHOLDA 被释放。当 XHOLDA 为有效 (低电平) 时, 外部器件应该只驱动外部总线。
GPIO26	0, 4, 8, 12		I/O	通用输入/输出 26
OUTPUTXBAR3	1, 5		0	输出 X-BAR 输出 3
EQEP2_INDEX	2		I/O	eQEP-2 索引
CANO_STBY	3		0	CANA STBY 输出
SPIB_CLK	6	96	I/O	SPI-B 时钟
SD1_D2	7		I	SDFM-1 通道 2 数据输入
PMBUSA_CTL	10		I	PMBus-A 控制信号
I2CA_SDA	11		I/OD	I2C-A 开漏双向数据

XREADY	14		I	外部接口就绪信号。当为高电平时，表明外部设备已完成此次访问的相关操作，EMIF可结束此次访问。
SOE	15		0	EMIF同步访问模式的输出使能
GPIO27	0, 4, 8, 12		I/O	通用输入/输出 27
OUTPUTXBAR4	1, 5		0	输出 X-BAR 输出 4
EQEP2_STROBE	2		I/O	eQEP-2 选通
CAN1_STBY	3		0	CANB STBY 输出
SPIB_STE	6		I/O	SPI-B 器件使能 (STE)
SD1_C2	7	97	I	SDFM-1 通道 2 时钟输入
PMBUSA_ALERT	10		I/OD	PMBus-A 开漏双向警报信号
I2CA_SCL	11		I/OD	I2C-A 开漏双向时钟
XHOLD	14		I	外部保持请求 XHOLD, 当为低电平时，表明有外部设备请求EMIF释放其总线
GPIO28	0, 4, 8, 12		I/O	通用输入/输出 28
SCIA_RX	1		I	SCI-A 接收数据
CAN1_STBY	2		0	CANB STBY 输出
EPWM7_A	3		0	ePWM-7 输出 A
OUTPUTXBAR5	5		0	输出 X-BAR 输出 5
EQEP1_A	6		I	eQEP-1 输入 A
SD1_D3	7	1	I	SDFM-1 通道 3 数据输入
EQEP2_STROBE	9		I/O	eQEP-2 选通
LINA_TX	10		0	LIN-A 发送
SPIB_CLK	11		I/O	SPI-B 时钟
ERRORSTS	13		0	低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效，则可以使用外部下拉电阻。如果您不希望在上述条件下将错误状态置为有效，则可以使用上拉电阻。
XHOLDA	14		0	当 EMIF 已经准予一个 XHOLD 请求时，XHOLDA 被驱动至有效（低电平）。所有 EMIF 总线和选通脉冲将处于高阻抗状态。当 XHOLD 信号被释放时，XHOLDA 被释放。当 XHOLDA 为有效（低电平）时，外部器件应该只驱动外部总线。
GPIO29	0, 4, 8, 12		I/O	通用输入/输出 29
SCIA_TX	1		0	SCI-A 发送数据
CAN1_STBY	2		0	CANB STBY 输出
EPWM7_B	3		0	ePWM-7 输出 B
OUTPUTXBAR6	5		0	输出 X-BAR 输出 6
EQEP1_B	6		I	eQEP-1 输入 B
SD1_C3	7	176	I	SDFM-1 通道 3 时钟输入
EQEP2_INDEX	9		I/O	eQEP-2 索引
LINA_RX	10		I	LIN-A 接收
SPIB_STE	11		I/O	SPI-B 器件使能 (STE)
ERRORSTS	13		0	低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效，则可以使用外部下拉电阻。如果您不希望在上述条件下将错误状态置为有效，则可以使用上拉电阻。
XREADY	14		I	外部接口就绪信号。当为高电平时，表明外部设备已完成此次访问的相关操作，EMIF可结束此次访问。
SOE	15		0	EMIF同步访问模式的输出使能
GPIO30	0, 4, 8, 12		I/O	通用输入/输出 30
CANA_RX	1		I	CAN-A 接收
EPWM9_A	2		0	ePWM-9 输出 A
SPIB_SIMO(QSPIB_D0)	3	174	I/O	SPI-B 从器件输入，主器件输出 (SIMO)或QSPI模式的第一位数据
OUTPUTXBAR7	5		0	输出 X-BAR 输出 7
EQEP1_STROBE	6		I/O	eQEP-1 选通
SD1_D4	7		I	SDFM-1 通道 4 数据输入

XWEO	14		0	EMIF外部接口写入使能; 写操作的选通线, 低电平有效
GPIO31 CANA_TX EPWM9_B SPIB_SOMI (QSPIB_D1) OUTPUTXBAR8 EQEP1_INDEX SD1_C4 XR/W	0, 4, 8, 12 1 2 3 5 6 7 14	175	I/O 0 0 I/O 0 I/O I 0	通用输入/输出 31 CAN-A 发送 ePWM-9 输出 B SPI-B 从器件输出, 主器件输入 (SOMI) 或QSPI模式的第二位数据 输出 X-BAR 输出 8 eQEP-1 索引 SDFM-1 通道 4 时钟输入 EMIF外部接口读取, 不是写入选通 ;读/写信号线, 高电平时, 表明读操作正在进行; 低电平时, 表明写操作正在进行
GPIO32 I2CA_SDA SPIB_CLK EPWM8_B LINA_TX SD1_D3 CANA_TX XHOLD	0, 4, 8, 12 1 3 5 6 7 10 14	102	I/O I/OD I/O 0 0 I 0 I	通用输入/输出 32 I2C-A 开漏双向数据 SPI-B 时钟 ePWM-8 输出 B LIN-A 发送 SDFM-1 通道 3 数据输入 CAN-A 发送 外部保持请求 XHOLD, 当为低电平时, 表明有外部设备请求EMIF释放其总线
GPIO33 I2CA_SCL SPIB_STE OUTPUTXBAR4 LINA_RX SD1_C3 CANA_RX XHOLDA	0, 4, 8, 12 1 3 5 6 7 10 14	91	I/O I/OD I/O 0 I I I 0	通用输入/输出 33 I2C-A 开漏双向时钟 SPI-B 器件使能 (STE) 输出 X-BAR 输出 4 LIN-A 接收 SDFM-1 通道 3 时钟输入 CAN-A 接收 当 EMIF 已经准予一个 XHOLD 请求时, XHOLDA 被驱动至有效 (低电平)。所有 EMIF 总线和选通脉冲将处于高阻抗状态。当 XHOLD 信号被释放时, XHOLDA 被释放。当 XHOLDA 为有效 (低电平) 时, 外部器件应该只驱动外部总线。
GPIO34 OUTPUTXBAR1 SPIB_D3 CANO_STBY PMBUSA_SDA XREADY SOE	0, 4, 8, 12 1 2 3 6 14 15	170	I/O 0 I/O 0 I/OD I 0	通用输入/输出 34 输出 X-BAR 输出 1 SPI-B QSPI模式的第四位数据 CANA STBY 输出 PMBus-A 开漏双向数据 外部接口就绪信号。当为高电平时, 表明外部设备已完成此次访问的相关操作, EMIF可结束此次访问。 EMIF同步访问模式的输出使能
GPIO35 SCIA_RX I2CA_SDA CANA_RX PMBUSA_SCL LINA_RX EQEP1_A PMBUSA_CTL XHOLD TDI	0, 4, 8, 12 1 3 5 6 7 9 10 14 15	101	I/O I I/OD I I/OD I I I I I	通用输入/输出 35 SCI-A 接收数据 I2C-A 开漏双向数据 CAN-A 接收 PMBus-A 开漏双向时钟 LIN-A 接收 eQEP-1 输入 A PMBus-A 控制信号 外部保持请求 XHOLD, 当为低电平时, 表明有外部设备请求EMIF释放其总线 JTAC数据输入。

GPIO37	0, 4, 8, 12	99	I/O	通用输入/输出 37
OUTPUTXBAR2	1		0	输出 X-BAR 输出 2
SPIA_D3	2		I/O	SPI-A QSPI模式的第四位数据
I2CA_SCL	3		I/OD	I2C-A 开漏双向时钟
SCIA_TX	5		0	SCI-A 发送数据
CANA_TX	6		0	CAN-A 发送
LINA_TX	7		0	LIN-A 发送
EQEP1_B	9		I	eQEP-1 输入 B
PMBUSA_ALERT	10		I/OD	PMBus-A 开漏双向警报信号
XHOLDA	14		0	当 EMIF 已经准予一个 XHOLD 请求时, XHOLDA 被驱动至有效(低电平)。所有 EMIF 总线和选通脉冲将处于高阻抗状态。当 XHOLD 信号被释放时, XHOLDA 被释放。当 XHOLDA 为有效(低电平)时, 外部器件应该只驱动外部总线。
TDO	15		0	JTAG数据输出。
GPIO39	0, 4, 8, 12	167	I/O	通用输入/输出 39
EPWM10_A	2		0	EPWM10_A
CANB_RX	6		I	CAN-B 接收
EM1DQM1	14		0	EMIF同步访问模式的字节使能信号, 低电平有效
GPIO40	0, 4, 8, 12	142	I/O	通用输入/输出 40
CANO_STBY	1		0	CANA STBY 输出
EPWM10_B	2		0	ePWM-10 输出 B
PMBUSA_SDA	6		I/OD	PMBus-A 开漏双向数据
SCIB_TX	9		0	SCI-B 发送数据
EQEP1_A	10		I	eQEP-1 输入 A
EM1DQM2	14		0	EMIF同步访问模式的字节使能信号, 低电平有效
GPIO41	0, 4, 8, 12	86	I/O	通用输入/输出 41
SPIA_CLK	1		I/O	SPI-A 时钟
SCIB_TX	2		0	SCI-B 发送数据
CANA_RX	3		I	CAN-A 接收
EPWM6_A	5		0	ePWM-6 输出 A
I2CA_SCL	6		I/OD	I2C-A 开漏双向时钟
SD1_D2	7		I	SDFM-1 通道 2 数据入
EQEP2_A	9		I	eQEP-2 输入 A
PMBUSA_CTL	10		I	PMBus-A 控制信号
XCLKOUT	11		0	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
XREADY	14		I	外部接口就绪信号。当为高电平时, 表明外部设备已完成此次访问的相关操作, EMIF可结束此次访问。
SOE	15			0
GPIO42	0, 4, 8, 12	85	I/O	通用输入/输出 42
EQEP1_STROBE	1		I/O	eQEP-1 选通
SCIB_TX	3		0	SCI-B 发送数据
SPIB_CLK	6		I/O	SPI-B 时钟
SD1_D4	7		I	SDFM-1 通道 4 数据输入
LINA_TX	9		0	LIN-A 发送
XHOLD	14		I	外部保持请求 XHOLD, 当为低电平时, 表明有外部设备请求EMIF释放其总线
GPIO43	0			I/O
GPIO44	0		I/O	通用输入/输出 44
GPIO45	0		I/O	通用输入/输出 45
GPIO46	0		I/O	通用输入/输出 46
GPIO47	0		I/O	通用输入/输出 47
GPIO48	0		I/O	通用输入/输出 48
GPIO49	0		I/O	通用输入/输出 49
GPIO50	0		I/O	通用输入/输出 50
GPIO51	0		I/O	通用输入/输出 51
GPIO52	0		I/O	通用输入/输出 52

GPI053	0		I/O	通用输入/输出 53
GPI054	0		I/O	通用输入/输出 54
GPI055	0		I/O	通用输入/输出 55



信号名称	多路复用器位置	176	引脚类型	说明
GPI056	0, 4, 8, 12	103	I/O	通用输入/输出 56
SPIA_CLK	1		I/O	SPI-A 时钟
EPWM11_A	2		0	ePWM-11 输出 A
EQEP2_STROBE	5		I/O	eQEP-2 选通
SCIB_TX	6		0	SCI-B 发送数据
SD1_D3	7		I	SDFM-1 通道 3 数据输入
SPIB_SIMO(QSPIB_DO)	9		I/O	SPI-B 从器件输入, 主器件输出 (SIMO) 或QSPI模式的第四位数据
EQEP1_A	11		I	eQEP-1 输入 A
EM1WE	14		0	EMIF同步访问模式的写使能
GPI057	0, 4, 8, 12	104	I/O	通用输入/输出 57
SPIA_STE	1		I/O	SPI-A 器件使能 (STE)
EPWM11_B	2		0	ePWM-11 输出 B
EQEP2_INDEX	5		I/O	eQEP-2 索引
SCIB_RX	6		I	SCI-B 接收数据
SD1_C3	7		I	SDFM-1 通道 3 时钟输入
SPIB_SOMI(QSPIB_D1)	9		I/O	SPI-B 从器件输出, 主器件输入 (SOMI) 或QSPI模式的第二位数据
EQEP1_B	11		I	eQEP-1 输入 B
SADS/SRE	14		0	EMIF同步访问模式的地址选通或读使能
GPI058	0, 4, 8, 12	105	I/O	通用输入/输出 58
EPWM12_A	2		0	ePWM-12 输出 A
OUTPUTXBAR1	5		0	输出 X-BAR 输出 1
SPIB_CLK	6		I/O	SPI-B 时钟
SD1_D4	7		I	SDFM-1 通道 4 数据输入
LINA_TX	9		0	LIN-A 发送
CANB_TX	10		0	CAN-B 发送
EQEP1_STROBE	11		I/O	eQEP-1 选通
XREADY	14		I	外部接口就绪信号。当为高电平时, 表明外部设备已完成此次访问的相关操作, EMIF可结束此次访问。
GPI059	0, 4, 8, 12	168	I/O	通用输入/输出 59
EPWM12_B	2		0	ePWM-12 输出 B
OUTPUTXBAR2	5		0	输出 X-BAR 输出 2
SPIB_STE	6		I/O	SPI-B 器件使能 (STE)
SD1_C4	7		I	SDFM-1 通道 4 时钟输入
LINA_RX	9		I	LIN-A 接收
CANB_RX	10		I	CAN-B 接收
EQEP1_INDEX	11		I/O	eQEP-1 索引
XHOLD	14		I	外部保持请求 XHOLD, 当为低电平时, 表明有外部设备请求EMIF释放其总线放其总线
GPI060	0, 4, 8, 12	152	I/O	通用输入/输出 60
XD0	1		I/O	EMIF的双向的数据总线的第一位数据
GPI061	0, 4, 8, 12	150	I/O	通用输入/输出 61
XD1	1		I/O	EMIF的双向的数据总线的第二位数据
GPI062	0, 4, 8, 12	149	I/O	通用输入/输出 62
XD2	1		I/O	EMIF的双向的数据总线的第三位数据
GPI063	0, 4, 8, 12	148	I/O	通用输入/输出 63
XD3	1		I/O	EMIF的双向的数据总线的第四位数据
GPI064	0, 4, 8, 12	147	I/O	通用输入/输出 64
XD4	1		I/O	EMIF的双向的数据总线的第五位数据
GPI065	0, 4, 8, 12	146	I/O	通用输入/输出 65
XD5	1		I/O	EMIF的双向的数据总线的第六位数据
GPI066	0, 4, 8, 12	144	I/O	通用输入/输出 66
XD6	1		I/O	EMIF的双向的数据总线的第七位数据

GPI067 XD7	0, 4, 8, 12 1	143	I/O I/O	通用输入/输出 67 EMIF的双向的数据总线的第八位数据
GPI068 XD8	0, 4, 8, 12 1	129	I/O I/O	通用输入/输出 68 EMIF的双向的数据总线的第九位数据
GPI069 XD9	0, 4, 8, 12 1	128	I/O I/O	通用输入/输出 69 EMIF的双向的数据总线的第十位数据
GPI070 XD10	0, 4, 8, 12 1	127	I/O I/O	通用输入/输出 70 EMIF的双向的数据总线的第十一位数据
GPI071 XD11	0, 4, 8, 12 1	126	I/O I/O	通用输入/输出 71 EMIF的双向的数据总线的第十二位数据
GPI072 XD12	0, 4, 8, 12 1	124	I/O I/O	通用输入/输出 72 EMIF的双向的数据总线的第十三位数据
GPI073 XD13	0, 4, 8, 12 1	123	I/O I/O	通用输入/输出 73 EMIF的双向的数据总线的第十四位数据
GPI074 XD14	0, 4, 8, 12 1	122	I/O I/O	通用输入/输出 74 EMIF的双向的数据总线的第十五位数据
GPI075 XD15	0, 4, 8, 12 1	121	I/O I/O	通用输入/输出 75 EMIF的双向的数据总线的第十六位数据
GPI076 XD16	0, 4, 8, 12 1	119	I/O I/O	通用输入/输出 76 EMIF的双向的数据总线的第十七位数据
GPI077 XD17	0, 4, 8, 12 1	118	I/O I/O	通用输入/输出 77 EMIF的双向的数据总线的第十八位数据
GPI078 XD18	0, 4, 8, 12 1	117	I/O I/O	通用输入/输出 78 EMIF的双向的数据总线的第十九位数据
GPI079 XD19	0, 4, 8, 12 1	116	I/O I/O	通用输入/输出 79 EMIF的双向的数据总线的第二十位数据
GPI080 XD20	0, 4, 8, 12 1	114	I/O I/O	通用输入/输出 80 EMIF的双向的数据总线的第二十一位数据
GPI081 XD21	0, 4, 8, 12 1	113	I/O I/O	通用输入/输出 81 EMIF的双向的数据总线的第二十二位数据
GPI082 XD22	0, 4, 8, 12 1	112	I/O I/O	通用输入/输出 82 EMIF的双向的数据总线的第二十三位数据
GPI083 XD23	0, 4, 8, 12 1	111	I/O I/O	通用输入/输出 83 EMIF的双向的数据总线的第二十四位数据
GPI084 XD24	0, 4, 8, 12 1	110	I/O I/O	通用输入/输出 84 EMIF的双向的数据总线的第二十五位数据
GPI085 XD25	0, 4, 8, 12 1	5	I/O I/O	通用输入/输出 85 EMIF的双向的数据总线的第二十六位数据
GPI086 XD26	0, 4, 8, 12 1	6	I/O I/O	通用输入/输出 86 EMIF的双向的数据总线的第二十七位数据
GPI087 XD27	0, 4, 8, 12 1	7	I/O I/O	通用输入/输出 87 EMIF的双向的数据总线的第二十八位数据
GPI088 XD28	0, 4, 8, 12 1	8	I/O I/O	通用输入/输出 88 EMIF的双向的数据总线的第二十九位数据
GPI089 XD29	0, 4, 8, 12 1	10	I/O I/O	通用输入/输出 89 双EMIF的向的数据总线的第三十位数据
GPI090 XD30	0, 4, 8, 12 1	11	I/O I/O	通用输入/输出 90 EMIF的双向的数据总线的第三十一位数据
GPI091 XD31	0, 4, 8, 12 1	12	I/O I/O	通用输入/输出 91 EMIF的双向的数据总线的第三十二位数据
GPI092 XA1	0, 4, 8, 12 1	15	I/O 0	通用输入/输出 92 EMIF的地址总线

GPI093 XA2	0, 4, 8, 12 1	16	I/O 0	通用输入/输出 93 EMIF的地址总线
GPI094 XA3	0, 4, 8, 12 1	17	I/O 0	通用输入/输出 94 EMIF的地址总线
GPI095 XA4	0, 4, 8, 12 1	18	I/O 0	通用输入/输出 95 EMIF的地址总线
GPI096 XA5	0, 4, 8, 12 1	19	I/O 0	通用输入/输出 96 EMIF的地址总线
GPI097 XA6	0, 4, 8, 12 1	67	I/O 0	通用输入/输出 97 EMIF的地址总线
GPI098 XA7	0, 4, 8, 12 1	68	I/O 0	通用输入/输出 98 EMIF的地址总线
GPI099 XA8	0, 4, 8, 12 1	69	I/O 0	通用输入/输出 99 EMIF的地址总线
GPI0100 XA9	0, 4, 8, 12 1	70	I/O 0	通用输入/输出 100 EMIF的地址总线
GPI0101 XA10	0, 4, 8, 12 1	71	I/O 0	通用输入/输出 101 EMIF的地址总线
GPI0102 XA11	0, 4, 8, 12 1	73	I/O 0	通用输入/输出 102 EMIF的地址总线
GPI0103 XA12	0, 4, 8, 12 1	74	I/O 0	通用输入/输出 103 EMIF的地址总线
GPI0104 XA13	0, 4, 8, 12 1	75	I/O 0	通用输入/输出 104 EMIF的地址总线
GPI0105 XA14	0, 4, 8, 12 1	76	I/O 0	通用输入/输出 105 EMIF的地址总线
GPI0106 XA15	0, 4, 8, 12 1	77	I/O 0	通用输入/输出 106 EMIF的地址总线
GPI0107 XA16	0, 4, 8, 12 1	79	I/O 0	通用输入/输出 107 EMIF的地址总线
GPI0108 XA17	0, 4, 8, 12 1	80	I/O 0	通用输入/输出 108 EMIF的地址总线
GPI0109 XA18	0, 4, 8, 12 1	81	I/O 0	通用输入/输出 109 EMIF的地址总线
GPI0110 XA19	0, 4, 8, 12 1	82	I/O 0	通用输入/输出 110 EMIF的地址总线
GPI0111 XA0/XWE1	0, 4, 8, 12 1	13	I/O 0	通用输入/输出 111 在EMIF的16位数据总线模式下, 作为地址线的最低位XA0 在EMIF的32位数据总线模式下, 作为低字节的写操作的选通线XWE1
GPI0112 XZCS0	0, 4, 8, 12 1	153	I/O 0	通用输入/输出 112 EMIF外部接口区域 0 芯片选择
GPI0113 XZCS6	0, 4, 8, 12 1	154	I/O 0	通用输入/输出 113 EMIF外部接口区域 6 芯片选择
GPI0114 XZCS7	0, 4, 8, 12 1	155	I/O 0	通用输入/输出 114 EMIF外部接口区域 7 芯片选择
GPI0115 EM1DQM0	0, 4, 8, 12 1	156	I/O 0	通用输入/输出 115 EMIF同步访问模式的字节使能信号, 低电平有效, 只有相应的字节通道有效时, 字节使能有效
GPI0116 EM1DQM1	0, 4, 8, 12 1	158	I/O 0	通用输入/输出 116 EMIF同步访问模式的字节使能信号, 低电平有效
GPI0117 EM1DQM2	0, 4, 8, 12 1	159	I/O 0	通用输入/输出 117 EMIF同步访问模式的字节使能信号, 低电平有效
GPI0118	0, 4, 8, 12	160	I/O	通用输入/输出 118

EM1DQM3	1		0	EMIF同步访问模式的字节使能信号, 低电平有效
GPIO119	0, 4, 8, 12	161	I/O	通用输入/输出 119
XWEO	1		0	EMIF外部接口写入使能;, 写操作的选通线, 低电平有效
EM1WE	2		0	EMIF同步访问模式的写使能
GPIO120	0, 4, 8, 12	162	I/O	通用输入/输出 120
XR/W	1		0	EMIF外部接口读取, 不是写入选通; 读/写信号线, 高电平时, 表明读操作正在进行; 低电平时, 表明写操作正在进行
SADS/SRE	2		0	EMIF同步访问模式的地址选通或读使能
EMIF_CLKOUT		84	0	EMIF的时钟输出
EMIF_XRD		83	0	EMIF的异步访问模式的读使能
test_mode		87	I/O	测试引脚。必须保持未连接状态。
TCK		98	I	JTAG时钟。
TMS		100	I/O	JTAG模式选择。
VREGENZ		130	I	具有内部下拉电阻的内部稳压器使能。直接连接到 VSS (低电平) 以启用内部 VREG。直接连接到 VDDIO (高电平) 以使用外部电源。
X1		107	I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器, 必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。不支持 GPIO19。
XRSn		2	I/OD	器件复位 (输入) 和看门狗复位 (输出)。在上电条件下, 此引脚由器件驱动为低电平。外部电路也可能驱动此引脚以使器件复位生效。发生看门狗复位时, 此引脚也由 MCU驱动为低电平。在看门狗复位期间, XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRSn 和VDDIO 之间放置一个阻值为 2.2k Ω 至10k Ω 的电阻。如果在 XRSn 和VSS 之间放置一个电容器进行噪声滤除, 则该电容器的容值应为 100nF 或更小。当看门狗复位生效时, 这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。如果此引脚由外部器件驱动, 则应使用开漏器件进行驱动。如果此引脚由外部器件驱动, 则应使用开漏器件进行驱动。
VDD		4 65 109 163		1.2V 数字逻辑电源引脚。建议在每个 VDD 引脚与VSS之间一个最小总电容值约为 4.7 μ F 的去耦电容器。当不使用内部稳压器时, 去耦电容的确切值应由您的系统电压调节解决方案来确定。
VDDA		30 53		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2 μ F 且连接至 VSSA 的去耦电容器。且该引脚接600 Ω @100MHz磁珠到 3.3V。
VDDIO		3 9 14 20 64 66 72 78 108 115 120 125 145 151 157 164		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1 μ F 的去耦电容器。

VDDIO_SW		137		内部直流/直流稳压器的 3.3V 电源引脚。如果使用内部直流/直流稳压器，则应在该引脚上放置一个 20 μ F 的大容量输入电容。务必将该引脚连接至 VDDIO 引脚。如果需要，可以使用铁氧体磁珠进行隔离，但 VDDIO_SW 和 VDDIO 必须由同一电源供电。
VSS				数字接地
VSSA		31 52		模拟接地
VSS_SW		139		内部直流/直流稳压器接地。务必将该引脚连接至 VSS 引脚。
DVDD				1.2V数字供电，与片外VDD端口连在一起，并接0.1 μ F去耦电容。
AVDDHV				模拟3.3V供电，接4.7 μ F电容到GND，接600 Ω @100MHz磁珠到3.3V。
AGND				模拟地。
GND				数字地。

(1) 当DCDCEN = 1 时，AMSEL 寄存器中的相应位为无关位。



4.3 信号描述

4.3.1 模拟信号

表 4-2.模拟信号

信号名称	说明	引脚类型	GPIO	176
A0	ADC-A 输入 0	I		42
A1	ADC-A 输入 1	I		41
A2	ADC-A 输入 2	I		28
A3	ADC-A 输入 3	I		29
A4	ADC-A 输入 4	I		55
A5	ADC-A 输入 5	I		54
A6	ADC-A 输入 6	I		25
A8	ADC-A 输入 8	I		56
A9	ADC-A 输入 9	I		57
A10	ADC-A 输入 10	I		59
AGPIO224	ADC 引脚上的数字复用 224	I/O		28
AGPIO225	ADC 引脚上的数字复用 225	I/O		55
AGPIO226	ADC 引脚上的数字复用 226	I/O		26
AGPIO227	ADC 引脚上的数字复用 227	I/O		58
AGPIO228	ADC 引脚上的数字复用 228	I/O		25
AGPIO229	ADC 引脚上的数字复用 229	I/O		56
AGPIO230	ADC 引脚上的数字复用 230	I/O		59
AGPIO231	ADC 引脚上的数字复用 231	I/O		42
AGPIO232	ADC 引脚上的数字复用 232	I/O		41
AGPIO233	ADC 引脚上的数字复用 233	I/O		29
AGPIO234	ADC 引脚上的数字复用 234	I/O		54
AGPIO236	ADC 引脚上的数字复用 236	I/O		57
AGPIO237	ADC 引脚上的数字复用 237	I/O		38
AGPIO238	ADC 引脚上的数字复用 238	I/O		48
AGPIO239	ADC 引脚上的数字复用 239	I/O		36
AGPIO240	ADC 引脚上的数字复用 240	I/O		47
AGPIO241	ADC 引脚上的数字复用 241	I/O		60
AGPIO242	ADC 引脚上的数字复用 242	I/O		27
AGPIO244	ADC 引脚上的数字复用 244	I/O		40
AGPIO245	ADC 引脚上的数字复用 245	I/O		50
AGPIO246	ADC 引脚上的数字复用 246	I/O		63
B0	ADC-B 输入 0	I		60
B1	ADC-B 输入 1	I		59
B2	ADC-B 输入 2	I		26
B3	ADC-B 输入 3	I		27
B4	ADC-B 输入 4	I		58
B6	ADC-B 输入 6	I		28
B8	ADC-B 输入 8	I		55
B15	ADC-B 输入 15	I		42

信号名称	说明	引脚类型	GPIO	176
C0	ADC-C 输入 0	I		38
C1	ADC-C 输入 1	I		48
C2	ADC-C 输入 2	I		40
C3	ADC-C 输入 3	I		50
C4	ADC-C 输入 4	I		36
C5	ADC-C 输入 5	I		47
C6	ADC-C 输入 6	I		26
C8	ADC-C 输入 8	I		58
C10	ADC-C 输入 10	I		59
C14	ADC-C 输入 14	I		63
C15	ADC-C 输入 15	I		42
CMP1_HN0	CMPSS-1 高电平比较器负输入 0	I		29
CMP1_HN1	CMPSS-1 高电平比较器负输入 1	I		38
CMP1_HP0	CMPSS-1 高电平比较器正输入 0	I		28
CMP1_HP1	CMPSS-1 高电平比较器正输入 1	I		38
CMP1_HP2	CMPSS-1 高电平比较器正输入 2	I		37
CMP1_HP3	CMPSS-1 高电平比较器正输入 3	I		29
CMP1_LN0	CMPSS-1 低电平比较器负输入 0	I		29
CMP1_LN1	CMPSS-1 低电平比较器负输入 1	I		38
CMP1_LP0	CMPSS-1 低电平比较器正输入 0	I		28
CMP1_LP1	CMPSS-1 低电平比较器正输入 1	I		38
CMP1_LP2	CMPSS-1 低电平比较器正输入 2	I		37
CMP1_LP3	CMPSS-1 低电平比较器正输入 3	I		29
CMP2_HN0	CMPSS-2 高电平比较器负输入 0	I		54
CMP2_HN1	CMPSS-2 高电平比较器负输入 1	I		48
CMP2_HP0	CMPSS-2 高电平比较器正输入 0	I		55
CMP2_HP1	CMPSS-2 高电平比较器正输入 1	I		48
CMP2_HP2	CMPSS-2 高电平比较器正输入 2	I		49
CMP2_HP3	CMPSS-2 高电平比较器正输入 3	I		54
CMP2_LN0	CMPSS-2 低电平比较器负输入 0	I		54
CMP2_LN1	CMPSS-2 低电平比较器负输入 1	I		48
CMP2_LP0	CMPSS-2 低电平比较器正输入 0	I		55
CMP2_LP1	CMPSS-2 低电平比较器正输入 1	I		29
CMP2_LP2	CMPSS-2 低电平比较器正输入 2	I		49
CMP2_LP3	CMPSS-2 低电平比较器正输入 3	I		54
CMP3_HN0	CMPSS-3 高电平比较器负输入 0	I		27
CMP3_HN1	CMPSS-3 高电平比较器负输入 1	I		40
CMP3_HP0	CMPSS-3 高电平比较器正输入 0	I		26
CMP3_HP1	CMPSS-3 高电平比较器正输入 1	I		40
CMP3_HP2	CMPSS-3 高电平比较器正输入 2	I		39
CMP3_HP3	CMPSS-3 高电平比较器正输入 3	I		27
CMP3_LN0	CMPSS-3 低电平比较器负输入 0	I		27

信号名称	说明	引脚类型	GPIO	176
CMP3_LN1	CMPSS-3 低电平比较器负输入 1	I		40
CMP3_LP0	CMPSS-3 低电平比较器正输入 0	I		26
CMP3_LP1	CMPSS-3 低电平比较器正输入 1	I		40
CMP3_LP2	CMPSS-3 低电平比较器正输入 2	I		39
CMP3_LP3	CMPSS-3 低电平比较器正输入 3	I		27
CMP4_HN1	CMPSS-4 高电平比较器负输入 1	I		50
CMP4_HP0	CMPSS-4 高电平比较器正输入 0	I		58
CMP4_HP1	CMPSS-4 高电平比较器正输入 1	I		50
CMP4_HP2	CMPSS-4 高电平比较器正输入 2	I		50
CMP4_LN1	CMPSS-4 低电平比较器负输入 1	I		50
CMP4_LP0	CMPSS-4 低电平比较器正输入 0	I		58
CMP4_LP1	CMPSS-4 低电平比较器正输入 1	I		50
CMP4_LP2	CMPSS-4 低电平比较器正输入 2	I		50
CMP5_HN1	CMPSS-5 高电平比较器负输入 1	I		36
CMP5_HP0	CMPSS-5 高电平比较器正输入 0	I		25
CMP5_HP1	CMPSS-5 高电平比较器正输入 1	I		36
CMP5_HP2	CMPSS-5 高电平比较器正输入 2	I		35
CMP5_LN1	CMPSS-5 低电平比较器负输入 1	I		36
CMP5_LP0	CMPSS-5 低电平比较器正输入 0	I		25
CMP5_LP1	CMPSS-5 低电平比较器正输入 1	I		36
CMP5_LP2	CMPSS-5 低电平比较器正输入 2	I		35
CMP6_HN0	CMPSS-6 高电平比较器负输入 0	I		57
CMP6_HN1	CMPSS-6 高电平比较器负输入 1	I		47
CMP6_HP0	CMPSS-6 高电平比较器正输入 0	I		56
CMP6_HP1	CMPSS-6 高电平比较器正输入 1	I		47
CMP6_HP2	CMPSS-6 高电平比较器正输入 2	I		47
CMP6_HP3	CMPSS-6 高电平比较器正输入 3	I		57
CMP6_LN0	CMPSS-6 低电平比较器负输入 0	I		57
CMP6_LN1	CMPSS-6 低电平比较器负输入 1	I		47
CMP6_LP0	CMPSS-6 低电平比较器正输入 0	I		56
CMP6_LP1	CMPSS-6 低电平比较器正输入 1	I		47
CMP6_LP2	CMPSS-6 低电平比较器正输入 2	I		47
CMP6_LP3	CMPSS-6 低电平比较器正输入 3	I		57
CMP7_HN0	CMPSS-7 高电平比较器负输入 0	I		60
CMP7_HN1	CMPSS-7 高电平比较器负输入 1	I		63
CMP7_HP0	CMPSS-7 高电平比较器正输入 0	I		59
CMP7_HP1	CMPSS-7 高电平比较器正输入 1	I		63
CMP7_HP2	CMPSS-7 高电平比较器正输入 2	I		62
CMP7_HP3	CMPSS-7 高电平比较器正输入 3	I		60
CMP7_LN0	CMPSS-7 低电平比较器负输入 0	I		60
CMP7_LN1	CMPSS-7 低电平比较器负输入 1	I		63
CMP7_LP0	CMPSS-7 低电平比较器正输入 0	I		59

信号名称	说明	引脚类型	GPIO	176
CMP7_LP1	CMPSS-7 低电平比较器正输入 1	I		63
CMP7_LP2	CMPSS-7 低电平比较器正输入 2	I		62
CMP7_LP3	CMPSS-7 低电平比较器正输入 3	I		60
DACA_OUT	缓冲 DAC-A 输出	O		42
DACB_OUT	缓冲 DAC-B 输出	O		41
PGA1_GND	PGA-1 地	I		33
PGA1_IN	PGA-1 输入	I		37
PGA1_OF	PGA-1 输出滤波器 (可选)	O		28
PGA2_GND	PGA-2 地	I		51
PGA2_IN	PGA-2 输入	I		49
PGA2_OF	PGA-2 输出滤波器 (可选)	O		55
PGA3_GND	PGA-3 地	I		34
PGA3_IN	PGA-3 输入	I		39
PGA3_OF	PGA-3 输出滤波器 (可选)	O		26
PGA4_GND	PGA-4 地	I		51
PGA4_IN	PGA-4 输入	I		50
PGA4_OF	PGA-4 输出滤波器 (可选)	O		58
PGA5_GND	PGA-5 地	I		32
PGA5_IN	PGA-5 输入	I		35
PGA5_OF	PGA-5 输出滤波器 (可选)	O		25
PGA6_GND	PGA-6 地	I		51
PGA6_IN	PGA-6 输入	I		47
PGA6_OF	PGA-6 输出滤波器 (可选)	O		56
PGA7_GND	PGA-7 地	I		61
PGA7_IN	PGA-7 输入	I		62
PGA7_OF	PGA-7 输出滤波器 (可选)	O		59
VDAC	片上 DAC 的可选外部基准电压。无论是用于 ADC 输入还是 DAC 基准，此引脚上有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准，请在此引脚上放置至少一个 1μF 电容器。	I		27
VREFHIA	ADC-A 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间 尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		44
VREFHIB	ADC-B 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间 尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		43

信号名称	说明	引脚类型	GPIO	176
VREFHIC	<p>ADC-C 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引脚之间</p> <p>尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。</p>	I/O		43
VREFLOA	ADC-A 低基准电压	I		46
VREFLOB	ADC-B 低基准电压	I		45
VREFLOC	ADC-C 低基准电压	I		45



4.3.2 数字信号

表 4-3.数字信号

信号名称	说明	引脚类型	GPIO	176
ADCSOAO	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 A 输出	O	8	131
ADCSOCBO	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 B 输出	O	10	169
CANA_RX	CAN-A 接收	I	5 30 33 35 41	165 174 91 101 86
CANA_TX	CAN-A 发送	O	4 31 32 37	132 175 102 99
CAN0_STBY	CAN-A stby 输出	O	26 34 40	96 170 142
CANB_RX	CAN-B 接收	I	7 10 13 17 39 59	141 169 88 93 167 168
CANB_TX	CAN-B 发送	O	6 8 12 16 58	173 131 89 92 105
CAN1_STBY	CAN-B stby 输出	O	27 28 29	97 1 176
EPWM1_A	ePWM-1 输出 A	O	0	136
EPWM1_B	ePWM-1 输出 B	O	1	135
EPWM2_A	ePWM-2 输出 A	O	2	134
EPWM2_B	ePWM-2 输出 B	O	3	133
EPWM3_A	ePWM-3 输出 A	O	4	132
EPWM3_B	ePWM-3 输出 B	O	5	165
EPWM4_A	ePWM-4 输出 A	O	6	173
EPWM4_B	ePWM-4 输出 B	O	7	141
EPWM5_A	ePWM-5 输出 A	O	8 16	131 92
EPWM5_B	ePWM-5 输出 B	O	9 17	166 93
EPWM6_A	ePWM-6 输出 A	O	10 41	169 86
EPWM6_B	ePWM-6 输出 B	O	11	90
EPWM7_A	ePWM-7 输出 A	O	12 28	89 1
EPWM7_B	ePWM-7 输出 B	O	13 29	88 176
EPWM8_A	ePWM-8 输出 A	O	14 24	172 94
EPWM8_B	ePWM-8 输出 B	O	15 32	171 102
EPWM9_A	ePWM-9 输出 A	O	30	174

EPWM9_B	ePWM-9 输出 B	O	31	175
EPWM10_A	ePWM-10 输出 A	O	39	167
EPWM10_B	ePWM-10 输出 B	O	40	142
EPWM11_A	ePWM-11 输出 A	O	56	103
EPWM11_B	ePWM-11 输出 B	O	57	104
EPWM12_A	ePWM-12 输出 A	O	58	105
EPWM12_B	ePWM-12 输出 B	O	59	168
EQEP1_A	eQEP-1 输入 A	I	6 10 28 35 40 56	173 169 1 101 142 103
EQEP1_B	eQEP-1 输入 B	I	7 11 29 37 57	141 90 176 99 104



信号名称	说明	引脚类型	GPIO	176
EQEP1_INDEX	eQEP-1 索引	I/O	9 13 17 31 59	166 88 93 175 168
EQEP1_STROBE	eQEP-1 选通	I/O	8 12 16 30 58	131 89 92 174 105
EQEP2_A	eQEP-2 输入 A	I	14 24 41	172 94 86
EQEP2_B	eQEP-2 输入 B	I	15 25	171 95
EQEP2_INDEX	eQEP-2 索引	I/O	26 29 57	96 176 104
EQEP2_STROBE	eQEP-2 选通	I/O	27 28 56	97 1 103
ERRORSTS	低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效，则可以使用外部下拉电阻器。如果您不希望在上述条件下将错误状态置为有效，则可以使用上拉电阻器。	O	24 28 29	94 1 176
GPIO0	通用输入/输出 0	I/O	0	136
GPIO1	通用输入/输出 1	I/O	1	135
GPIO2	通用输入/输出 2	I/O	2	134
GPIO3	通用输入/输出 3	I/O	3	133
GPIO4	通用输入/输出 4	I/O	4	132
GPIO5	通用输入/输出 5	I/O	5	165
GPIO6	通用输入/输出 6	I/O	6	173
GPIO7	通用输入/输出 7	I/O	7	141
GPIO8	通用输入/输出 8	I/O	8	131
GPIO9	通用输入/输出 9	I/O	9	166
GPIO10	通用输入/输出 10	I/O	10	169
GPIO11	通用输入/输出 11	I/O	11	90
GPIO12	通用输入/输出 12	I/O	12	89
GPIO13	通用输入/输出 13	I/O	13	88
信号名称	说明	引脚类型	GPIO	176
GPIO14	通用输入/输出 14	I/O	14	172
GPIO15	通用输入/输出 15	I/O	15	171
GPIO16	通用输入/输出 16	I/O	16	92
GPIO17	通用输入/输出 17	I/O	17	93
GPIO18	通用输入/输出 18。			
GPIO20	通用输入/输出 20	I/O		
GPIO21	通用输入/输出 21	I/O		
GPIO22	通用输入/输出 22。	I/O		
GPIO23	通用输入/输出 23。	I/O		
GPIO24	通用输入/输出 24	I/O	24	94
GPIO25	通用输入/输出 25	I/O	25	95
GPIO26	通用输入/输出 26	I/O	26	96

GPIO27	通用输入/输出 27	I/O	27	97
GPIO28	通用输入/输出 28	I/O	28	1
GPIO29	通用输入/输出 29	I/O	29	176
GPIO30	通用输入/输出 30	I/O	30	174
GPIO31	通用输入/输出 31	I/O	31	175
GPIO32	通用输入/输出 32	I/O	32	102
GPIO33	通用输入/输出 33	I/O	33	91
GPIO34	通用输入/输出 34	I/O	34	170
GPIO35	通用输入/输出 35	I/O	35	101
GPIO37	通用输入/输出 37	I/O	37	99
GPIO39	通用输入/输出 39	I/O	39	167
GPIO40	通用输入/输出 40	I/O	40	142
GPIO41	通用输入/输出 41	I/O	41	86
GPIO42	通用输入/输出 42	I/O	42	85
GPIO43	通用输入/输出 43	I/O	43	
GPIO44	通用输入/输出 44	I/O	44	
GPIO45	通用输入/输出 45	I/O	45	
GPIO46	通用输入/输出 46	I/O	46	
GPIO47	通用输入/输出 47	I/O	47	
GPIO48	通用输入/输出 48	I/O	48	
GPIO49	通用输入/输出 49	I/O	49	
GPIO50	通用输入/输出 50	I/O	50	



信号名称	说明	引脚类型	GPIO	176
GPIO51	通用输入/输出 51	I/O	51	
GPIO52	通用输入/输出 52	I/O	52	
GPIO53	通用输入/输出 53	I/O	53	
GPIO54	通用输入/输出 54	I/O	54	
GPIO55	通用输入/输出 55	I/O	55	
GPIO56	通用输入/输出 56	I/O	56	103
GPIO57	通用输入/输出 57	I/O	57	104
GPIO58	通用输入/输出 58	I/O	58	105
GPIO59	通用输入/输出 59	I/O	59	168
GPIO60	通用输入/输出 60	I/O	60	152
GPIO61	通用输入/输出 61	I/O	61	150
GPIO62	通用输入/输出 62	I/O	62	149
GPIO63	通用输入/输出 63	I/O	63	148
GPIO64	通用输入/输出 64	I/O	64	147
GPIO65	通用输入/输出 65	I/O	65	146
GPIO66	通用输入/输出 66	I/O	66	144
GPIO67	通用输入/输出 67	I/O	67	143
GPIO68	通用输入/输出 68	I/O	68	129
GPIO69	通用输入/输出 69	I/O	69	128
GPIO70	通用输入/输出 70	I/O	70	127
GPIO71	通用输入/输出 71	I/O	71	126
GPIO72	通用输入/输出 72	I/O	72	124
GPIO73	通用输入/输出 73	I/O	73	123
GPIO74	通用输入/输出 74	I/O	74	122
GPIO75	通用输入/输出 75	I/O	75	121
GPIO76	通用输入/输出 76	I/O	76	119
GPIO77	通用输入/输出 77	I/O	77	118
GPIO78	通用输入/输出 78	I/O	78	117
GPIO79	通用输入/输出 79	I/O	79	116
GPIO80	通用输入/输出 80	I/O	80	114
GPIO81	通用输入/输出 81	I/O	81	113
GPIO82	通用输入/输出 82	I/O	82	112
GPIO83	通用输入/输出 83	I/O	83	111
GPIO84	通用输入/输出 84	I/O	84	110
GPIO85	通用输入/输出 85	I/O	85	5
GPIO86	通用输入/输出 86	I/O	86	6
GPIO87	通用输入/输出 87	I/O	87	7
GPIO88	通用输入/输出 88	I/O	88	8
GPIO89	通用输入/输出 89	I/O	89	10
GPIO90	通用输入/输出 90	I/O	90	11
GPIO91	通用输入/输出 91	I/O	91	12
GPIO92	通用输入/输出 92	I/O	92	15
GPIO93	通用输入/输出 93	I/O	93	16
GPIO94	通用输入/输出 94	I/O	94	17

GPIO95	通用输入/输出 95	I/O	95	18
GPIO96	通用输入/输出 96	I/O	96	19
GPIO97	通用输入/输出 97	I/O	97	67
GPIO98	通用输入/输出 98	I/O	98	68
GPIO99	通用输入/输出 99	I/O	99	69
GPIO100	通用输入/输出 100	I/O	100	70
GPIO101	通用输入/输出 101	I/O	101	71
GPIO102	通用输入/输出 102	I/O	102	73
GPIO103	通用输入/输出 103	I/O	103	74
GPIO104	通用输入/输出 104	I/O	104	75
GPIO105	通用输入/输出 105	I/O	105	76
GPIO106	通用输入/输出 106	I/O	106	77
GPIO107	通用输入/输出 107	I/O	107	79
GPIO108	通用输入/输出 108	I/O	108	80
GPIO109	通用输入/输出 109	I/O	109	81
GPIO110	通用输入/输出 110	I/O	110	82
GPIO111	通用输入/输出 111	I/O	111	13
GPIO112	通用输入/输出 112	I/O	112	153
GPIO113	通用输入/输出 113	I/O	113	154
GPIO114	通用输入/输出 114	I/O	114	155
GPIO115	通用输入/输出 115	I/O	115	156
GPIO116	通用输入/输出 116	I/O	116	158
GPIO117	通用输入/输出 117	I/O	117	159
GPIO118	通用输入/输出 118	I/O	118	160
GPIO119	通用输入/输出 119	I/O	119	161
GPIO120	通用输入/输出 120	I/O	120	162
I2CA_SCL	I2C-A 开漏双向时钟	I/O D	1 8 27 33 37 41	135 131 97 91 99 86
I2CA_SDA	I2C-A 开漏双向数据	I/O D	0 10 26 32 35	136 169 96 102 101
LINA_RX	LIN-A 接收	I	29 33 35 59	176 91 101 168
LINA_TX	LIN-A 发送	O	28 32 37 58	1 102 99 105
OUTPUTXBAR1	输出 X-BAR 输出 1	O	2 24 34 58	134 94 170 105
OUTPUTXBAR2	输出 X-BAR 输出 2	O	3 25 37 59	133 95 99 168
OUTPUTXBAR3	输出 X-BAR 输出 3	O	4 5 14 26	132 165 172 96

OUTPUTXBAR4	输出 X-BAR 输出 4	O	6 15 27 33	173 171 97 91
OUTPUTXBAR5	输出 X-BAR 输出 5	O	7 28	141 1
OUTPUTXBAR6	输出 X-BAR 输出 6	O	9 29	166 176
OUTPUTXBAR7	输出 X-BAR 输出 7	O	11 16 30	90 92 174
OUTPUTXBAR8	输出 X-BAR 输出 8	O	17 31	93 175
PMBUSA_ALERT	PMBus-A 开漏双向警报信号	I/O D	13 27 37	88 97 99
PMBUSA_CTL	PMBus-A 控制信号	I	12 26 35	89 96 101



信号名称	说明	引脚类型	GPIO	176
PMBUSA_SCL	PMBus-A 开漏双向时钟	I/OD	3 15 16 24 35 41	133 171 92 94 101 86
PMBUSA_SDA	PMBus-A 开漏双向数据	I/OD	2 14 17 25 34 40	134 172 93 95 170 142
SCIA_RX	SCI-A 接收数据	I	3 9 17 25 28 35	133 166 93 95 1 101
SCIA_TX	SCI-A 发送数据	O	2 8 16 24 29 37	134 131 92 94 176 99
SCIB_RX	SCI-B 接收数据	I	11 13 15 57	90 88 171 104
SCIB_TX	SCI-B 发送数据	O	9 10 12 14 40 41 56	166 169 89 172 142 86 103
SD1_C1	SDFM-1 通道 1 时钟输入	I	17 25	93 95
SD1_C2	SDFM-1 通道 2 时钟输入	I	27	97
SD1_C3	SDFM-1 通道 3 时钟输入	I	29 33 57	176 91 104
SD1_C4	SDFM-1 通道 4 时钟输入	I	31 59	175 168
SD1_D1	SDFM-1 通道 1 数据输入	I	16 24	92 94
SD1_D2	SDFM-1 通道 2 数据输入	I	26 41	96 86
SD1_D3	SDFM-1 通道 3 数据输入	I	28 32 56	1 102 103
SD1_D4	SDFM-1 通道 4 数据输入	I	30 58	174 105
SPIA_CLK	SPI-A 时钟	I/O	3 9 41 56	133 166 86 103
SPIA_SIMO(QSPIA_D0)	SPI-A 从器件输入·主器件输出 (SIMO)或 QSPI模式的第 一位数据SPI-A data[0]	I/O	8 16	131 92
SPIA_SOMI(QSPIA_D1)	SPI-A 从器件输出·主器件输入 (SOMI)或 QSPI模式的第 二位数据SPI-A data[1]	I/O	10 17	169 93
SPIA_STE	SPI-A 器件使能 (STE)	I/O	5 11 57	165 90 104

SPIA_D2	QSPI模式的第三位数据SPI-A data[2]	I/O	0 1	136 135
SPIA_D3	QSPI模式的第四位数据SPI-A data[3]	I/O	4 37	132 99
SPIB_CLK	SPI-B 时钟	I/O	14 26 28 32 58	172 96 1 102 105



信号名称	说明	引脚类型	GPIO	176
SPIB_SIMO(QSPIB_D0)	SPI-B 从器件输入·主器件输出 (SIMO))或 QSPI模式的第一位数据SPI-B data[0]	I/O	7 24 30 56	141 94 174 103
SPIB_SOMI(QSPIB_D1)	SPI-B 从器件输出·主器件输入 (SOMI))或 QSPI模式的第二位数据SPI-B data[1]	I/O	6 25 31 57	173 95 175 104
SPIB_STE	SPI-B 器件使能 (STE)	I/O	15 27 29 33 59	171 97 176 91 168
SPIB_D2	QSPI模式的第三位数据SPI-B data[2]	I/O	12 13	89 88
SPIB_D3	QSPI模式的第四位数据SPI-B data[3]	I/O	15 34	171 170
XWE0	EMIF外部接口写入使能,写操作的选通线,低电平有效	O	0 30 119	136 174 161
XR/W	EMIF外部接口读取,不是写入选通;读/写信号线,高电平时,表明读操作正在进行;低电平时,表明写操作正在进行	O	1 31 120	135 175 162
XZCS0	EMIF外部接口区域 0 芯片选择	O	2 11 112	134 90 153
XZCS6	EMIF外部接口区域 6 芯片选择	O	3 12 113	133 89 154
XZCS7	EMIF外部接口区域 7 芯片选择	O	4 13 114	132 88 155
XHOLDA	当 EMIF 已经准予一个 XHOLD 请求时, XHOLDA 被驱动至有效(低电平)。所有 EMIF 总线和选通脉冲将处于高阻抗状态。当 XHOLD 信号被释放时, XHOLDA 被释放。当 XHOLDA 为有效(低电平)时,外部器件应该只驱动外部总线。	O	5 14 16 25 28 33 37	165 172 92 95 1 91 99
XREADY	外部接口就绪信号。当为高电平时,表明外部设备已完成此次访问的相关操作,EMIF可结束此次访问。	I	6 17 26 29 34 41 58	173 93 96 176 170 86 105
XHOLD	外部保持请求 XHOLD,当为低电平时,表明有外部设备请求EMIF释放其总线	I	7 24 27 32 35 42 59	141 94 97 102 101 85 168
SOE	EMIF同步访问模式的输出使能	O	10 17 26 29 34 41	169 93 96 176 170 86
EM1DQM0	EMIF同步访问模式的字节使能信号,低电平有效,只有相应的字节通道有效时,字节使能有效	O	8 15 115	131 171 156

EM1DQM1	EMIF同步访问模式的字节使能信号，低电平有效，只有相应的字节通道有效时，字节使能有效	○	39 116	167 158
EM1DQM2	EMIF同步访问模式的字节使能信号，低电平有效，只有相应的字节通道有效时，字节使能有效	○	40 117	142 159
EM1DQM3	EMIF同步访问模式的字节使能信号，低电平有效，只有相应的字节通道有效时，字节使能有效	○	9 118	166 160
EM1WE	EMIF同步访问模式的写使能	○	56 119	103 161
SADS/SRE	EMIF同步访问模式的地址选通或读使能	○	57 120	104 162
XA0/XWE1	在EMIF的16位数据总线模式下，作为地址线的最低位XA0 在EMIF的32位数据总线模式下，作为低字节的写操作的选通线XWE1	○	111	13
XD0	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	60	152
XD1	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	61	150
XD2	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	62	149
XD3	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	63	148
XD4	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	64	147
XD5	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	65	146
XD6	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	66	144
XD7	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	67	143
XD8	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	68	129
XD9	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	69	128
XD10	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	70	127
XD11	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	71	126
XD12	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	72	124
XD13	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	73	123
XD14	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	74	122
XD15	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	75	121
XD16	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	76	119
XD17	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	77	118
XD18	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	78	117
XD19	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	79	116
XD20	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	80	114
XD21	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	81	113
XD22	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	82	112
XD23	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	83	111
XD24	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/ ○	84	110

XD25	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	85	5
XD26	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	86	6
XD27	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	87	7
XD28	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	88	8
XD29	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	89	10
XD30	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	90	11
XD31	EMIF的双向的数据总线，在16位模式下只使用XD[15:0]	I/O	91	12
XA1	EMIF的地址总线第1位	O	92	15
XA2	EMIF的地址总线第2位	O	93	16
XA3	EMIF的地址总线第3位	O	94	17
XA4	EMIF的地址总线第4位	O	95	18
XA5	EMIF的地址总线第5位	O	96	19
XA6	EMIF的地址总线第6位	O	97	67
XA7	EMIF的地址总线第7位	O	98	68
XA8	EMIF的地址总线第8位	O	99	69
XA9	EMIF的地址总线第9位	O	100	70
XA10	EMIF的地址总线第10位	O	101	71
XA11	EMIF的地址总线第11位	O	102	73
XA12	EMIF的地址总线第12位	O	103	74
XA13	EMIF的地址总线第13位	O	104	75
XA14	EMIF的地址总线第14位	O	105	76
XA15	EMIF的地址总线第15位	O	106	77
XA16	EMIF的地址总线第16位	O	107	79
XA17	EMIF的地址总线第17位	O	108	80
XA18	EMIF的地址总线第18位	O	109	81
XA19	EMIF的地址总线第19位	O	110	82
SYNCOUT	外部 ePWM 同步脉冲	O	6	173
TDI	JTAG数据输入。	I	35	101
TDO	JTAG 数据输出。	O	37	99

VFBSW	内部线性稳压器输出信号，直流/直流稳压器反馈信号。如果使用内部直流/直流稳压器，请将此引脚连接到L（VSW）与VDD之间的节点上（尽可能靠近芯片）。	-		140
VSW	内部直流/直流稳压器的切换输出。	-		138
X2	晶振荡器输出	I/O		106
XCLKOUT	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	O	16 41	92 86
EMIF_CLKOUT	EMIF的时钟输出	O		84
EMIF_XRD	EMIF的异步访问模式的读使能	O		83



4.3.3 电源与接地

表 4-4.电源与接地

信号名称	说明	引脚类型	通用输入/输出 (GPIO)	176
VDD	1.2V 数字逻辑电源引脚。建议在 VDD 引脚靠近放置最小总电容值约为 4.7 μ F 的去耦电容。当不使用内部稳压器时，去耦电容的确切值应由您的系统电压调节解决方案来确定。			4 65 109 163
VDDA	3.3V 模拟电源引脚。在VDDA引脚上放置一个最小值为 2.2 μ F且连接至 VSSA 的去耦电容器。且该引脚接 600 Ω @100MHz磁珠到3.3V。			30 53
VDDIO	3.3V 数字 I/O 电源引脚。在每个VDDIO引脚上放置一个最小值为0.1 μ F 的去耦电容器。			3 9 14 20 64 66 72 78 108 115 120 125 145 151 157 164
VDDIO_SW	内部直流/直流稳压器的 3.3V 电源引脚。如果使用内部直流/直流稳压器，则应在该引脚上放置一个 20 μ F 的大容量输入电容。务必将该引脚连接至 VDDIO 引脚。如果需要，可以使用铁氧体磁珠进行隔离，但 VDDIO_SW 和 VDDIO 必须由同一电源供电。			137
VSS	数字接地			
VSSA	模拟接地			31 52
VSS_SW	内部直流/直流稳压器接地。务必将该引脚连接至 VSS 引脚。			139
GND	数字地。			21
AGND	模拟地。			23
DVDD	1.2V数字供电，与片外VDD端口连在一起，并接 0.1 μ F去耦电容。			22
AVDDHV	模拟3.3V供电，接4.7 μ F电容到GND，接 600 Ω @100MHz磁珠到3.3V。			24

4.3.4 测试,JTAG 与复位

表 4-5.测试JTAG与复位

信号名称	说明	引脚类型	通用输入输出 (GPIO)	176
TCK	JTAG 时钟。	I		98
TMS	JTAG 模式选择 。	I/O		100
VREGENZ	具有内部下拉电阻的内部稳压器使能。直接连接到 VSS (低电平) 以启用内部 VREG。直接连接到 VDDIO (高电平) 以使用外部电源。	I		130
X1,X2	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。不支持 GPIO19，支持 GPIO18。	I/O		107 106
XRSn	器件复位 (输入) 和看门狗复位 (输出)。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2k Ω 至 10k Ω 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。	I/O		2

4.4 GPIO

4.4.1 GPIO 复用引脚表

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO0	EPWM1A	QSPIA_D2			I2CA_SDA						XWE0	
GPIO1	EPWM1B	QSPIA_D2			I2CA_SCL						XR/W	
GPIO2	EPWM2A			OUTPUT_XBAR1	PMBUSA_SDA		SCIA_TX				XZCS0	
GPIO3	EPWM2B	OUTPUT_XBAR2		OUTPUT_XBAR2	PMBUSA_SCL	SPIA_CLK	SCIA_RX				XZCS6	
GPIO4	EPWM3A	QSPIA_D3		OUTPUT_XBAR3	CANA_TX						XZCS7	
GPIO5	EPWM3B		OUTPUT_XBAR3		CANA_RX	SPIA_STE					XHOLDA	
GPIO6	EPWM4A	OUTPUT_XBAR4	SYNCOUT	EQEP1_A	CANB_TX	SPIB_SOMI (QSPIB_D1)					XREADY	
GPIO7	EPWM4B		OUTPUT_XBAR5	EQEP1_B	CANB_RX	SPIB_SIMO (QSPIB_D0)					XHOLD	
GPIO8	EPWM5A	CANB_TX	ADCSOCA0	EQEP1_STROBE	SCIA_TX	SPIA_SIMO (QSPIA_D0)	I2CA_SCL				EM1DQM0	
GPIO9	EPWM5B	SCIB_TX	OUTPUT_XBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK					EM1DQM3	
GPIO10	EPWM6A	CANB_RX	ADCSOCB0	EQEP1_A	SCIB_TX	SPIA_SOMI (QSPIA_D1)	I2CA_SDA				SOE	
GPIO11	EPWM6B	SCIB_RX	OUTPUT_XBAR7	EQEP1_B	SCIB_RX	SPIA_STE					XZCS0	
GPIO12	EPWM7A	CANB_TX	QSPIB_D2	EQEP1_STROBE	SCIB_TX	PMBUSA_CTL					XZCS6	
GPIO13	EPWM7B	CANB_RX	QSPIB_D2	EQEP1_INDEX	SCIB_RX	PMBUSA_ALERT					XZCS7	
GPIO14	EPWM8A	SCIB_TX			OUTPUT_XBAR3	PMBUSA_SDA	SPIB_CLK	EQEP2_A			XHOLDA	
GPIO15	EPWM8B	SCIB_RX	QSPIB_D3		OUTPUT_XBAR4	PMBUSA_SCL	SPIB_STE	EQEP2_B			EM1DQM0	

GPI016	SPIA_SIMO (QSPIA_D0)	CANB_TX	OUTPUT_XBAR7	EPWM5_A	SCIA_TX	SD1_D1	EQEP1_STROBE	PMBUSA_SCL	XCLKOUT			XHOLDA	
GPI017	SPIA_SOMI (QSPIA_D1)	CANB_RX	OUTPUT_XBAR8	EPWM5_B	SCIA_RX	SD1_C1	EQEP1_INDEX	PMBUSA_SDA				XREADY	SOE
GPI018_X2	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_CTL	XCLKOUT			XREADY	SOE
GPI020													
GPI021													
GPI022_VFBWS	EQEP1_STROBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX					XHOLD	
GPI023_VSW													
GPI024	OUTPUT_XBAR1	EQEP2_A		EPWM8_A	SPIB_SIMO (QSPIB_D0)	SD1_D1		PMBUSA_SCL	SCIA_TX	ERRORS_TS		XHOLD	
GPI025	OUTPUT_XBAR2	EQEP2_B			SPIB_SOMI (QSPIB_D1)	SD1_C1		PMBUSA_SDA	SCIA_RX			XHOLDA	
GPI026	OUTPUT_XBAR3	EQEP2_INDEX	CANO_STBY	OUTPUT_XBAR3	SPIB_CLK	SD1_D2		PMBUSA_CTL	I2CA_SDA			XREADY	SOE
GPI027	OUTPUT_XBAR4	EQEP2_STROBE	CAN1_STBY	OUTPUT_XBAR4	SPIB_STE	SD1_C2		PMBUSA_ALERT	I2CA_SCL			XHOLD	
GPI028	SCIA_RX	CAN1_STBY	EPWM7_A	OUTPUT_XBAR5	EQEP1_A	SD1_D3	EQEP2_STROBE	LINA_TX	SPIB_CLK	ERRORS_TS		XHOLDA	
GPI029	SCIA_TX	CAN1_STBY	EPWM7_B	OUTPUT_XBAR6	EQEP1_B	SD1_C3	EQEP2_INDEX	LINA_RX	SPIB_STE	ERRORS_TS		XREADY	SOE
GPI030	CANA_RX	EPWM9A	SPIB_SIMO (QSPIB_D0)	OUTPUT_XBAR7	EQEP1_STROBE	SD1_D4						XWEO	
GPI031	CANA_TX	EPWM9B	SPIB_SOMI (QSPIB_D1)	OUTPUT_XBAR8	EQEP1_INDEX	SD1_C4						XR/W	
GPI032	I2CA_SDA		SPIB_CLK	EPWM8_B	LINA_TX	SD1_D3		CANA_TX				XHOLD	

GPI033	I2CA_SCL		SPIB_STE	OUTPUT _ XBAR4	LINA_RX	SD1_C3		CANA_RX			XHOLDA	
GPI034	OUTPUT_ XBAR1	QSPIB_D3	CANO_ STBY		PMBUSA_ SDA						XREADY	SOE
GPI035	SCIA_RX		I2CA_SDA	CANA_R X	PMBUSA_ SCL	LINA_RX	EQEP1_A	PMBUSA_ CTL			XHOLD	TDI
GPI037	OUTPUT_ XBAR2	QSPIA_D3	I2CA_SCL	SCIA_T X	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_ ALERT			XHOLDA	TDO
GPI039		EPWM10A			CANB_RX						EM1DQM 1	
GPI040	CANO_ STBY	EPWM10B			PMBUSA_ SDA		SCIB_TX	EQEP1_A			EM1DQM 2	
GPI041	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_C TL	XCLKOU T		XREADY	SOE
GPI042	EQEP1_ST ROBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX				XHOLD	
GPI043												
GPI044												
GPI045												
GPI046												
GPI047												
GPI048												
GPI049												
GPI050												
GPI051												
GPI052												
GPI053												
GPI054												
GPI055												
GPI056	SPIA_CLK	EPWM11A		EQEP2_ STROBE	SCIB_TX	SD1_D3	SPIB_ SIMO (QSPIB_ D0)		EQEP1_ A		EM1WE	
GPI057	SPIA_STE	EPWM11B		EQEP2_ INDEX	SCIB_RX	SD1_C3	SPIB_ SOMI (QSPIB_ D1)		EQEP1_ B		SADS/S RE	
GPI058		EPWM12A		OUTPUT _ XBAR1	SPIB_CLK	SD1_D4	LINA_TX	CANB_TX	EQEP1_ STROBE		XREADY	
GPI059		EPWM12B		OUTPUT _ XBAR2	SPIB_STE	SD1_C4	LINA_RX	CANB_RX	EQEP1_ INDEX		XHOLD	
GPI060	XD0											
GPI061	XD1											

GPI0108	XA17												
GPI0109	XA18												
GPI0110	XA19												
GPI0111	XA0/XWE1												
GPI0112	XZCS0												
GPI0113	XZCS6												
GPI0114	XZCS7												
GPI0115	EM1DQM0												
GPI0116	EM1DQM1												
GPI0117	EM1DQM2												
GPI0118	EM1DQM3												
GPI0119	XWE0	EMIWE											
GPI0120	XR/W	SADS/SRE											

4.4.2 ADC 引脚上的数字复用（AGPIO）

GPIO 端口 H（GPIO224-GPIO255）与模拟引脚复用，这也称为AGPIO。这些引脚具有数字的输入输出功能。默认情况下，这些引脚将使用为模拟引脚功能，同时 GPIO 为高阻状态。GPHAMSEL 寄存器被用来配置这些引脚的数字或模拟操作。

注：若将带尖锐边沿（高 dv/dt ）的数字信号连接到AGPIO，则相邻的模拟信号可能发生串扰。因此，如果相邻通道用于模拟功能，则用户应限制连接到AGPIO 的信号的边沿速率。

4.4.3 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，如 ADC、eCAP、ePWM 和外部中断（见图 4-5）。表 4-8 列举了输入 X-BAR 目的。更多有关输入 X-BAR 的详细配置，请参见《QXS320F28377LRevB参考手册》的交叉开关（X-BAR）章节。

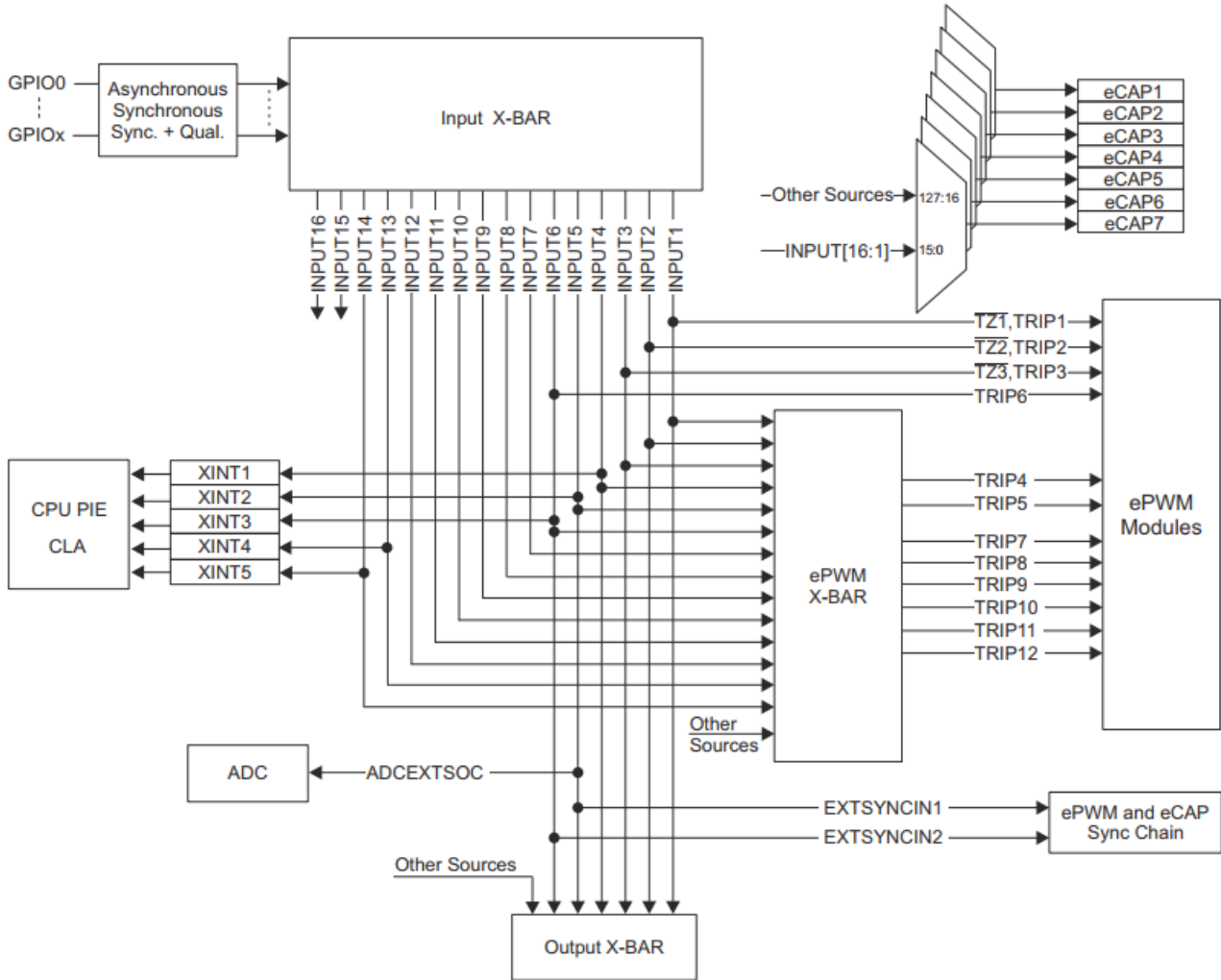
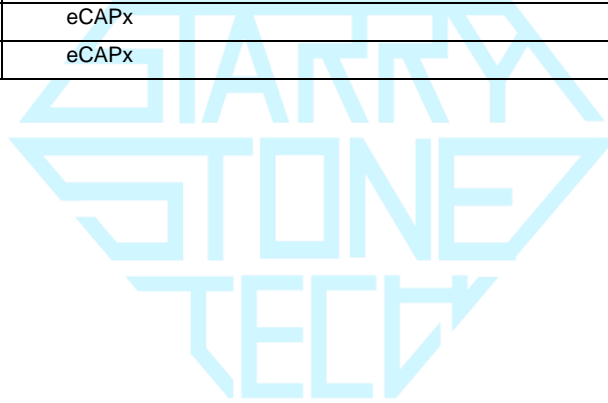


图 4-5.输入 X-BAR

表 4-8.输入 X-BAR 目标模块

输入	目标
INPUT 1	eCAPx、ePWM X-BAR、ePWM[TZ1,TRIP1]、输出 X-BAR
INPUT 2	eCAPx、ePWM X-BAR、ePWM[TZ2,TRIP2]、输出 X-BAR
INPUT 3	eCAPx、ePWM X-BAR、ePWM[TZ3,TRIP3]、输出 X-BAR
INPUT 4	eCAPx、ePWM X-BAR、XINT1、输出 X-BAR
INPUT 5	eCAPx、ePWM X-BAR、XINT2、ADCEXTSOC、EXTSYNCIN1、输出 X-BAR
INPUT 6	eCAPx、ePWM X-BAR、XINT3、ePWM[TRIP6]、EXTSYNCIN2、输出 X-BAR
INPUT 7	eCAPx、ePWM X-BAR
INPUT 8	eCAPx、ePWM X-BAR
INPUT 9	eCAPx、ePWM X-BAR
INPUT 10	eCAPx、ePWM X-BAR
INPUT 11	eCAPx、ePWM X-BAR
INPUT 12	eCAPx、ePWM X-BAR
INPUT 13	eCAPx、ePWM X-BAR、XINT4
INPUT 14	eCAPx、ePWM X-BAR、XINT5
INPUT15	eCAPx
INPUT16	eCAPx



4.4.4 GPIO 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 具有八个路由到 GPIO 模块的输出。ePWM X-BAR 具有八个路由到每个 ePWM 模块 的输出。图 4-6 显示了输出 X-BAR 和 ePWM X-BAR 的源。有关输出 X-BAR 和 ePWM X-BAR 的详细信息，请参阅《QXS320F28377LRevB参考手册》的交叉开关（X-BAR）章节。

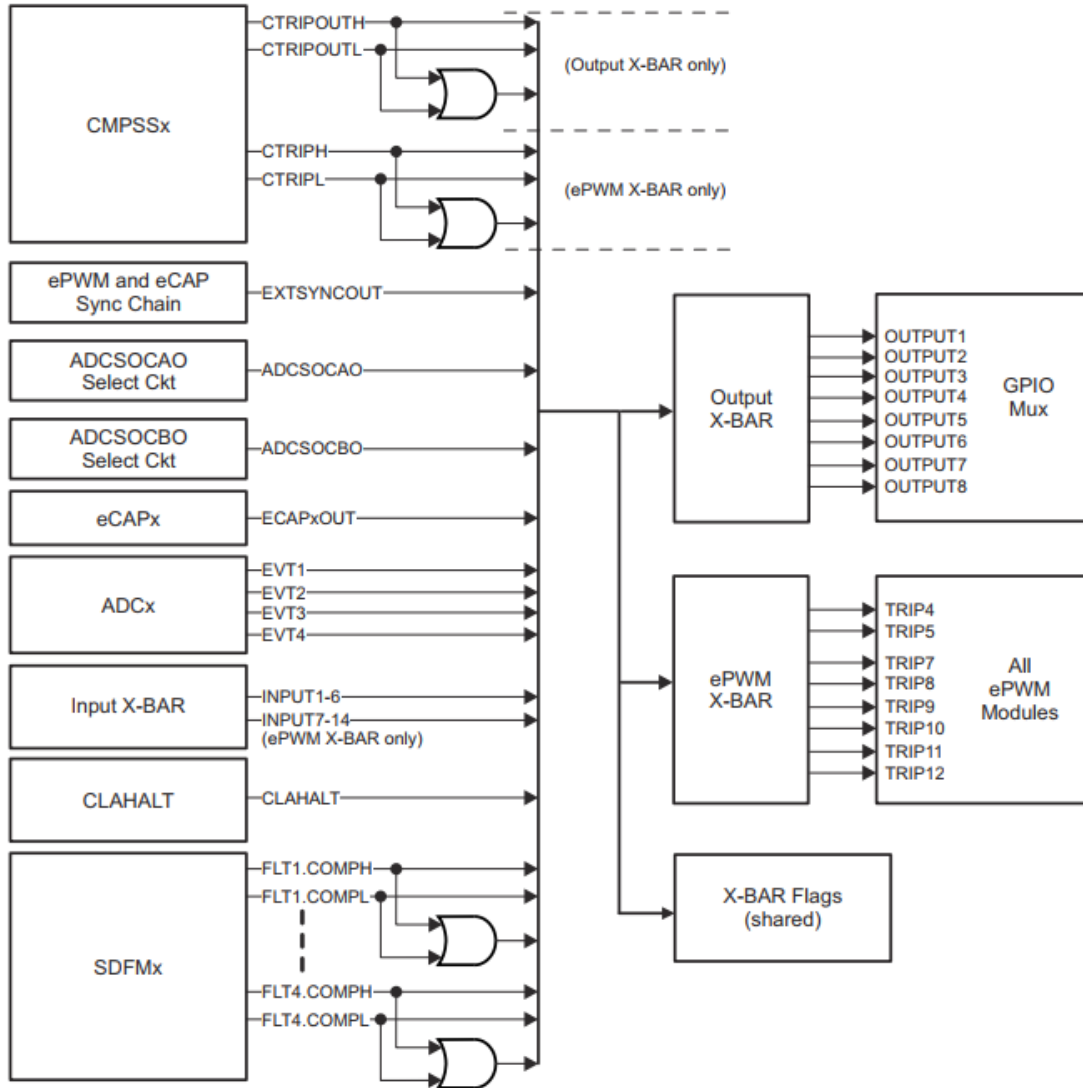


图 4-6.输出 X-BAR和 ePWM X-BAR的源

4.5 GPIO 引脚内部上拉/下拉

QXS320F28377LRevB 上的一些引脚有内部上拉或下拉功能。表 5-1 列举了使用时的上拉下拉方向。

默认GPIO 引脚上拉是关闭的，可以通过软件启用。为避免任何悬空的未键合输入，Boot ROM 将特定封装中未键合的GPIO 引脚启用内部上拉。表 5-1 的其他引脚的上拉与下拉总是打开的，并且不能被禁用。

表 4-9.带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx (包括 AGPIO)	禁用上拉	禁用上拉 ⁽¹⁾	应用定义
GPIO35/TDI	禁用上拉		应用定义
GPIO37/TDO	禁用上拉		应用定义
VREGENZ	下拉有效		
其他引脚	上拉或下拉未存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。



4.6 未使用引脚的连接

对于无需使用QXS320F28377LRevB所有功能的应用，表 4-10 列举了未使用引脚的可接受条件。表 4-10 中的引脚选择为复用时，其任意选择都是能接受的。表 4-10 未列举的引脚，必须根据节 4 所述进行连接。

表 4-10.未使用引脚的连接

信号名称	可接受的做法
模拟	
带有 DACx_OUT 的模拟输入引脚	<ul style="list-style-type: none"> 无连接 通过 4.7kΩ 或更大的电阻连接到 VSSA
带 PGAx_OUTF 的模拟输入引脚	<ul style="list-style-type: none"> 无连接 通过 4.7kΩ 或更大的电阻连接到 VSSA
模拟输入引脚 (DACx_OUT 和 PGAx_OUTF 除外)	<ul style="list-style-type: none"> 无连接 绑定到 VSSA 通过电阻器连接到 VSSA
PGAx_GND	绑定到 VSSA
VREFHix	连接至 VDDA (仅在应用中未使用 ADC 或 DAC 时适用)
VREFLOx	绑定到 VSSA
数字	
test_mode	<ul style="list-style-type: none"> 无连接 绑定到 VSS
GPIOx	<ul style="list-style-type: none"> 无连接 (启用内部上拉的输入模式) 无连接 (禁用内部上拉的输出模式) 上拉或下拉电阻器 (任意值电阻器，输入模式，禁用内部上拉)
GPIO35/TDI	选择 TDI 多路复用器选项 (默认) 时，GPIO 处于输入模式。 <ul style="list-style-type: none"> 启用内部上拉电阻
GPIO37/TDO	当 TDO 复用选项被选中时 (默认)，GPIO 只在 JTAG 活动期间处于输出模式；否则，它处于三态条件。必须对该引脚进行偏置，以避免在输入缓冲器上产生额外电流。 <ul style="list-style-type: none"> 启用内部上拉电阻
VREGENZ	如果未使用内部稳压器，则连接到 VDDIO
X1	绑定到 VSS
X2	无连接
电源和接地	
VDD	所有VDD的管脚必须使用。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	所有VDDIO的管脚必须使用。
VDDIO_SW	连接到 VDDIO。
信号名称	可接受的做法
VSS	所有 VSS 引脚必须连接到电路板接地。
VSS_SW	始终连接到 VSS。
VSSA	如果未使用模拟接地，则连接到 VSS。

5 规格

5.1 绝对最大值范围⁽¹⁾⁽²⁾

在自然通风条件下的工作温度范围内（除非另有说明）

表 5-1.绝对最大值范围

参数		最小值	最大值	单位
电源电压	VDDIO以VSS为基准	-0.3	4.6	V
	VDDA以VSSA为基准	-0.3	4.6	
	VDD以VSS为基准	-0.2	1.5	
VDDIO 和 VDDIO_SW 引脚之间的电压差		-0.3	0.3	V
输入电压	V _{IN} (3.3V)	-0.3	4.6	V
输出电压	V _O	-0.3	4.6	
输入钳位电流 ⁽⁴⁾	数字输入(每引脚), I _{IK} (V _{IN} < VSS或V _{IN} > VDDIO)	-12	12	mA
	模拟输入(每引脚), I _{IKANALOG} (V _{IN} < VSSA或V _{IN} > VDDA)	-12	12	
	所有输入的总计, I _{IKTOTAL} (V _{IN} < VSS/VSSA或V _{IN} > VDDIO/VDDA)	-12	12	
输出电流	数字输出(每引脚), I _{OUT}	-12	12	mA
结温	T _J	-40	150	°C
贮存温度 ⁽³⁾	T _{stg}	-65	150	°C

(1) 应力超出绝对最大值范围所列的值可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些值可正常工作或者任何其他超过节 5.3 所述条件下可正常工作。长时间处于绝对最大值范围情况下会影响设备的可靠性。

(2) 除非另有说明，否则所有电压值均以VSS为基准。

(3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。

(4) 每个引脚的连续钳位电流为±2mA。请勿在此条件下连续工作，因为 VDDIO/VDDA 电压可能会在内上升并影响其他电气规格。

5.2 产品 ESD 范围

表 5-2.产品的 ESD 范围

参数		值	单位
QXS320F28377LRevB			
V(ESD)	静电放电(ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±4000
		充电器件模型 (CDM), 符合 ANSI/ ESDA/JEDEC JS-002 ⁽²⁾	±1000

(1) JEDEC 目录 JEP155 状态表明 500V HBM 允许带有标准 ESD 控制过程的安全制造。

(2) JEDEC 目录 JEP157 状态表明 250V CDM 允许带有标准 ESD 控制过程的安全制造。

5.3 推荐工作条件

表 5-3.推荐工作条件

参数		最小值	额定值	最大值	单位
设备供电电压, VDDIO与VDDA	启用内部BOR ⁽³⁾	$V_{BOR-VDDIO} (MAX) + V_{BOR-GB}^{(2)}$	3.3	3.63	V
	禁用内部BOR	2.8	3.3	3.63	
设备电源电压, VDD		1.08	1.2	1.32	V
设备接地, VSS			0		V
模拟地, VSSA			0		V
结温, T _J	S version ⁽¹⁾	-40		125	°C

(1)T_J= 105°C 以上操作持续扩展将减少设备寿命。

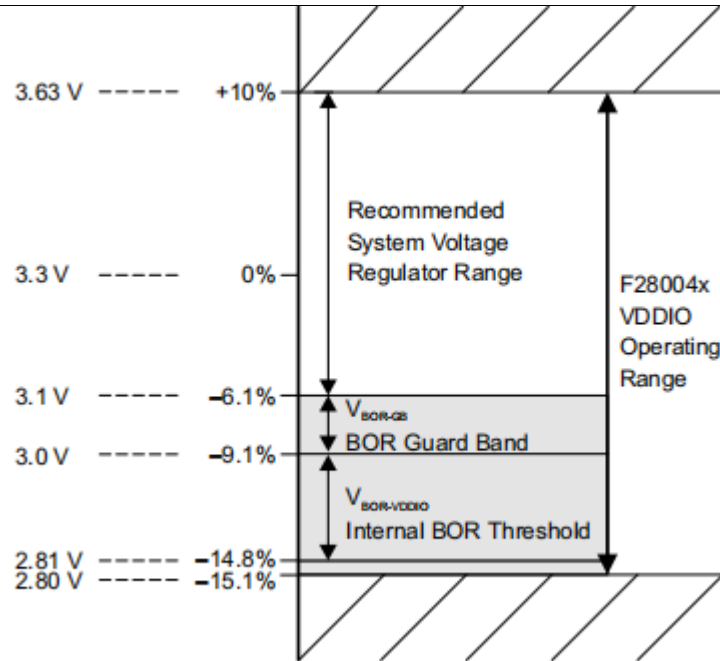


图 5-1供电电压

5.4 耗电概述

本节中列出的电流值仅代表给定的测试条件，而不是绝对的最大的可能。应用程序中的实际设备电流将随应用程序代码和引脚而变化配置。第 5.4.1 节列出了系统电流消耗值。

5.4.1 系统电流消耗（外部电源）

在自然通风条件下的工作温度范围内测得（除非另有说明）。

典型值： V_{nom} ， 30°C

表 5-4.系统电流消耗

参数	测试条件	最小值	典型值	最大值	单位
工作模式					
I_{DD}	设备处于空闲模式时的 VDD 电流消耗 ⁽¹⁾		75	139	mA
I_{DDA}	设备处于空闲模式下的 VDDA 电流消耗		0.9	1.2	mA

空闲模式 (IDLE)						
I_{DD}	设备处于空闲模式时的 VDD 电流消耗 ⁽¹⁾	-CPU 处于 IDLE 模式		77	97	mA
I_{DDA}	设备处于空闲模式下的 VDDA 电流消耗	-Flash 断电 -XCLKOUT 关闭		0.9	1.2	mA
待机模式 (STANDBY)						
I_{DD}	设备处于待机模式时的 VDD 电流消耗 ⁽¹⁾	-CPU 处于待机模式		42	77	mA
I_{DDA}	设备处于待机模式下的 VDDA 电流消耗	-Flash 断电 -XCLKOUT 关闭		0.9	1.2	mA
停机模式 (HALT)						
I_{DD}	设备处于停机模式时的 VDD 电流消耗 ⁽¹⁾	-CPU 处于停机模式		3	20	mA
I_{DDA}	设备处于停机模式下的 VDDA 电流消耗	-Flash 断电 -XCLKOUT 关闭		0.2	0.5	mA

(1) I_{DD} 最大值是在VDD处于最大建议工作条件下报告的值。对于内部VREG和直流/直流稳压器表，该VDD电源将处于稳定的VDD典型值电压。因此，与内部VREG和直流/直流稳压器表相比，此外部电源表中报告的电流值将更高。

5.4.2 工作模式测试描述

第5.4.1节，节5.4.2和第5.4.3节列出了设备运行模式的当前电流消耗值。运行模式提供了应用程序可能遇到情况的预测。为实现所示值运行的测试用例将循环执行以下操作。以下列表中未列出的外设已禁用其时钟：

- 代码从 RAM 中执行。
- 读取 FLASH并保持激活状态。
- I/O引脚不驱动任何外部组件。

- 使用以下所有通信外设：SPI-A至SPI-B；SCI-A至SCI-C；I2C-A；CAN-A至CAN-B；LIN-A；PMBus-A。
- ePWM-1至ePWM-3在6个引脚上生成5MHz输出。
- EPWM-4至EPWM-7处于HRPWM模式，并在6个引脚上生成25MHz输出。
- CPU计时器激活。
- CPU进行FIR16计算。
- DMA进行连续32位传输。
- 所有ADC执行连续转换。
- 所有DAC都在环路频率约为11kHz时改变电压。
- 启用所有PGA。
- 所有CMPSS都会生成频率为100kHz的方波。
- 启用SDFM外设时钟。
- eCAP-1至eCAP-7处于APWM模式，切换频率为250kHz。
- 启用所有eQEP看门狗并执行计数。
- 启用系统看门狗并执行计数。

5.4.3 减少电流消耗

图5-2、图5-3、图5-4显示了器件上的频率与电流消耗之间关系的典型代表。节5.4.1中的工作测试是在 V_{NOM} 和室温下的整个频率范围内运行的。实际结果因系统实施和条件而异。

V_{DD} 内核电源上的漏电流将以指数方式随工作温度的升高而增加，如图5-5所示。停机模式下的电流消耗主要是漏电流，因为内部振荡器已断电时，就不会有有源开关。

图5-5显示了温度范围内的典型漏电流。在标称电压条件下，该器件被置于停机模式。

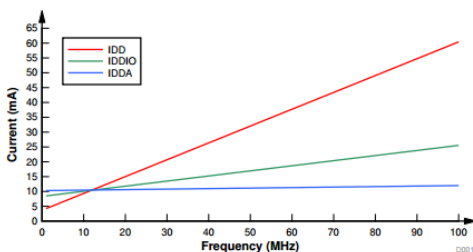


图 5-2. 电流与频率间的关系-外部电源

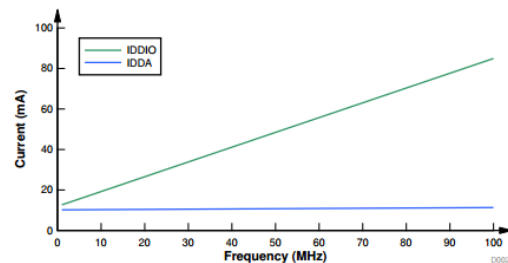


图 5-3. 电流与频率间的关系-内部 VREG

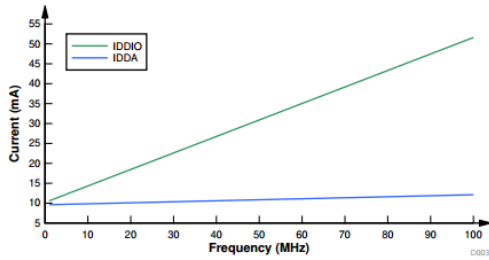


图 5-4. 电流与频率间的关系-直流/直流

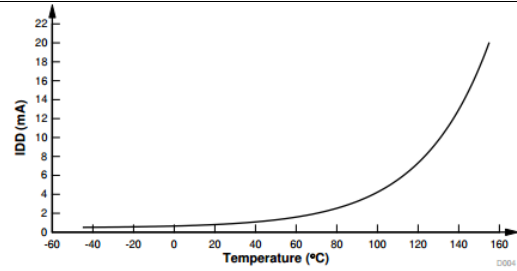


图 5-5. 停机（HALT）模式电流与温度间的关系(°C)

注：该电流消耗值为实验室测得，仅供参考。

5.4.4 减少电流消耗

QXS320F28377LRevB设备提供了一些降低设备电流消耗的方法：

- 为进一步降低应用在空闲期间的电流消耗，可以进入两种低功耗模式之一 — IDLE 或 STANDBY。

- 如果代码从RAM中运行，闪存模块可能会断电。

- 禁用输出功能引脚的上拉。

- 每个外设都有一个单独的时钟使能位(PCLKCRx)。减少电流消耗可通过关闭给定应用程序中不使用的任何外设的时钟来实现。典型的电流减少可以通过使用PCLKCRx寄存器禁用时钟来实现。

- 要在LPM中实现最低的VDDA电流消耗，请参阅《QXS320F28377LRevB参考手册》模拟章节，以确保每个模块也被关闭。

表 5-5. 外设关闭典型电流

外设	I_{DDIO} 电流减少 (mA)
ADC ⁽²⁾	0.8
CAN	1.1
CMPSS ⁽²⁾	0.4
CPU Timer	0.1
DAC ⁽²⁾	0.2
DMA	0.5

eCAP1 至 eCAP5	0.1
eCAP6 至 eCAP7 ⁽³⁾	0.4
ePWM	0.7
eQEP	0.1
HRPWM	0.8
I2C	0.3
LIN	0.4
PGA ⁽²⁾	0.2
PMBUS	0.3
SCI	0.2
SDFM	0.9
SPI	0.2
DCC	0.1
100MHz 时的 PLL	22.9

(1) 复位时，所有外设均禁用。使用PCLKCRx寄存器以单独地启用外设。对于具有多个实例的外设，针对每个模块引用电流。

(2) 此电流代表了每个模块的数字部分汲取的电流。eCAP6和eCAP7也可以配置为HRCAP。

注：该电流消耗值为实验室测得，仅供参考。

5.5 电气特性

在建议运行条件下测得（除非另有说明）。

表 5-6.电气特性

参数	测试条件	最小值	典型值	最大值	单位
数字与模拟 IO					
V_{OH}	高电平输出电压	$I_{OH}=I_{OH}$ 最小	2.4		V
		$I_{OH}=-100\ \mu A$	2.9		
V_{OL}	低电平输出电压	$I_{OL}=I_{OL}$ 最大		0.4	V
		$I_{OL}=100\ \mu A$		0.2	
I_{OH}	所有输出引脚的高电平输出源电流	20.8			mA
I_{OL}	所有输出引脚的低电平输出源电流			28.8	mA
R_{OH}	所有输出引脚的高电平输出阻抗		70		Ω
R_{OL}	所有输出引脚的低电平输出阻抗		70		Ω
V_{IH}	高电平输入电压 (3.3V)	2.0		$V_{DDIO}+0.3$	V
V_{IL}	低电平输入电压 (3.3V)	$VSS-0.3$		0.8	V
$V_{HYSTERESIS}$	输入滞后	150			mV
$I_{PULLDOWN}$	输入电流	带下拉的输入 (除 A0、A1 的其他下拉管脚)	$VDDIO=3.3V$ $V_{IN}=VDDIO$	65	μA
		带下拉的输入 (A0、A1 管脚)	$VDDIO=3.3V$ $V_{IN}=VDDIO$	130	μA
I_{PULLUP}	输入电流	带上拉的输入	$VDDIO=VDDA=3.3V$ $V_{IN}=0V$	60	μA

I_{LEAK}	引脚漏电流	$0V \leq V_{IN} \leq VDDIO$			10	μA
VREG、直流/直流和 BOR						
$V_{POR-VDDIO}$	VDDIO 上电复位电压				1.8	V
$V_{BOR-VDDIO}$	VDDIO 掉电复位电压				2.0	V

- (1) 有关具有上拉或下拉功能的引脚列表，请参阅表4-9；
- (2) 模拟引脚是单独指定的，请参阅表5-17。



5.6 热阻特征

5.6.1 PK封装的热阻特性

		$^{\circ}C/W^{(1)}$	空气气流 (1fm) ⁽²⁾
$R_{\theta_{JC}}$	结至外壳热阻	7.6	不适用
$R_{\theta_{JB}}$	结至电路板热阻	24.2	不适用
$R_{\theta_{JA}}$ (高 k PCB)	结自由空气热阻	46.1	0
$R_{\theta_{JMA}}$	结至流动空气热阻	37.3	150
		34.8	250
		32.6	500
Ψ_{JT}	结至封装顶部	0.2	0
		0.4	150

Psi _{JB}	结至开发板	23.8	0
		22.8	150
		22.4	250
		21.9	500

(1) 这些值基于JEDEC定义的2S2P系统(Theta JC [R ⊙ JC]值除外，该值基于JEDEC定义的1S0P系统)，并根据环境和应用而变化。要了解更多信息，请参见这些EIA/JEDEC热测试标准：

- JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2) 1fm = 线性英尺每分钟



5.6.2 PZ 封装的热阻特性

参数		$^{\circ}\text{C}/\text{W}^{(1)}$	空气气流 (1fm) ⁽²⁾
$R_{\Theta_{JC}}$	结至外壳热阻	7.6	不适用
$R_{\Theta_{JB}}$	结至电路板热阻	24.2	不适用
$R_{\Theta_{JA}}$ (高kPCB)	结自由空气热阻	46.1	0
$R_{\Theta_{JMA}}$	结至流动空气热阻	37.3	150
		34.8	250
		32.6	500
Ψ_{JT}	结至封装顶部	0.2	0
		0.4	150
		0.4	250
		0.6	500
Ψ_{JB}	结至开发板	23.8	0
		22.8	150
		22.4	250
		21.9	500

表 5- 8.PZ 封装的热阻特性

(1) 这些值基于JEDEC定义的2S2P系统(Theta JC [$R_{\Theta_{JC}}$]值除外, 该值基于JEDEC定义的1S0P系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些 EIA/JEDEC 热测试标准:

- JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2) 1 fm = 线性英尺每分钟

5.6.3 PM 封装的热阻特性

表 5-9.PM 封装的热阻特性

参数		$^{\circ}\text{C}/\text{W}^{(1)}$	空气气流 (1fm) ^②
$R_{\Theta_{JC}}$	结壳热阻	12.4	不适用
$R_{\Theta_{JB}}$	结板热阻	25.6	不适用
$R_{\Theta_{JA}}$ (高kPCB)	结自由空气热阻	51.8	0
$R_{\Theta_{JMA}}$	结至流动空气热阻	42.2	150
		39.4	250
		36.5	500
Ψ_{JT}	结至封装顶部	0.5	0
		0.9	150
		1.1	250
		1.4	500
Ψ_{JB}	结至开发板	25.1	0
		23.8	150
		23.4	250
		22.7	500

(1) 这些值基于JEDEC定义的2S2P系统(Theta JC [$R_{\Theta_{JC}}$]值除外, 该值基于JEDEC定义的1S0P系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些EIA/JEDEC热测试标准:

- JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2) 1fm = 线性英尺每分钟

5.6.4 RSH 封装的热阻特性

表 5- 10. RSH 封装的热阻特性

参数		°C/W ⁽¹⁾	空气气流 (lfm) ⁽²⁾
$R_{\theta_{JC}}$	结壳热阻	11.9	不适用
$R_{\theta_{JB}}$	结板热阻	3.3	不适用
$R_{\theta_{JA}}$ (高kPCB)	结自由空气热阻	25.8	0
$R_{\theta_{JMA}}$	结至流动空气热阻	17.4	150
		15.1	250
		13.4	500
		0.2	0
Ψ_{JT}	结至封装顶部	0.3	150
		0.4	250
		0.4	500
		3.3	0
Ψ_{JB}	结至开发板	3.2	150
		3.2	250
		3.2	500
		0.7	0
$R_{\theta_{JC}}$, 底部	结至底部外壳热阻	0.7	0

(1) 这些值基于JEDEC定义的2S2P系统(Θ_{JC} [$R_{\theta_{JC}}$]值除外, 该值基于JEDEC定义的1S0P系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些EIA/JEDEC热测试标准:

- JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)
- JESD51-3, 含铅表面贴装封装的有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装包热测量测试板

(2) 1fm = 线性英尺每分钟



5.7 散热设计注意事项

根据最终应用程序的设计和配置，IDD和IDDIO电流可能会有所不同。最终产品中超过推荐的最大功耗耗散可能需要额外的散热增强措施。环境温度(T_A)随最终应用和产品设计而变化。影响可靠性和功能性的关键因素是 T_J 结温，而不是环境温度。因此，应采取措施保持 T_J 在规定的限度内。应测量 T_{case} （封装体表面温度）以估计 T_J 结温情况。



5.8 模拟外设

本节介绍了模拟子系统模块。

设备的模拟模块包括 ADC、PGA、温度传感器、Buffered DAC和CMPSS。

模拟子系统具有如下特点：

- 灵活的电压参考
 - ADC参考VREFHix和VREFLOx引脚
- VREFHix引脚电压可由外部驱动或由内部带隙电压基准生成。
- 内部电压基准范围可选为0V至3.3V或0V至2.5V。
- Buffered DAC以VREFHix和VREFLOx为基准。
 - 或者，这些DAC可以以VDAC引脚和VSSA为基准。
- -比较器DAC参考VDDA和VSSA
 - 或者，这些DAC能参考VDAC和VSSA引脚。
- 灵活的引脚使用
 - Buffered DAC输出、比较器子系统输入、PGA功能和数字输入与ADC输入进行多路复用
 - 内部连接到所有ADC上的VREFLO，用于偏移量自校准

图5-6展示了176pin引脚PTP HLQFP的模拟子系统方框图。

表5-11列举了模拟引脚与内部连接。表5-12列举了模拟信号的描述。图5-9展示了模拟部分连接。

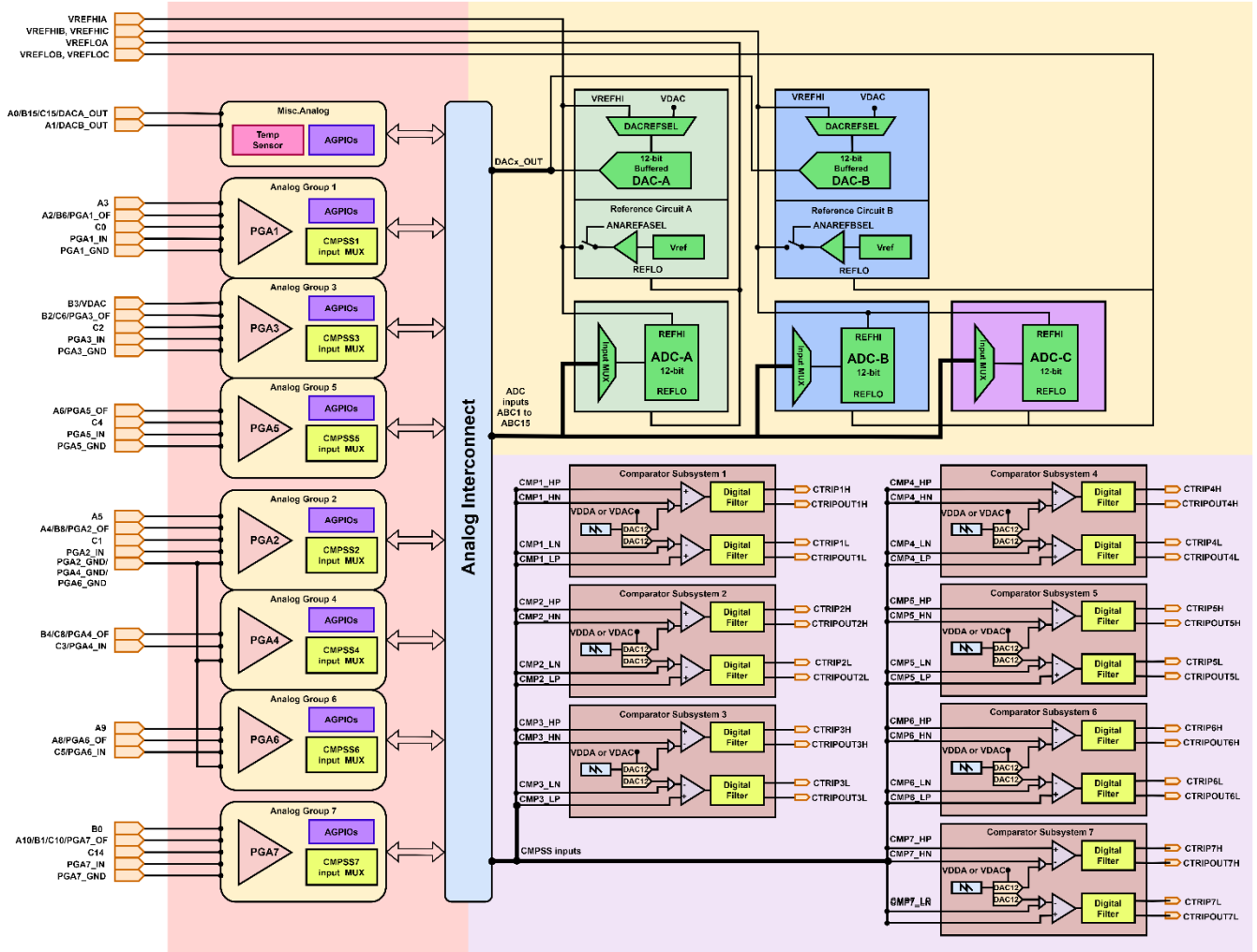


图 5-6 模拟子系统框图 (176pin PTP HLQFP 封装)

图 5-7 显示了模拟组连接。请参阅模拟引脚和内部连接表，了解每个封装的每个组的特定连接。模拟信号说明表提供了模拟信号的说明。

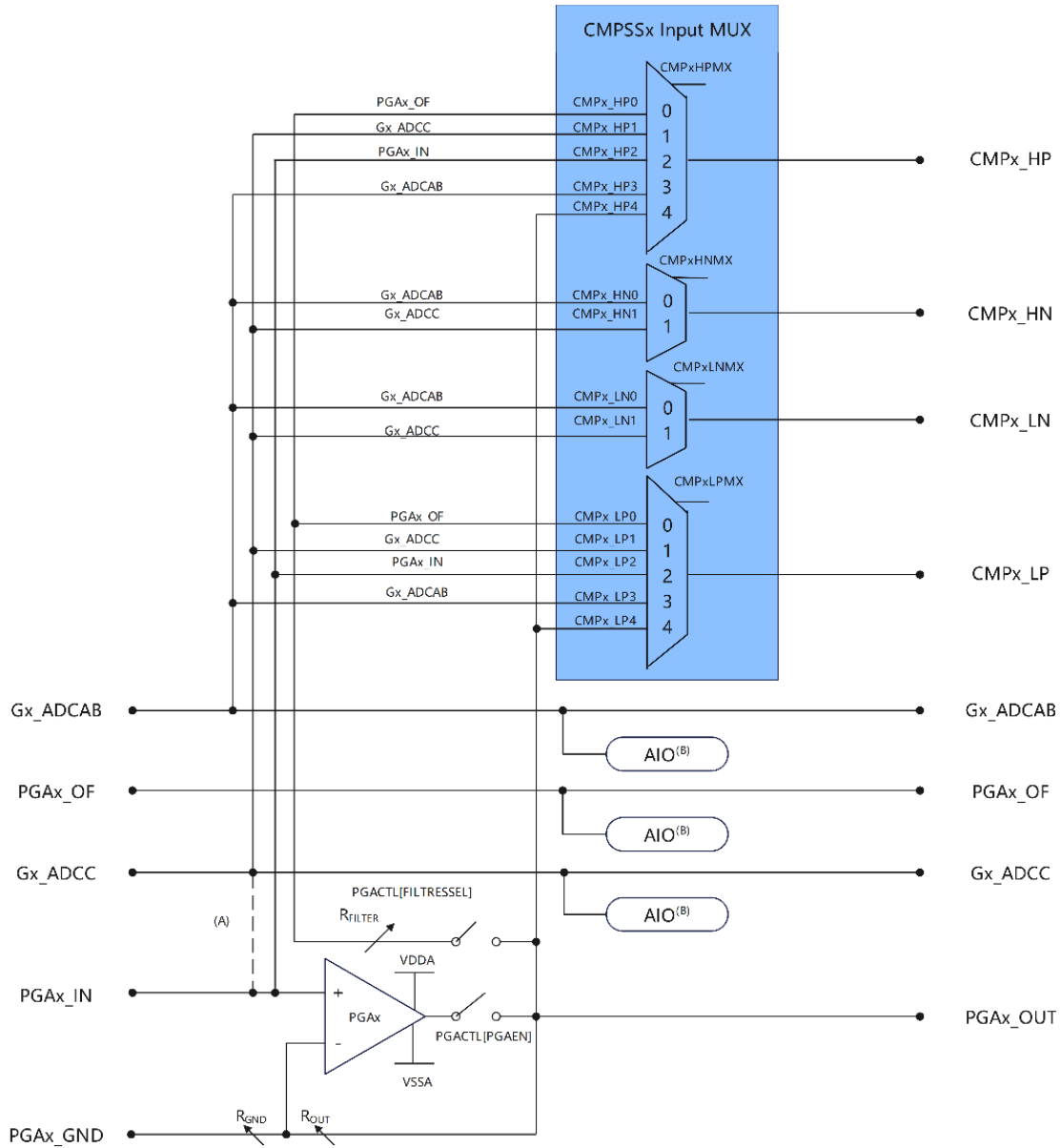


图 5-7 模拟部分连接

表 5-11.模拟引脚与内部连接

引脚名称	组名称	封装			始终连接 (无多路复用器)					比较器子系统 (多路复用器)				AIO 输入
		100	64	56						高正	高负	低正	低负	
		PZ	PM	RSH	ADCA	ADCB	ADCC	PGA	DAC					
VREFHIA	-	25												
VREFHIB	-	24	16	14										
VREFHIC	-													
VREFLOA	-	27			A13									
VREFLOB	-	26	17	15		B13								
VREFLOC	-								C13					
<div style="display: flex; justify-content: space-between;"> 模拟组 1 CMP1 </div>														
A3	G1_ADCAB	10			A3					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO233
A2/B6/PGA1_OF	PGA1_OF	9	9	8	A2	B6		PGA1_OF		HPMXSEL = 0		LPMXSEL = 0		AIO224
C0	G1_ADCC	19	12	10				C0		HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO237
PGA1_IN	PGA1_IN	18						PGA1_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA1_GND	PGA1_GND	14	10	9				PGA1_GN D						
-	PGA1_OUT ⁽¹⁾				A11	B7		PGA1_OU T		HPMXSEL = 4		LPMXSEL = 4		

模拟组 2										CMP2									
A5	G2_ADCAB	35								A5					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO234
A4/B8/PGA2_OF	PGA2_OF	36	23	21		A4	B8			PGA2_OF					HPMXSEL = 0		LPMXSEL = 0		AIO225
C1	G2_ADCC	29	18	16						C1					HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO238
PGA2_IN	PGA2_IN	30								PGA2_IN					HPMXSEL = 2		LPMXSEL = 2		
PGA2_GND	PGA2_GND	32	20	18						PGA2_GN D									
-	PGA2_OUT ⁽¹⁾					A12	B9			PGA2_OU T					HPMXSEL = 4		LPMXSEL = 4		
模拟组 3										CMP3									
B3/VDAC	G3_ADCAB	8	8	7						B3					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO242
B2/C6/PGA3_OF	PGA3_OF	7	7	6						B2	C6	PGA3_OF			HPMXSEL = 0		LPMXSEL = 0		AIO226
C2	G3_ADCC	21	13	11						C2					HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO244
PGA3_IN	PGA3_IN	20								PGA3_IN					HPMXSEL = 2		LPMXSEL = 2		

引脚名称	组名称	封装			始终连接 (无多路复用器)					比较器子系统 (多路复用器)				AIO 输入
		100	64	56	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负	
		PZ	PM	RSH										
PGA3_GND	PGA3_GND	15	10	9				PGA3_GN D						
-	PGA3_OUT ⁽¹⁾					B10	C7	PGA3_OU T		HPMXSEL = 4		LPMXSEL = 4		
模拟组 4									CMP4					
B5	G4_ADCAB					B5				HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO243
B4/C8/PGA4_OF	PGA4_OF	39	24	22		B4	C8	PGA4_OF		HPMXSEL = 0		LPMXSEL = 0		AIO227
C3	G4_ADCC	31	19	17			C3			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO245
PGA4_IN	PGA4_IN									PGA4_IN		HPMXSEL = 2		LPMXSEL = 2
PGA4_GND	PGA4_GND	32	20	18				PGA4_GN D						
-	PGA4_OUT ⁽¹⁾					B11	C9	PGA4_OU T		HPMXSEL = 4		LPMXSEL = 4		
模拟组 5									CMP5					
A7	G5_ADCAB					A7				HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO235
A6/PGA5_OF	PGA5_OF	6	6			A6		PGA5_OF		HPMXSEL = 0		LPMXSEL = 0		AIO228
C4	G5_ADCC	17		11			C4			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO239

PGA5_IN	PGA5_IN	16						PGA5_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA5_GND	PGA5_GND	13	10	9				PGA5_GN D						
-	PGA5_OUT ⁽¹⁾						A14	PGA5_OU T		HPMXSEL = 4		LPMXSEL = 4		
模拟组 6										CMP6				
A9	G6_ADCAB	38					A9			HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO236
A8/PGA6_OF	PGA6_OF	37					A8	PGA6_OF		HPMXSEL = 0		LPMXSEL = 0		AIO229
C5	G6_ADCC	28						C5		HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO240
PGA6_IN	PGA6_IN							PGA6_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA6_GND	PGA6_GND	32	20	18				PGA6_GN D						

引脚名称	组名称	封装			始终连接 (无多路复用器)					比较器子系统 (多路复用器)				AIO 输入
		100	64	56	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负	
		PZ	PM	RSH										
-	PGA6_OUT ⁽¹⁾							PGA6_OU T		HPMXSEL = 4		LPMXSEL = 4		
模拟组 7										CMP7				
B0	G7_ADCAB	41						B0		HPMXSEL	HNMXSEL	LPMXSEL	LNMXSEL	AIO241

										= 3	= 0	= 3	= 0	
A10/B1/C10/PGA7_OF	PGA7_OF ⁽²⁾	40	25	23	A10	B1	C10	PGA7_OF		HPMXSEL = 0		LPMXSEL = 0		AIO230
C14	G7_ADCC	44					C14			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO246
PGA7_IN	PGA7_IN	43						PGA7_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA7_GND	PGA7_GND	42						PGA7_GN D						
-	PGA7_OUT ⁽¹⁾					B12	C11	PGA7_OU T		HPMXSEL = 4		LPMXSEL = 4		
其他模拟														
A0/B15/C15/DACA_OUT		23	15	13	A0	B15	C15	DACA_OU T						AIO231
A1/DACB_OUT		22	14	12	A1			DACB_OU T						AIO232
C12							C12							AIO247
-	温度传感器 ⁽¹⁾					B14								

表 5-12.模拟信号说明

信号名称	说明
AIOx	AIO 引脚的数字输入
Ax	ADC A输入
Bx	ADC B输入
Cx	ADC C输入

CMPx_DACH	比较器子系统高电平DAC输出
CMPx_DACL	比较器子系统低电平DAC输出
CMPx_HNy	比较器子系统高电平比较器负输入

信号名称	说明
CMPx_HP _y	比较器子系统高电平比较器正输入
CMPx_LN _y	比较器子系统低电平比较器负输入
CMPx_LP _y	比较器子系统低电平比较器正输入
DACx_OUT	Buffer DAC输出
PGAx_GND	PGA接地
PGAx_IN	PGA输入
PGAx_OF	滤波器的PGA输出
PGAx_OUT	到内部ADC的PGA输出
温度传感器	内部温度传感器
VDAC	片上DAC的可选外部基准电压。无论是用于ADC输入还是DAC基准，此引脚上有一个连接至VSSA且无法禁用的100pF电容器。如果将此引脚用作片上DAC的基准，请在此引脚上放置至少一个1μF电容器。

5.8.1 模数转换器（ADC）

ADC模块是一个分辨率为12位/14位的逐次逼近(SAR)型 ADC。ADC由一个核心和一个封装器组成。核心由模拟电路组成，包括通道选择MUX、采样保持（S/H）电路、逐次逼近电路、电压参考电路和其他模拟支持电路。封装器由配置和控制ADC的数字电路组成。这些电路包括用于可编程转换的逻辑、结果寄存器、与模拟电路的接口、与外围总线的接口、后处理电路以及与其他片上模块的接口。

每个ADC模块由一个采样保持（S/H）电路组成。ADC模块设计为在同一芯片上多次复制，允许多个ADC同时采样或独立操作。

每个ADC有如下特点：

- 12位分辨率
- 外部参考比例通过VREFHI/VREFLO配置；
- 内部可选参考为1.65V,2V,2.5V或者3.3V；
- 单端输入和差分输入；
- 最大支持16通道输入复用；
- 20个可配置SOC；
- 20个可单独寻址的结果寄存器；
- 多个触发源：
 - S/W：软件立即启动
 - 所有ePWM：ADCSOC A或B
 - GPIO XINT2
 - CPU Timers 0/1/2
- 四个灵活的PIE中断
- 四个后处理模块，每个模块包括：
 - 饱和偏置量校准
 - 设定点计算的偏差
 - 具有中断和ePWM跳闸功能以及高电平、低电平、过零比较
 - 触发采样延迟捕获

注：并非每个通道都可以从所有ADC输出引脚，具体请参考节 6 确定哪个通道可用。

ADC内核和ADC封装器的方框图如图5-8所示。

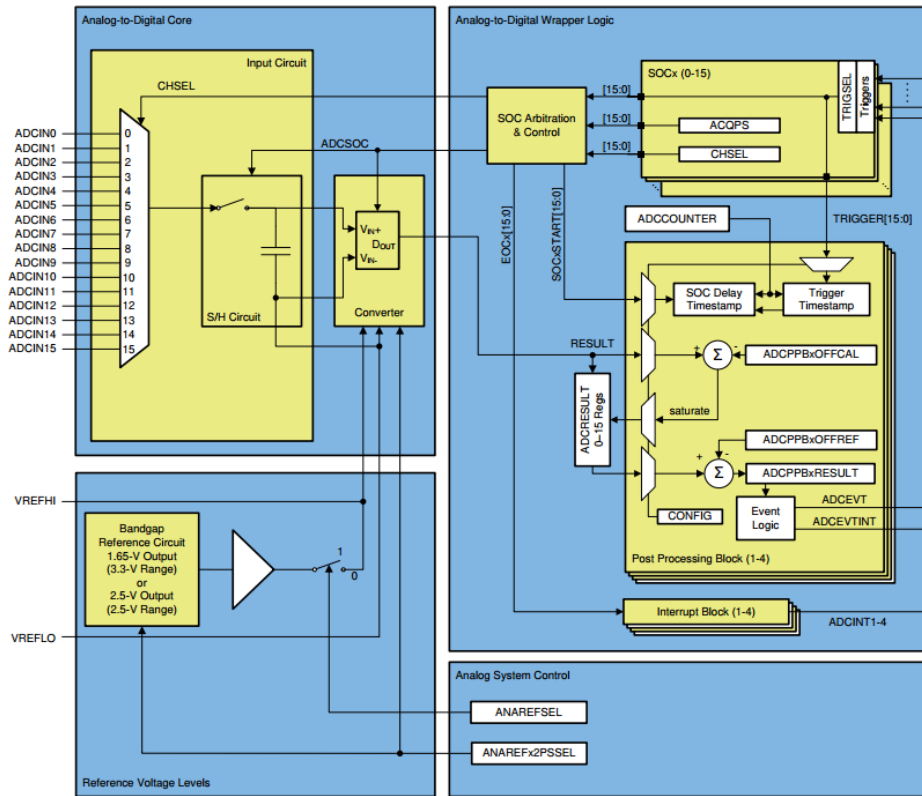


图 5-8 ADC 模块方框图

5.8.1.1 结果寄存器映射

系统中每个存储器总线控制器的ADC结果和ADC PPB结果是相同的。总线控制器包括特定器件系列和器件型号上的CPU和DMA。对于每个总线控制器，无需进行访问配置即可读取结果寄存器，并且在多个总线控制器尝试同时读取ADC结果时不会发生冲突。

5.8.1.2 ADC 配置

ADC模块的通道选择、采样时间和触发源是由SOCx单独控制，其他配置由每个ADC模块全局控制。表 5-13总结了ADC所有可配置的选项。

表 5-13 ADC配置选项

选项	可配置性
Clock	每个模块
Resolution	每个模块
Signal mode	每个模块
Reference voltage source	每个模块（外部或内部）
Trigger source	每个 SOC
Converted channel	每个 SOC
Acquisition window duration	每个 SOC
EOC location	每个模块
Burst Mode	每个模块

（1）这些值写入不同的ADC模块可能会导致ADC运行异步。有关ADC何时同步或异步操作的指导，

注：请参阅《QXS320F28377LRevB参考手册》模数转换器(ADC)章节的确保同步操作部分。

5.8.1.3 ADC 电气数据与时序

表 5-14 列举了ADC工作条件。表 5-15 列举了ADC电气特性。

5.8.1.3.1 ADC工作条件

注:

(1)ADC输入应在工作期间保持低于 $VDDA+0.3V$ 。若ADC输入超过该值，设备的内部参考VREF将会受到干扰，将影响使用相同VREF的其他ADC或DAC输入的结果。

(2) VREFHI引脚必须保持低于 $VDDA+0.3V$ ，以确保常工作。若VREFHI超过该值，阻塞电路将激活，VREFHI的内部值可能浮动到0V，将导致不正确的ADC转换或者DAC输出。

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 5-14.ADC 工作条件

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（来自于PERx.SYSCLK）				48	MHz
采样速率	150MHz SYSCLK			3	MSPS
采样窗口持续（通过PERx.SYSCLK与ACQPS设置） ⁽¹⁾	150MHz SYSCLK	1	2	80	ADCCLK
VREFHI	外部参考	1.65	2.5或3.0	VDDA	V
VREFHI	内部参考=3.3V		3.3		V
	内部参考=2.5V		2.5		V
VREFLO		VSSA	VSSA	VSSA	V
VREFHI-VREFLO		1.65		VDDA	V
转换范围	内部参考=3.3V	0		3.3	V
	内部参考=2.5V	0		2.5	V
	外部参考	VREFLO		VREFHI	V

(1) 该采样窗口必须至少达到正常ADC操作的1个ADCCLK周期长度；

(2) 内部参考模式，设备VREFHI引脚由参考电压驱动。用户在该模式时不应使用引脚驱动。

5.8.1.3.2 ADC 特性

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 5-15. 12bit ADC 特性

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK转换周期		15		94	ADCCLKs
上电时间	外部参考模式			5	μs
	内部参考模式			5	μs
	内部参考模式，可选择2.5V或3.3V			5	μs
内部基准电容值 ⁽²⁾		4.7			μF
外部基准电容值 ⁽²⁾		4.7			μF
直流特性					
DNL 误差	VREFHI=3.3V	-1.0	±1.2	1.4	LSB
INL 误差	VREFHI=3.3V	-2	±2.2	2.4	LSB
交流特性					
THD ⁽³⁾	VREFHI=3.3V, fin=10kHz		-68		dB
ENOB ⁽³⁾	VREFHI=3.3V, fin=10kHz, SYSCLK源自X1, 单个ADC		10.5		bit
	VREFHI=3.3V, fin=10kHz, SYSCLK源自X1, 同步ADC		10.5		bit

	VREFHI = 3.3V, fin=10kHz, SYSCLK源自X1, 异步ADC		不支持		bit
--	---	--	-----	--	-----

- (1) 当ADC输入大于VDDA时，VREFHI上的负载电流增加，将导致转换不精确。
- (2) 建议使用0805封装电容或者更小的陶瓷电容，接受±20%的容差。
- (3) 为尽量减少电容耦合和串扰，在毗邻ADC输入引脚和VREFHI引脚的IO活动已经最小化。
- (4) 直流/直流稳压器对ADC的噪声影响在很大程度上取决于PCB布局。

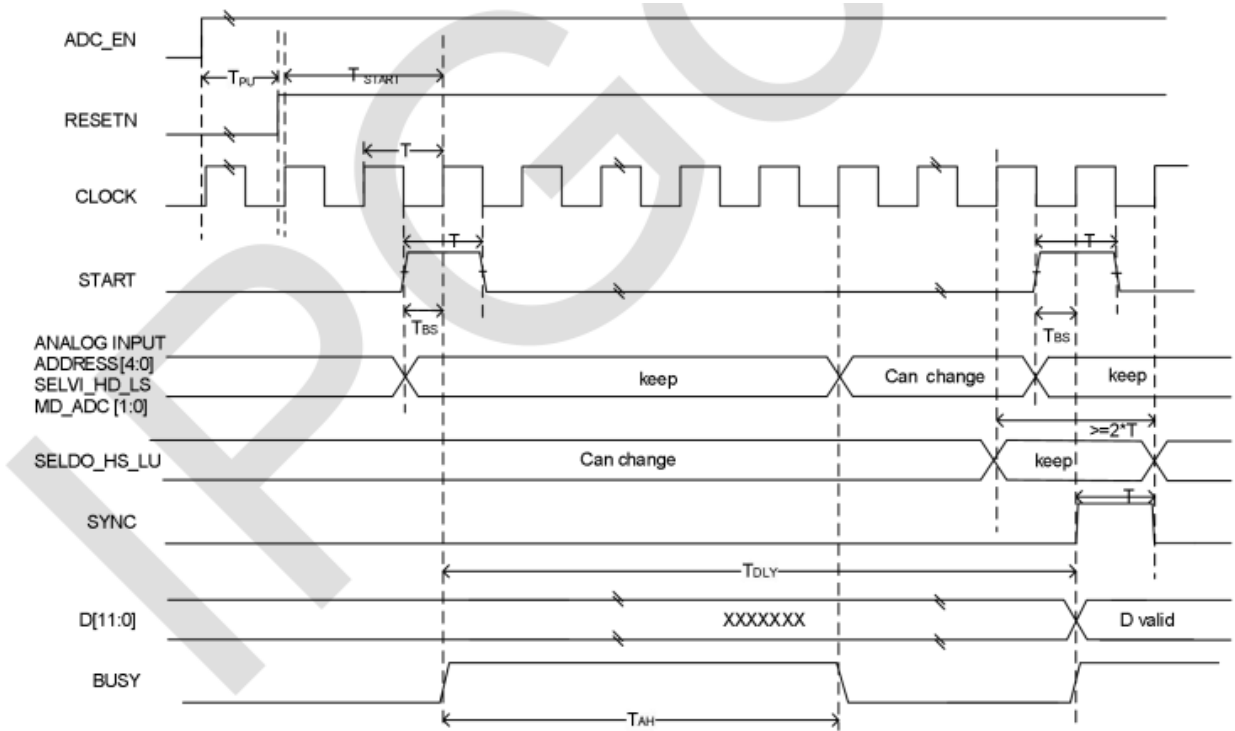
5.8.1.3.3 ADC 时序框图

下面的图是基于正常工作条件下的所有数据和时序：

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T	Clock period	(Fig 2.)(Fig 3.)	20.8	--	--	ns
T _{PU}	SAR ADC stable time		5	--	--	us
T _{BS}	Analog input and address valid time before START sample.	Analog input and ADDRESS may be not valid at the same time	0.5	--	--	T
T _{START}	Time of first receiving start after RESETN release		2	--	--	T
T _{AH}	Analog input and address Hold Time	Analog input and ADDRESS can not be changed when BUSY is high	--	T _{SAMP} +4	--	T
T _{DLY}	Data refresh delay	START=1	--	T _{SAMP} +2+ Bit-Width	--	T

图 5-9. ADC 时序参数

图5-10给出了ADC的转换时序:



注:采样时间可以通过配置 SOC 信号来调整。

图 5-10. 12bit ADC 转换时序-连续转换

5.8.2 可编程增益放大器(PGA)

可编程增益放大器 (PGA) 用于放大输入电压，以提高下游ADC和CMPSS模块的有效分辨率。集成的PGA有助于使传统上需要外部独立放大器的许多控制应用降低成本和设计工作量。通过片上集成可确保PGA与下游ADC及CMPSS模块兼容。软件可选增益和滤波器设置使PGA能够满足各种性能需求。

该PGA具有以下特性：

- 五种可编程增益模式：2倍、3倍、6倍、12倍、24倍、48倍。
- 由VDDC和VSSC进行内部供电。
- 支持使用PGA_GND引脚进行开尔文接地连接。
- 使用嵌入式串联电阻进行RC滤波。

PGA 中的有源器件是一个嵌入式运算放大器，通过内部反馈电阻配置为同相放大器。这些内部反馈电阻值经过配对以产生软件可选的电压增益。

器件引脚上有三个PGA信号：

- PGA_INP是PGA运算放大器的正输入，固定输入为INP0，PSEL[1:0]=0。施加到该引脚的信号将被PGA放大，其他接口保留。
- PGA_INN是PGA_IN信号的开尔文接地基准。固定配置是GSEL[1:0]=0，选择INN0作为GND输入。理想情况下，PGA_GND基准等于VSSC；但是，PGA可以容忍VSSA的小失调电压。
- PGA_VOUT_S支持使用RC元件进行运算放大器输出滤波。可用ADJ_RE可以调整R的大小，经滤波后的信号可由内部ADC和CMPSS模块进行采样和监控。

PGA_VOUT是运算放大器输出端的内部信号。它可由内部ADC和CMPSS模块进行采样和监控。

图 5-11 所示为PGA方框图。

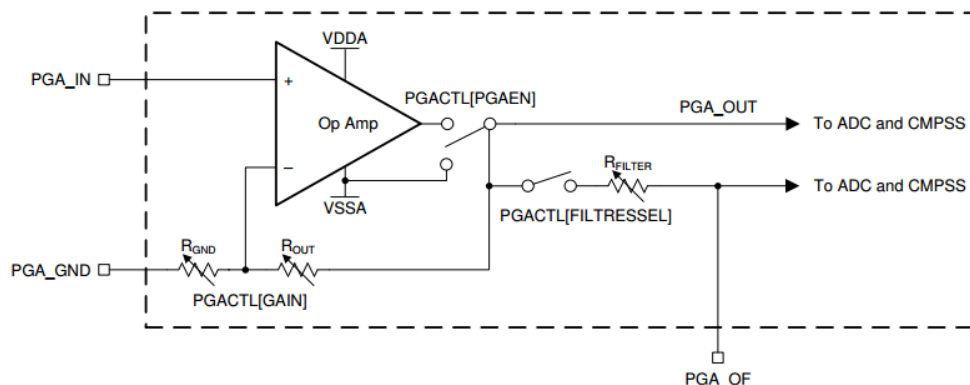


图 5-11. PGA 方框图

5.8.2.1 PGA电气数据和时序

节 5.8.2.1.1 列出了PGA的运行条件。 节5.8.2.1.2列出了PGA的特征。

5.8.2.1.1 PGA 运行条件

理论设计指标（除非另作说明）

表 5-16. PGA 运行条件

参数	测试条件	最小值	典型值	最大值	单位
PGA 输出范围 ⁽¹⁾		VSSA + 0.1		VDDA - 0.1	V
PGA GND 范围		-50		200	mV
I _{OP}	Normal Work Current		1.2		mA
I _{PD}	Power Off Current		20		nA

(1) 这是PGA的线性输出范围。PGA可以输出此范围以外的电压，但电压将不呈线性。

5.8.2.1.2 PGA 特征

理论设计指标（除非另作说明）

表 5-17. PGA 特征

参数	测试条件	最小值	典型值	最大值	单位
增益设置			3、6、12、 24、48		
输入偏置电流			20		nA
VCM	$0.2V < VCM < AVD - 0.2$			450	ns
Slew Rate	Gain=1 Input 0.25V jump to AVD-0.25V @100ns		7		V/ μ s
建立时间	Setting Time to 0.1%	2V Step Gain=1	0.8		μ s
		2mV Step Gain=1	0.4		
	Setting Time to 0.01%	2V Step Gain=1	1.2		
		2mV Step Gain=1	0.6		
Unit Gain-Bandwidth produc	$0.2V < VCM < AVD - 0.2$			13	MHz

参数	测试条件	最小值	典型值	最大值	单位
R_{ON}	MUXA & Switch		50	150	Ω
	MUXB		100	300	Ω
R_R		20	25	30	$k\Omega$
上电时间			5		μs
Input Voltage Range					
CMRR	$0.2V < V_{CM} < AVD - 0.2$		75		dB
$V_{I/f}$	Input Voltage Noise, $f=0.1Hz$ to $10Hz$		6		μV_{pp}
E_n	Input Voltage Noise, $f=1KHz$		30		nv/\sqrt{Hz}
A_v	Open-Loop Voltage Gain @DC $C_L=50pF$ $R_L=2K\Omega$		110		dB
Frequency Response $C_L=50pF$					
THD+N	$V_o=1V_{rms}$ Gain =1 $f=1KHz$ $R_L=2K\Omega$		-85		dB
PSRR	Power Rejection Ratio PSRR@<1KHz		80		dB
	Power Rejection Ratio PSRR@10KHz		70		dB

- (1) 包括外部基准模式下的ADC增益误差。
- (2) 包括外部基准模式下的ADC失调误差。
- (3) 3dB带宽。
- (4) PGA单独的表现。
- (5) PGA的DNL/INL 在ADC的DNL/INL容差范围内，因此未单独显示。

5.8.3 温度传感器

5.8.3.1 温度传感器电气数据和时序

该温度传感器可用于测量器件结温。温度传感器通过ADC的内部连接进行采样，并通过QX提供的软件转换为温度。当温度传感器采样时，ADC必须满足5.8.3.1.1中的采样时间。

5.8.3.1.1 温度传感器特性

理论设计指标（除非另作说明）

表 5-18. 温度传感器特性

参数	测试条件	最小值	典型值	最大值	单位
T_{ACC}	温度精度	$-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$	± 2		$^{\circ}\text{C}$
T_{START}	start up time	@CLOAD=4.7uF	200		μs
T_c	Temperature Coefficient	After trimming	150		ns
K_T	Output voltage slope vs. temp	ADJ_TD_GA[3:0]= 1000	6		mV/ $^{\circ}\text{C}$
V_{OS}	Output offset	Temp=0 $^{\circ}\text{C}$	1.1		V
V_{SR}	The rail to rail buffer slew rate		5		V/us

5.8.4 Buffered 数模转换器(DAC)

Buffered DAC模块由一个内部12位DAC和一个PGA组成。Buffered DAC是一种通用DAC，除了可以生成正弦波、方波、三角波等波形外，还可以生成电压。软件写入DAC寄存器的值可以立即生效，也可以与EPWMSYNCPER事件同步。

每个Buffered DAC有如下的特点：

- 12bit可编程的内部DAC
- 可选参考电压源
- 使用内部VREFHI时的X1和X2增益模式
- 能够与EPWMSYNCPER同步

Buffered DAC 模块框图 5-12 所示，其中 V_{DAC_OUT} 为模拟电压输出

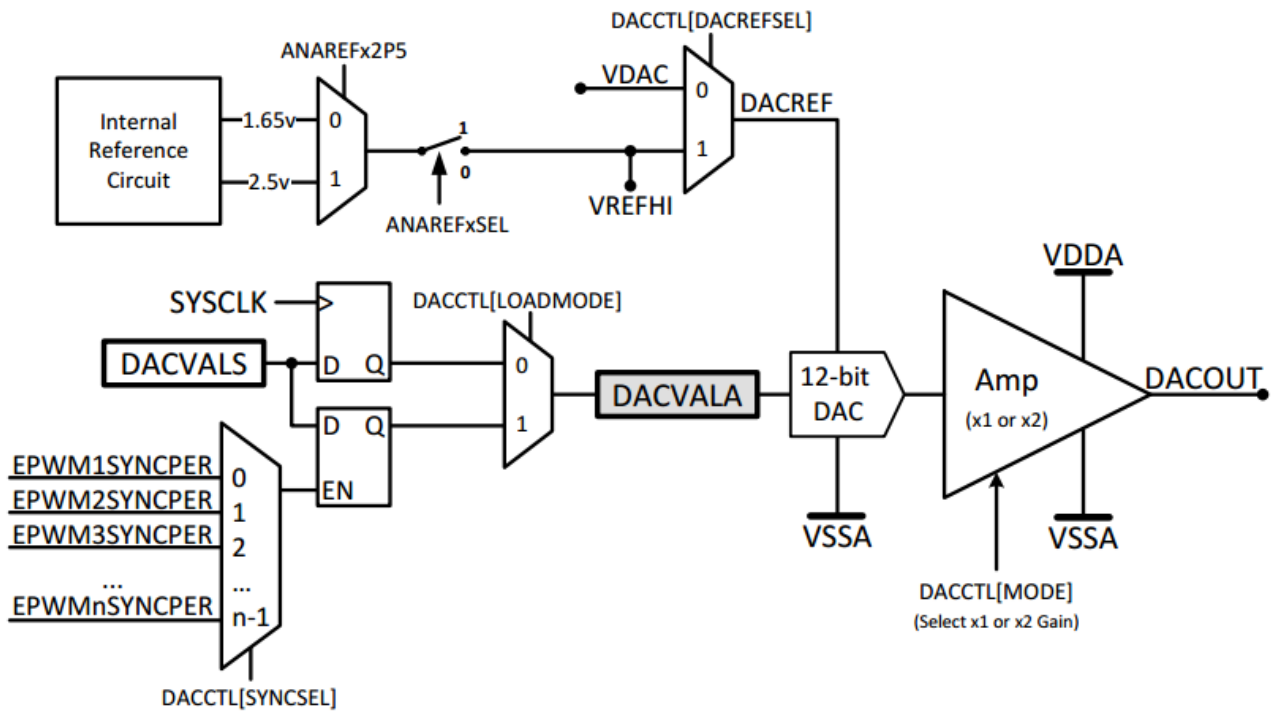


图 5-12. DAC 模块方框图

5.8.4.1 Buffered DAC 电气数据和时序

节 5.8.4.1.1列出了Buffered DAC运行条件。节 5.8.4.1.2列出了Buffered DAC电气特性。

5.8.4.1.1 Buffered DAC 运行条件

理论设计指标（除非另作说明）(1)

表 5-19. 缓冲 DAC 运行条件

参数	测试条件	最小值	典型值	最大值	单位
RLOAD 电阻负载 ⁽²⁾		10			kΩ
CLOAD 容性负载				50	pF
VOUT 有效输出电压范围 ⁽³⁾	RLOAD = ∞, CLOAD=50pF	0.015		AVD-0.0.015	V
Reference Voltage ⁽⁴⁾	VDAC或 VREFHI		1.65或2.5	VDDA	V

(1) 除非另外注明，典型值是在VREFHI = 3.3V和VREFLO = 0V时测得的。在VREFHI = 2.5V和VREFLO = 0V条件下对最小值和最大值进行测试或表征。

(2) DAC可以驱动最小1kΩ的阻性负载，但输出范围会受到限制。

(3) 这是DAC的线性输出范围。DAC可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。

(4) 为了获得卓越PSRR性能，VDAC或VREFHI应小于VDDA。

5.8.4.1.2 Buffered DAC电气特性

理论设计指标（除非另作说明）⁽¹⁾

表 5-20. Buffered DAC 电气特性

参数	测试条件	最小值	典型值	最大值	单位
通用					
分辨率		12			bit
电压输出稳定时间满量程	在 0.3V 至 3V 切换后稳 定到 2LSB			1	μs

T_{RI}	上电时间	$R_{LOAD} = 10K, C_{LOAD} = 50pF$			15	μs
直流特性						
offset	偏移量误差	中点	-25	10	25	mV
Gain	增益误差(3)		-1.5		1.5	%
DNL	微分非线性(4)	已更正端点		± 1		LSB
INL	积分非线性	已更正端点		± 2		LSB
交流特性						
SNR	信噪比	2KHz (A-weighted)			95	dB
THD	总谐波失真	1kHz, 200KSPS			74	dB
SFDR	无杂散动态范围	1kHz, 200KSPS			80	dB
PSRR	电源抑制比(5)	LOAD=50pF @1KHz			-70	dB

(1) 除非另外注明，典型值是在 $V_{REFHI} = 3.3V$ 和 $V_{REFLO} = 0V$ 时测得的。在 $V_{REFHI} = 2.5V$ 和 $V_{REFLO} = 0V$ 条件下对最小值和最大值进行测试或表征。

(2) 每个有源 Buffered DAC 模块。

(3) 增益误差是在线性输出范围内计算得出。

(4) DAC 输出是单调输出。

(5) $V_{REFHI} = 3.2V$, $V_{DDA} = 3.3V DC + 100mV$ 正弦。

(6) 稳定在 3LSB 以内。

注意：VDAC 引脚必须保持低于 $V_{DDA} + 0.3V$ ，以确保正常运行。如果 VDAC 引脚超过此电平，可能会激活阻塞电路，并且 VDAC 的内部值可能会在内部浮动至 0V，从而导致 DAC 输出不正确。

注意：VREFHI 引脚必须保持低于 $V_{DDA} + 0.3V$ ，以确保正常工作。如果 VREFHI 引脚超过此电平，可能会激活阻塞电路，并且 VREFHI 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确。

5.8.5 比较器子系统(CMPSS)

每个CMPSS包含两个比较器，两个12位参考DAC，两个数字滤波器和一个斜坡发生器。每个模块内的比较器用“H”或“L”表示，其中“H”和“L”分别表示高和低。每个比较器产生一个数字输出，表示正输入端的电压是否大于负输入端的电压。比较器的正输入可以由外部引脚。负输入可以由外部引脚或可编程参考12位DAC来驱动。每个比较器输出通过一个可编程的数字滤波器，可以剔除虚假的跳闸信号。如果不需要过滤，也可以使用未经过滤的输出。斜坡发生器电路可选择控制子系统中高比较器的12位DAC参考值。每个CMPSS模块有两个输出。这两个输出经过数字滤波器和Cross-bar模块再连接到 ePWM 模块或GPIO引脚。

CMPSS 连接如图 5-13 所示。

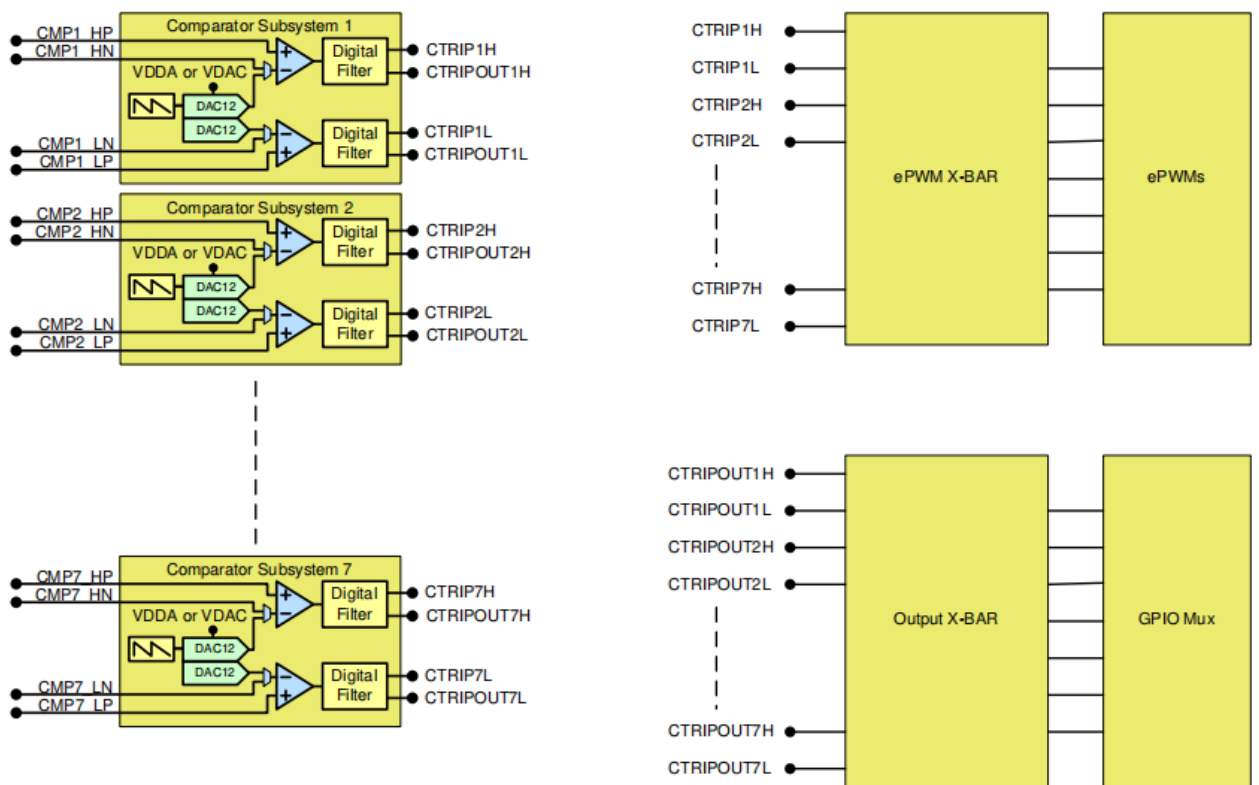


图 5-13 CMPSS 连接

注：并非所有封装都具有所有CMPSS引脚。请参阅模拟引脚和内部连接表。

5.8.5.1 CMPSS 电气数据与时序

第5.8.5.1.1节列出了比较器的电气特性。图5-14显示了CMPSS比较器输入参考偏移。图5-15显示了CMPSS比较器的滞后特性。

5.8.5.1.1比较器电气特性

参数	测试条件	最小值	典型值	最大值	单位
TPU Power-up time				500	us
Comparator input (CMPINxx) range		0		VDDA	V
Hysteresis ⁽¹⁾	1X		12		LSB
	2X		24		LSB
	3X		36		LSB
	4X		48		LSB
响应时间（从CMPINx输入变化到ePWM X-BAR或输出X-BAR的输出延迟）。	阶跃响应		18	60	ns

(1) CMPSS DAC 被用作参考来确定应用多少滞后。因此，滞后将与 CMPSS DAC 参考电压成比例变化。滞后适用于所有比较器输入源配置。

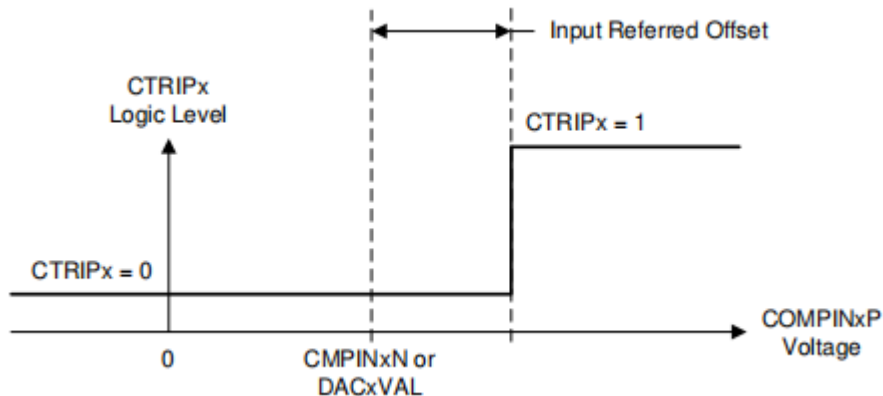


图5-14 CMPSS 比较器输入参考偏移

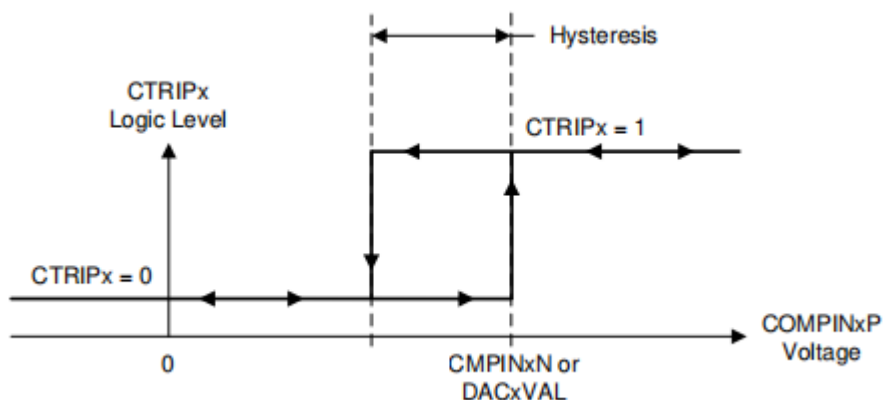


图5-15 CMPSS 比较器滞后

5.9 控制外设

5.9.1 增强型捕获(eCAP)

1 类增强型捕捉(eCAP) 模块用于注重外部事件精确时序的系统。

eCAP 模块的应用包括：

- 旋转机械的速度测量(例如，通过霍尔传感器感应齿状链轮)
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性：

- 4事件时间戳寄存器(每个32位)
- 边缘极性选择，最多选择四个序列时间戳捕获事件
- 四个事件中的任何一个发生时的CPU中断
- 独立的DMA触发器
- 多达4个事件时间戳的单脉冲捕捉
- 在一个4深循环缓冲区中连续捕获时间戳的模式
- 绝对时间戳采集
- 差分(Δ)模式时间戳采集
- 128:1输入多路复用器
- 事件预分频器
- 当未用于捕获模式时，eCAP模块可配置为单通道PWM输出。

1 类 eCAP的捕捉功能通过0类 eCAP 得到增强，增加了以下特性：

- 事件过滤器复位位
 - 向ECCTL2[CTRFILTRESET]写入1将清零事件滤波器、模计数器和任何挂起的中断标志。

这对于初始化和调试很有用。

- 模数计数器状态位。

– 模数计数器(ECCTL2[MODCTRSTS]) 指示接下来将加载哪个捕捉寄存器。在0类eCAP中，
无法知道模数计数器的当前状态。

- DMA触发源

- eCAPxDMA被添加为一个DMA触发器。CEVT[1–4]可以配置为eCAPxDMA的源。

- 输入多路复用器

- ECCTL0[INPUTSEL]选择128个输入信号之一。

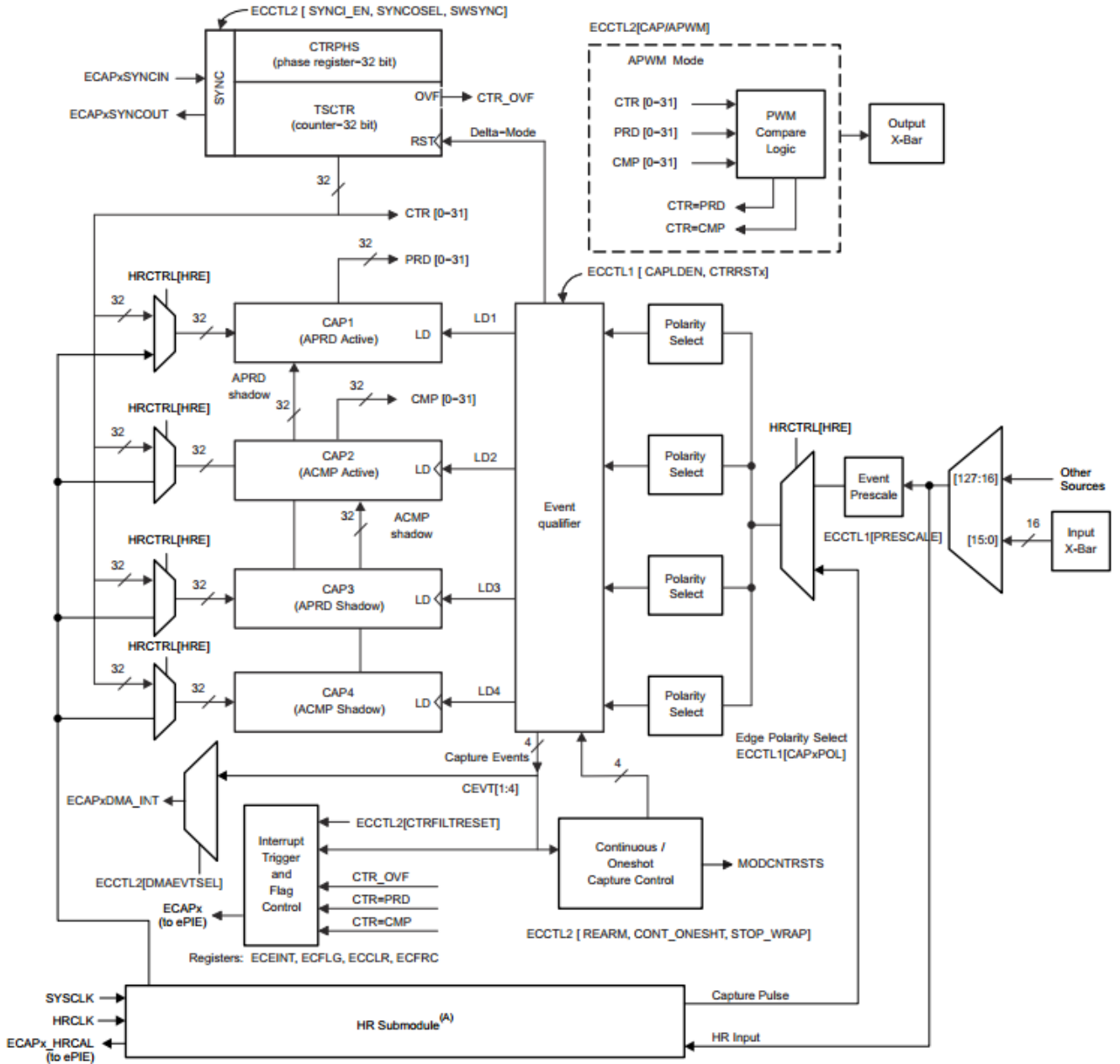
- EALLOW保护

- EALLOW保护已添加到关键寄存器。

输入X-BAR必须用于将器件输入引脚连接到模块。输出X-BAR必须用于将输出信号连接到OUTPUTXBARx输出位置。请参阅节6.4.3和节6.4.4。

图 5-16 显示了eCAP方框图。





A. HRCAP子模块并非在所有eCAP模块上都可用；在这种情况下，高分辨率多路复用器和硬件未被执行。

图 5- 16. eCAP 方框图

5.9.1.1 eCAP电气数据和时序

节 5.9.1.1.1 列出了eCAP时序要求。 节 5.9.1.1.2列出了eCAP 关特性。

5.9.1.1.1 eCAP时序要求

表 5-23. eCAP 时序要求

参数		最小值	标准值	最大值	单位
tw(CAP)	采集输入脉冲宽度				ns
	异步	2tc(SCO)			
	同步	2tc(SCO)			
	带输入限定器	1tc(SCO) + tw_(QSW)			

5.9.1.1.2 eCAP开关特性

理论设计指标（除非另作说明）

表 5-24. eCAP开关特性

参数	最小值	典型值	最大值	单位
tw(APWM)	20			ns

5.9.2 高分辨率捕捉子模块(HRCAP6–HRCAP7)

该器件最多包含两个高分辨率捕捉(HRCAP)子模块。HRCAP子模块可以测量与系统时钟异步的脉冲之间的时间差。该子模块是eCAP 1类模块新增的子模块，与0类HRCAP模块相比具有许多增强功能。

HRCAP的应用包括：

- 电容式触控应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/声纳测量和扫描
- 流量测量

HRCAP子模块包含以下特性：

- 在非高分辨率或高分辨率模式下进行脉宽捕捉

- 绝对模式脉宽捕捉
- 连续或“一次性”捕捉
- 在下降沿或上升沿捕捉
- 4 深度缓冲器中脉冲宽度的持续模式捕捉
- 通过硬件校准逻辑实现精密高分辨率捕捉
- 使用输入X-BAR的任何引脚上均可使用此列表中的所有资源。

HRCAP子模块包含一个高分辨率捕捉通道以及一个校准块。校准块允许HRCAP子模块在设定的时间间隔内持续重新校准,不存在“中断时间”。由于HRCAP子模块现在使用与其相应eCAP相同的硬件,因此如果使用HRCAP,则相应的eCAP将不可用。

每个支持高分辨率的通道都具有以下独立的关键资源。

- 相应eCAP的所有硬件
- 高分辨率校准逻辑
- 专用校准中断

图 5-17 所示为HRCAP方框图

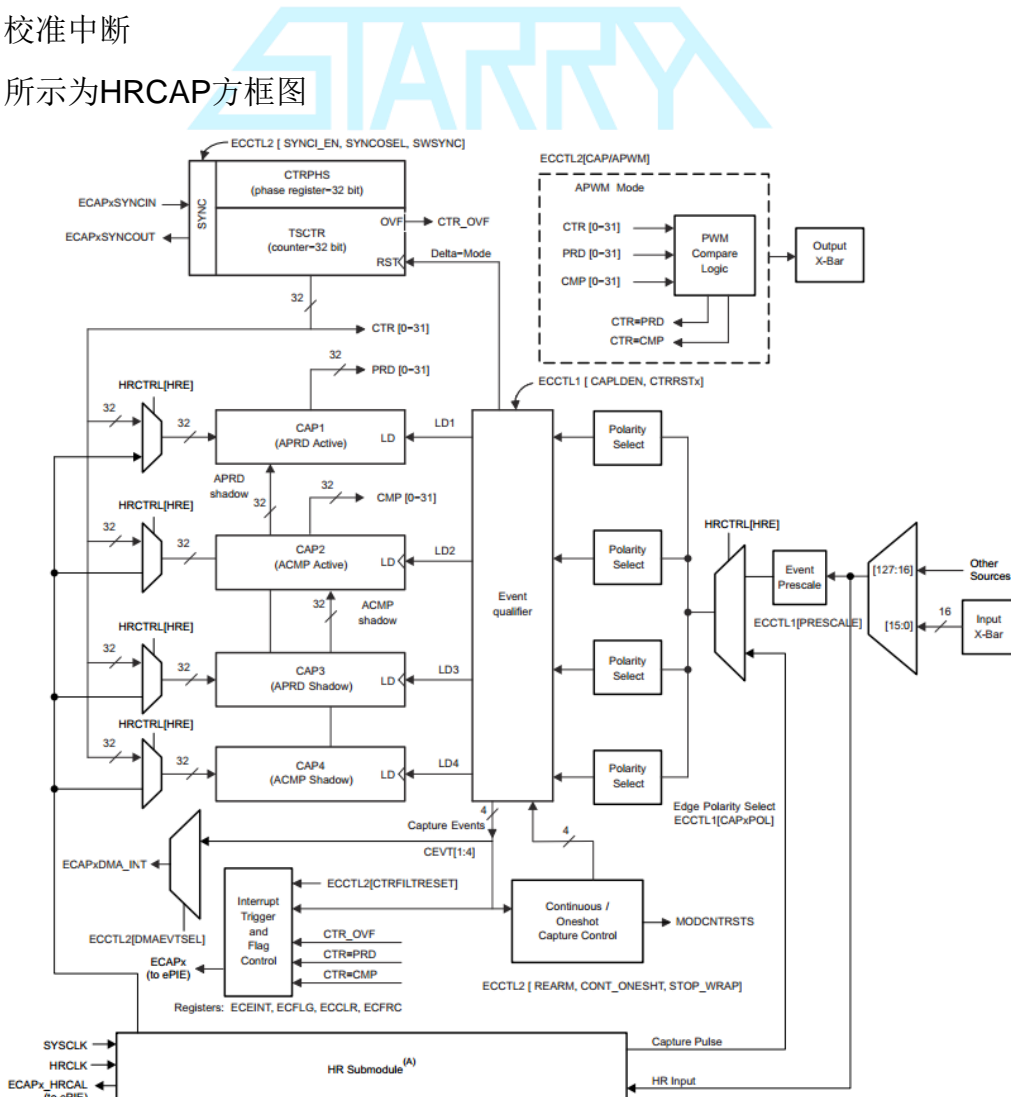


图 5- 17. HRCAP 方框图



A. HRCAP 子模块并非在所有eCAP模块上都可用；在这种情况下，不会使用高分辨率多路复用器和硬

5.9.2.1 HRCAP电气数据和时序

节5.9.2.1.1列出了HRCAP开关特性。图5-18所示为HRCAP精度和分辨率。图5-19所示为HRCAP标准偏差特性。

5.9.2.1.1 HRCAP开关特性

理论设计指标（除非另作说明）

表5-25. HRCAP开关特性

参数	测试条件	最小值	典型值	最大值	单位
输入脉冲宽度		110			ns
精度 (1) (2) (3) (4)	测量时长 $\leq 5\mu\text{s}$	± 390		540	ps
	测量时长 $> 5\mu\text{s}$	± 450		1450	ps
标准差					
分辨率		300			ps

(1) 使用100PPM的振荡器获得的值，振荡器精度直接影响HRCAP精度。

(2) 使用上升-上升沿或下降-下降沿完成测量。

(3) 由于VIH和VIL之间的差异，极性相反的边沿将进一步降低精度。这种影响取决于信号的压摆率。

(4) 精度仅适用于经过时间转换的测量。

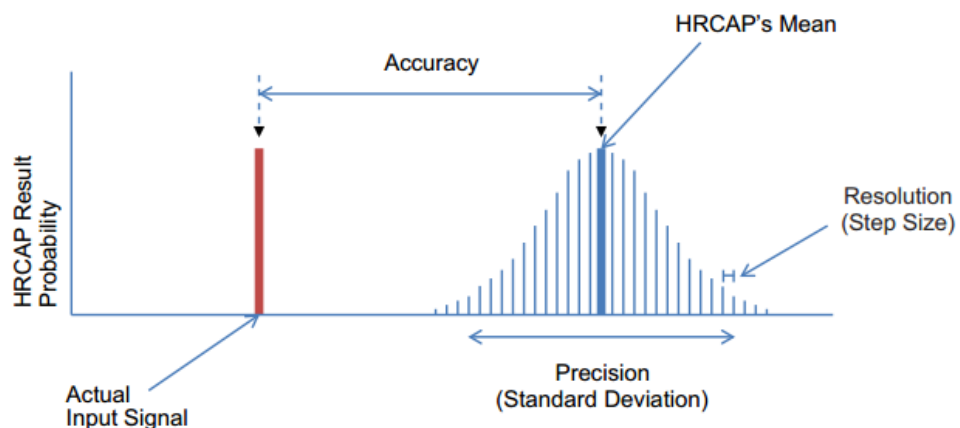


图 5-18. HRCAP 精度和分辨率

A. HRCAP在性能上有一些变化，其概率分布可以使用以下术语描述：

- Accuracy: 输入信号与HRCAP分布均值之间的时间差。
- Precision : HRCAP分布的宽度，以标准偏差的形式给出。
- 分辨率: 最小可测量增量。

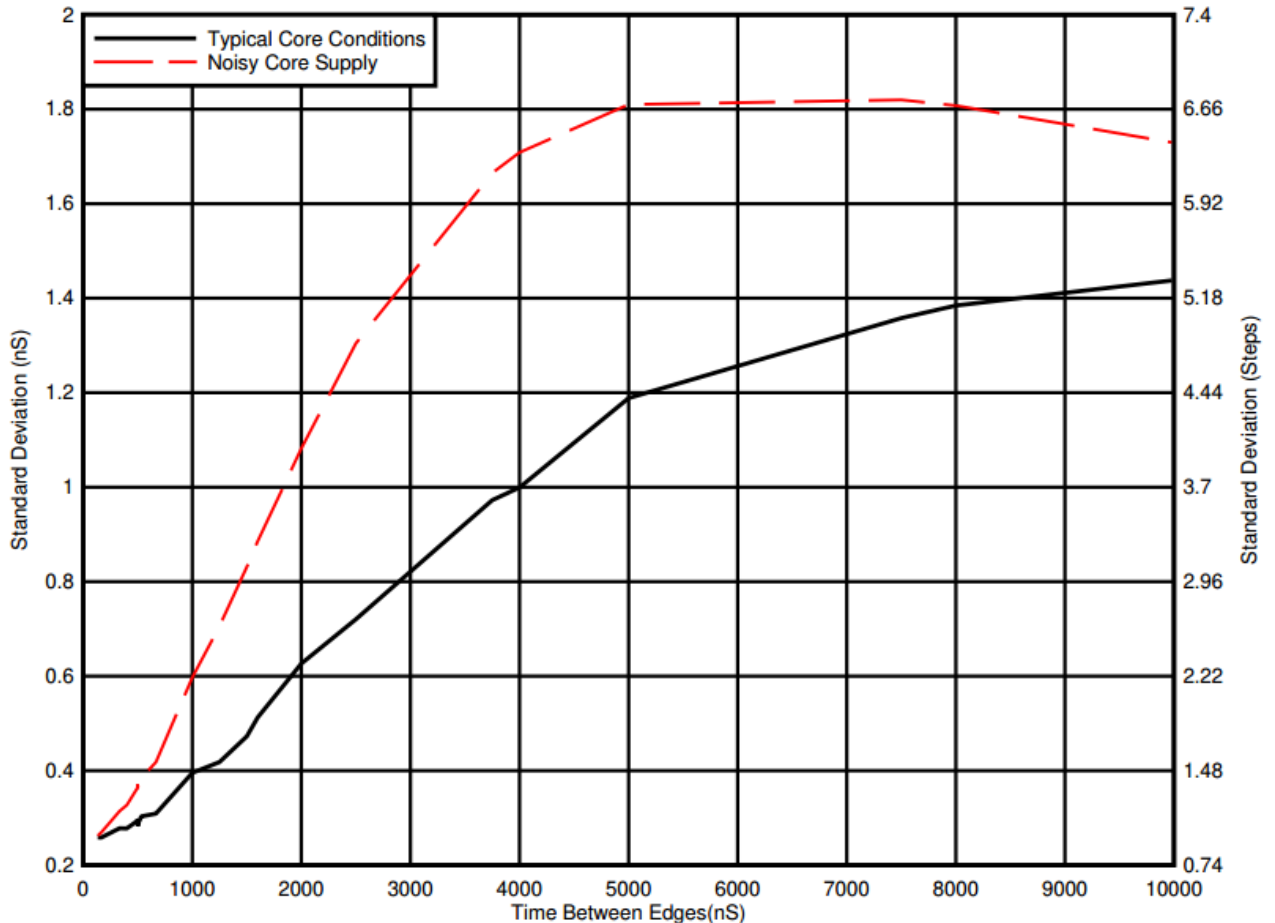


图 5-19 HRCAP 标准偏差特性

A. 典型的内核条件：所有外设时钟被启用。

B. 有噪声的内核电源：在测量期间，所有内核时钟都以一个固定周期启用和禁用。这会导致1.2V电源轨在测量期间出现18.5mA的摆幅。

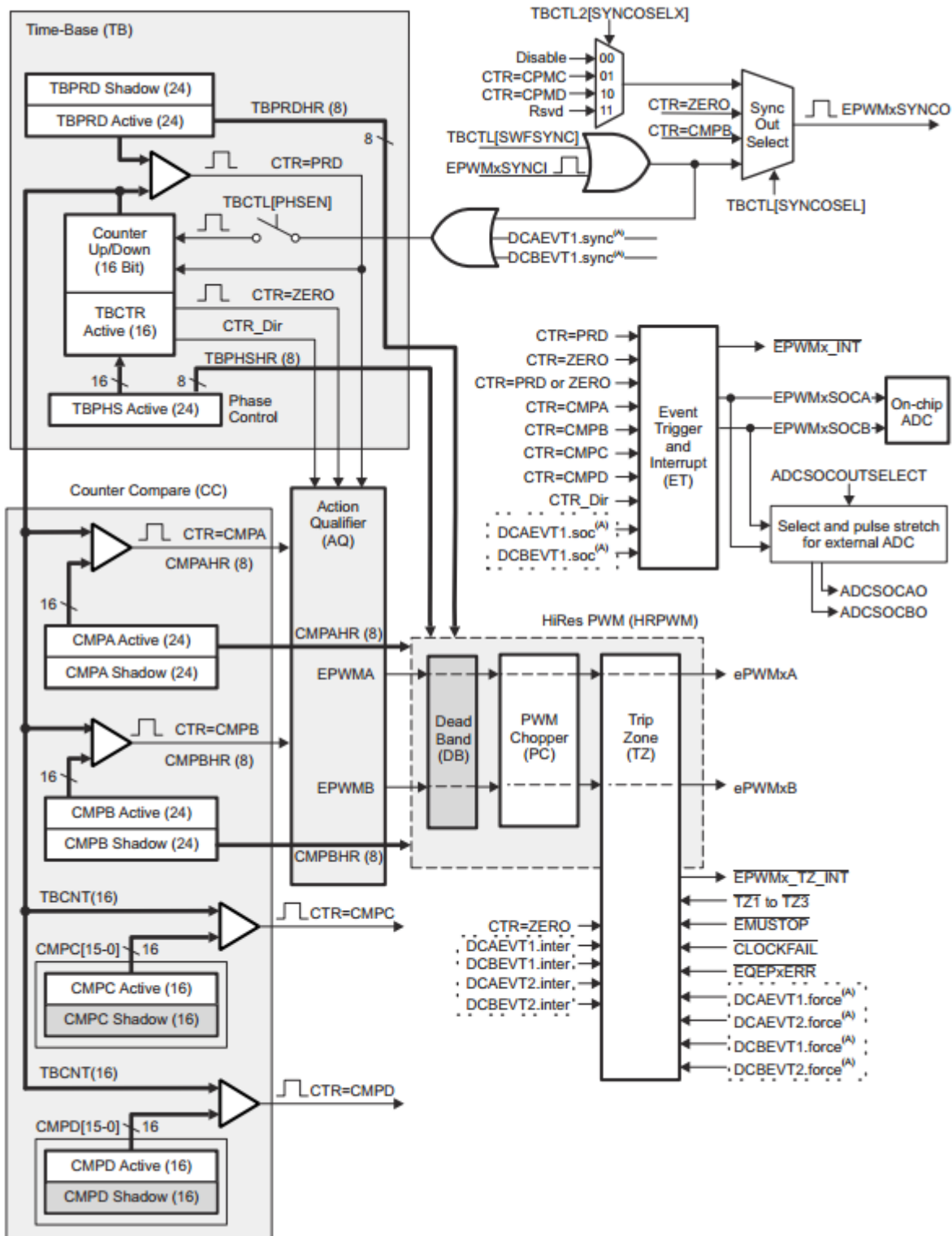
C. 1.2V电源轨上的电流和电压波动会导致HRCAP的标准偏差上升。应注意确保1.2V电源是清洁的，并且在使用HRCAP时已最大限度地减少了干扰性内部事件(例如启用和禁用时钟树)。

5.9.3 增强脉冲宽度调制(ePWM)

ePWM外设是许多商业和工业设备中电力电子系统控制的关键部分。ePWM模块能够以最小的CPU开销生成复杂的脉冲宽度波形，将具有独立资源的小模块构建为各个外设，并将这些资

源共同组成系统运行。ePWM模块的一些特性包括复杂波形生成、死区生成、灵活的同步配置、高级错误联防功能和全局寄存器重新加载功能。

ePWM 模块如图 5-20 所示。ePWM 错误联防输入连接如图 5-21 所示。



A. 根据TRIPIN输入的电平经过ePWM中的数字比较(DC)子模块生成的事件。

图 5-20. ePWM 子模块和关键内部信号连接

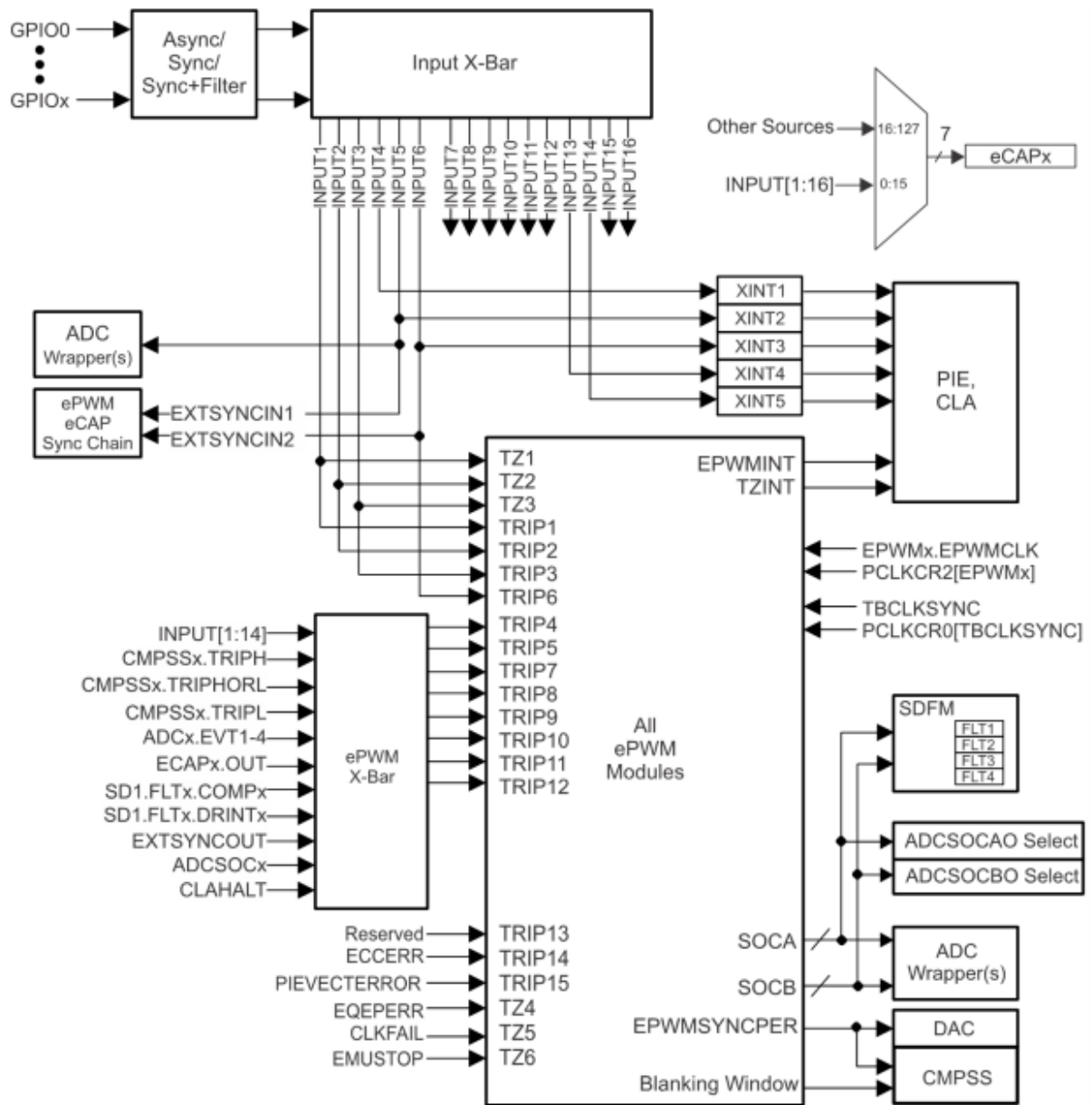


图 5-21. ePWM Trip Input Connectivity

5.9.3.1 控制外设同步

设备上的ePWM和eCAP同步配置在ePWM和eCAP模块时更灵活，并允许在模块内进行本地化同步。与其他外设一样，ePWM和eCAP模块的划分需要使用CPUSELx寄存器来完成。

同步配置如图 5-22 所示。

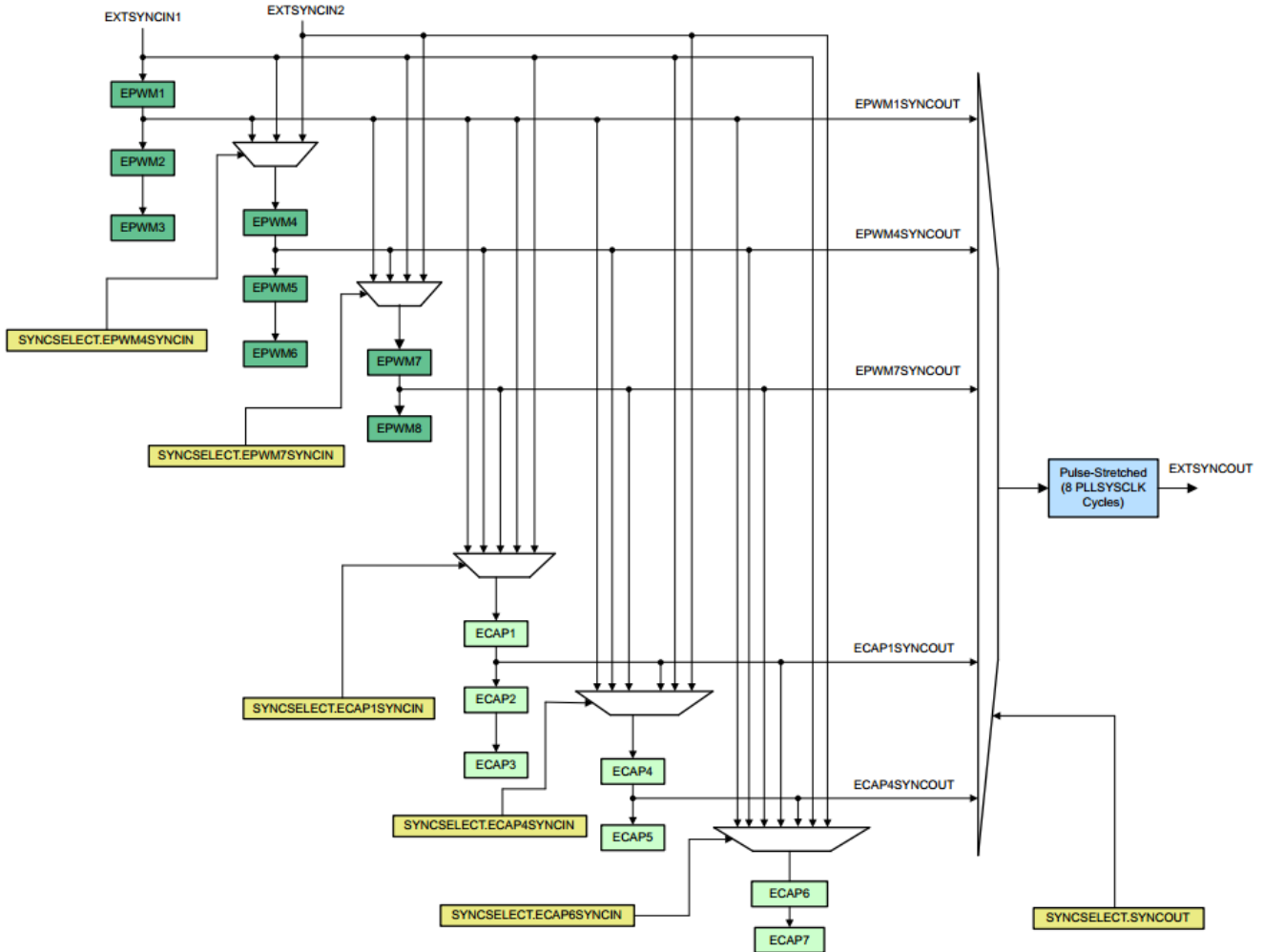


图 5-22. 同步链架构

5.9.3.2 ePWM电气数据和时序

第 5.10.3.2.1 节列出了ePWM时序要求，第 5.13.1.2.2 节列出了ePWM开关特性。

5.9.3.2.1 ePWM 时序要求

表 5-26. ePWM 时序要求

参数		最小值	最大值	单位
tw(SYNCIN)	同步输入脉冲宽度	异步	2tc(EPWMCLK)	cycles
		同步	2tc(EPWMCLK)	

		使用输入限定	$1t_c(\text{EPWMCLK}) + t_w(\text{IQSW})$	
--	--	--------	---	--

5.9.3.2.2 ePWM开关特性

超过推荐的运行条件（除注明外）

表 5-27. ePWM 开关特性

参数		最小值	最大值	单位
$t_w(\text{PWM})$	脉冲持续时间, PWMx输出高/低	12.5		ns
$t_w(\text{SYNCOUT})$	同步输出脉冲宽度	$8t_c(\text{SYSCLK})$		cycles
$t_d(\text{TZ-PWM})$	延时时间, 跳闸输入使PWM强制高		25	ns
	延时时间, 跳闸输入使到PWM强制低			
	延时时间, 跳闸输入使PWM Hi-Z			

5.9.3.2.3 Trip-Zone 输入时序

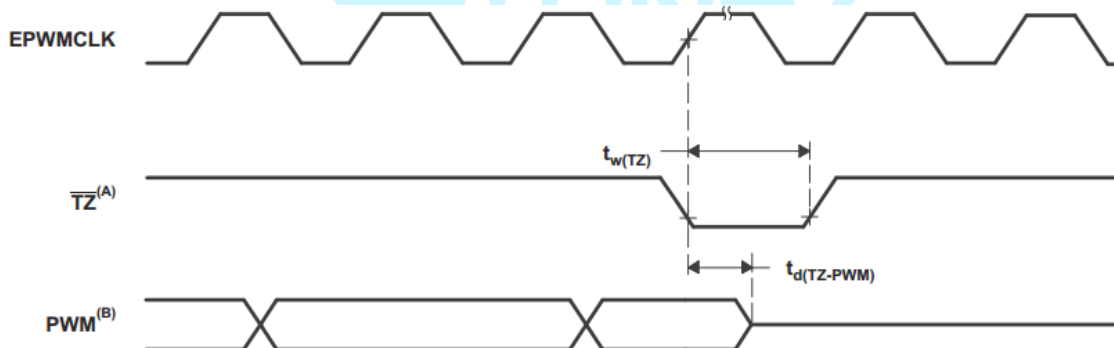


图 5-23. Trip-Zone 输入时序

(1) TZ: TZ1、TZ2、TZ3、TRIP1 至 TRIP12

(2) PWM指的是设备中所有的PWM引脚。TZ至高后PWM引脚的状态由PWM恢复软件恢复决定。

5.9.3.3 外部ADC转换脉冲开始的电气数据和时序

第 5.10.3.3.1 节列出了外部ADC转换开始的开关特性。ADCSOCAO或ADCSOCBO定时如图 5-24 所示。

5.9.3.3.1 外部ADC转换脉冲开始的开关特性

超出建议的运行条件(除非另有说明)

表 5-29.外部 ADC 转换脉冲开始的开关特性

参数		最小值	最大值	单位
$t_{W(ADCSOCL)}$	脉冲持续时间, ADCSOCxO 低	32tc(SYSCLK)		cycles

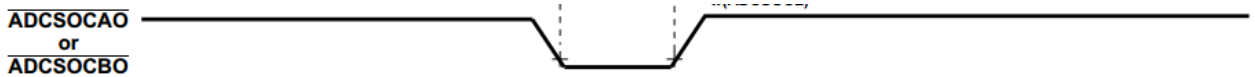


图 5-24. ADCSOCAO或ADCSOCBO时序



5.9.4 高分辨率脉冲宽度调制器(HRPWM)

HRPWM 将多个延迟线组合在一个模块中，并通过使用专用的校准延迟线简化校准系统。对于每个

ePWM 模块，有两个 HR 输出：

- 通道 A 的 HR 占空比与死区控制
- 通道 B 的 HR 占空比与死区控制

HRPWM 模块提供的 PWM 分辨率(时间间隔尺寸)明显优于使用传统的数字 PWM 方式所能实现的分辨率。

HRPWM 模块的关键点是：

- 显著提高了传统数字 PWM 的时间分辨率能力
- 此功能可用于单边缘(占空比和相移控制)以及频率/周期调制的双边缘控制。
- 通过对 ePWM 模块的 Compare A, B 相位，周期和死区寄存器的扩展功能，可以控制更细的时间粒度控制或边缘定位。

注意：HRPWM 允许的最低 HRPWMCLK 频率为 60 MHz。

5.9.4.1 HRPWM 电气数据和时序

第 5.10.4.1.1 节列出了高分辨率 PWM 开关特性。

5.9.4.1.1 高分辨率 PWM 特性

表 5-30.高分辨率 PWM 特性

参数	最差值	典型值	最好值	单位
微边缘 (MEP) 定位步长 ⁽¹⁾ (TC=46P WC=82P BC=29P)	60.5	45		ps

(1) 在 VDD 上，MEP 步长在高温和最低电压时最大。MEP 步长随温度升高、电压降低而增大，随温度降低、电压升高而减小。应用程序根据 HRPWM 特性应使用 MEP 比例因子优化器 (SFO) 估算软件功能。

(2) 当 HRPWM 工作时，SFO 函数会协助动态估算每个 SYSCLK 周期的 MEP 步数。

5.9.5 增强型正交编码器脉冲(eQEP)

eQEP接口直接与线性或旋转增量编码器接口，从高性能运动和位置控制系统的旋转机器中获取位置、方向和速度信息。

eQEP 外设包括以下主要功能单元(如图 5-25所示):

- 每个引脚均可编程输入(部分 GPIO MUX)
- 正交解码单元(QDU)
- 位置计数器和位置测量控制单元(PCCU)
- 用于低速测量的正交边缘捕获单元(QCAP)
- 测量速度/频率的单位时基(UTIME)
- 检测档位的看门狗定时器(QWDOG)
- 正交模式适配器(QMA)

5.9.5.1 eQEP电气数据和时序

第 5.10.4.1.1 节列出了 eQEP 时序要求，第 5.10.4.1.2 节列出了 eQEP 切换特性。

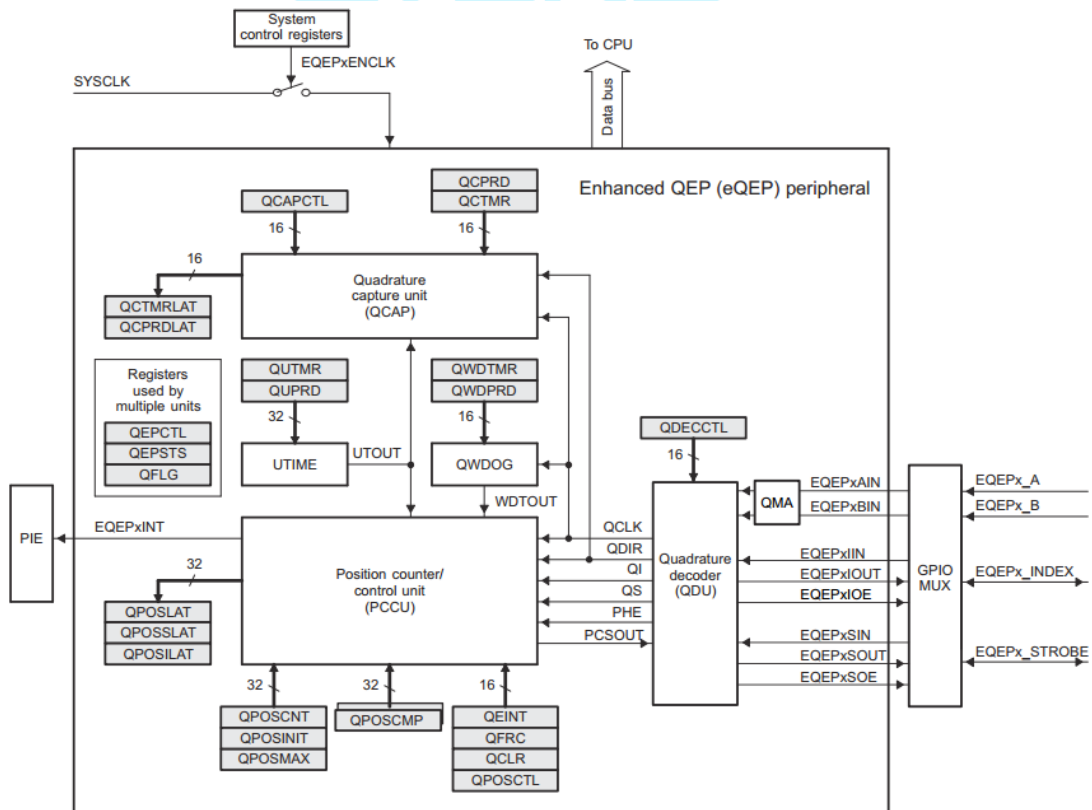


图 5-25. eQEP 框图

5.9.5.1.1 eQEP时序要求

表 5-31. eQEP时序要求

参数		最小值	最大值	单位
tw(QEPP)	QEP输入周期	同步 ⁽¹⁾	$2t_c(\text{SYSCLK})$	cycles
		与输入限定同步	$2[1t_c(\text{SYSCLK}) + t_w(\text{IQSW})]$	
tw(INDEXH)	QEP Index Input High time 索引高输入时间	同步 ⁽¹⁾	$2t_c(\text{SYSCLK})$	cycles
		与输入限定同步	$2t_c(\text{SYSCLK}) + t_w(\text{IQSW})$	
tw(INDEXL)	QEP Index Input Low time 索引低输入时间	同步 ⁽¹⁾	$2t_c(\text{SYSCLK})$	cycles
		与输入限定同步	$2t_c(\text{SYSCLK}) + t_w(\text{IQSW})$	
tw(STROBH)	QEP Strobe input High time 闪烁高输入时间	同步 ⁽¹⁾	$2t_c(\text{SYSCLK})$	cycles
		与输入限定同步	$2t_c(\text{SYSCLK}) + t_w(\text{IQSW})$	
tw(STROBL)	QEP Strobe Input Low time 闪烁低输入时间	同步 ⁽¹⁾	$2t_c(\text{SYSCLK})$	cycles
		与输入限定同步	$2t_c(\text{SYSCLK}) + t_w(\text{IQSW})$	

(1)GPIO GPxQSELn异步模式不应该用于eQEP模块的输入引脚。

5.9.5.1.2 eQEP 开关特性

理论设计指标（除非另作说明）

表 5-32. eQEP开关特性

参数		最小值	最大值	单位
td(CNTR)xin	延迟时间，外部时钟计数器增量		$5t_c(\text{SYSCLK})$	cycles
td(PCS-OUT)QEP	延迟时间，QEP 输入边沿到位置比较同步输出		$7t_c(\text{SYSCLK})$	cycles

5.9.6 Σ - Δ 滤波器模块(SDFM)

SDFM是一种四通道数字滤波器，专为电机控制应用中的电流测量和旋转变压器位置解码而设计。每个通道都可以接收独立的 Σ - Δ 调制位流。位流由四个独立可编程的数字抽取滤波器进行处理。该滤波器组包括快速比较器，用于过流和欠流监测进行即时数字阈值比较。

SDFM特性包括：

- 每个SDFM模块8个外部引脚
 - 每个SDFM模块4个 Σ - Δ 数据输入引脚(SDx_D1-4)
 - 每个SDFM模块4个 Σ - Δ 时钟输入引脚(SDx_C1-4)
- 4种不同的可配置调制器时钟模式：
 - 模式0：调制器时钟速率等于调制器数据速率
 - 模式1：调制器时钟速率为调制器数据速率的一半
 - 模式2：调制器数据为曼彻斯特编码。不需要调制器时钟。
 - 模式3：调制器时钟速率为调制器数据速率的两倍
- 每个SDFM模块4个独立的可配置次级滤波器(比较器)单元：
 - 提供4个不同的滤波器类型选择(Sinc1/Sinc2/Sincfast/Sinc3)选项
 - 能够检测超值、低值和过零条件
 - 比较器滤波器单元的OSR值(COSR)可编程为1至32
- 每个SDFM模块4个独立的可配置初级滤波器(数据滤波器)单元：
 - 提供4个不同的滤波器类型选择(Sinc1/Sinc2/Sincfast/Sinc3)选项
 - 数据滤波器单元的OSR值(DOSR)可编程为1至256
 - 能够启用独立的滤波器模块
 - 可利用主滤波器使能(MFE)位或PWM信号使SDFM模块的所有4个独立滤波器实现同步
- 数据滤波器单元具有可编程FIFO来减少中断开销。FIFO具有以下特性：
 - 初级滤波器(数据滤波器)具有16深x32位FIFO
 - 在达到可编程数量的数据就绪事件后中断CPU
 - FIFO等待同步功能：能够忽略数据就绪事件，直至接收到PWM同步信号(SDSYNC)。一旦接收到SDSYNC事件，就会在每个数据就绪事件时填充FIFO
 - 数据滤波器输出可以用16位或32位表示

- 可根据每个数据滤波器通道将PWMx.SOCA/SOCB配置为SDSYNC源
- 可使用PWM为 $\Delta\Sigma$ 调制器生成调制器时钟

备注

应注意避免在SDx_Cy输入端出现噪声。如果不满足最小脉冲宽度要求(例如, 通过噪声干扰), 则SDFM结果可能会变为不明状态。

图 5-26 所示为SDFM方框图。

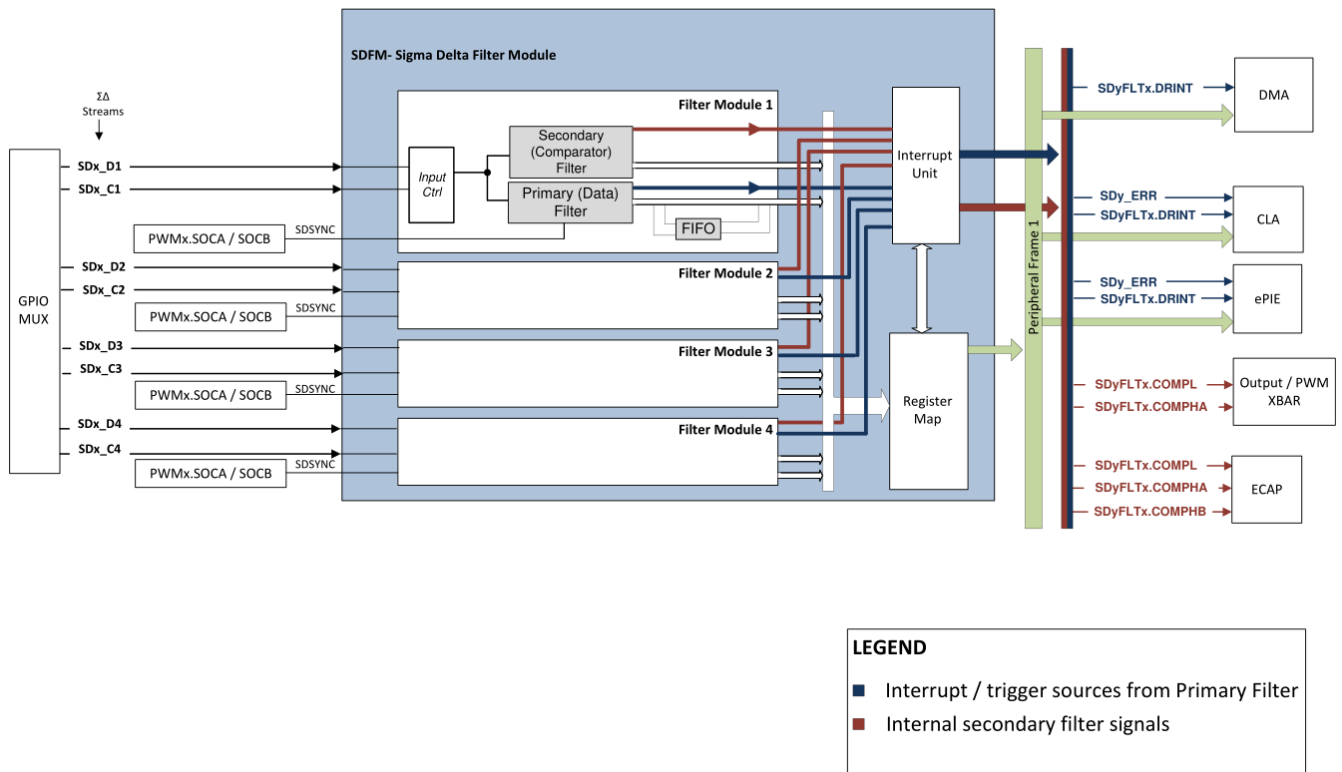


图 5-26. SDFM 方框图

5.9.6.1 SDFM电气数据和时序

通过设置GPyQSELn = 0b11来定义具有异步GPIO的SDFM操作。节5.9.6.1.1列出了使用异步GPIO(ASYNC)选项时的SDFM时序要求。图5-27、图5-28、图5-29和图5-30 所示为SDFM时序图。

5.9.6.1.1 使用异步GPIO(ASYNC) 选项时的SDFM时序要求

理论设计指标 (除非另作说明)

表 5-33. 异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式0				
t_c (SDC)M0	周期时间, SDx_Cy	40	256个SYSCLK周期	ns
t_w (SDCH)M0	脉冲持续时间, SDx_Cy 高电平	10	t_c (SDC)M0 - 10	ns
t_{su} (SDDV-SDCH)M0	SDx_Cy变为高电平之前SDx_Dy有效的设置时间	5		ns
t_h (SDCH-SDD)M0	SDx_Cy变为高电平之后SDx_Dy等待的保持时间	5		ns
模式1				
t_c (SDC)M1	周期时间, SDx_Cy	80	56个SYSCLK周期	ns
t_w (SDCH)M1	脉冲持续时间, SDx_Cy高电平	10	t_c (SDC)M1 - 10	ns
t_{su} (SDDV-SDCL)M1 间	SDx_Cy 变为低电平之前SDx_Dy有效的设置时	5		ns
t_{su} (SDDV-SDCH)M1 间	SDx_Cy 变为高电平之前SDx_Dy有效的设置时	5		ns
t_h (SDCL-SDD)M1 间	SDx_Cy 变为低电平之后SDx_Dy等待的保持时	5		ns
t_h (SDCH-SDD)M1 间	SDx_Cy 变为高电平之后SDx_Dy等待的保持时	5		ns
模式2				
t_c (SDD)M2	周期时间, SDx_Dy	5个 t_c (SYSCLK)	15个 t_c (SYSCLK)	ns
t_w (SDDH)M2	脉冲持续时间, SDx_Dy高电平	10		ns
t_w (SDD_LONG_KEEPOUT) M2	SDx_Dy 长脉冲持续保留时间, 其中长脉冲不得落入所列出的最小值或最大值内。 长脉冲被定义为高或低脉冲, 其是曼彻斯特位时钟周期的完整宽度。 对于8到20之间的任何整数, 都必须满足此要求。	$(N * t_c(\text{SYSCLK})) - 0.5$ $t_c(\text{SYSCLK}) + 0.5$	$(N * t_c(\text{SYSCLK})) - 0.5$ $t_c(\text{SYSCLK}) + 0.5$	ns

$t_w(\text{SDD_SHORT})\text{ M2}$	用于高或低脉冲的SDx_Dy短脉冲持续时间 (SDD_SHORT_H或SDD_SHORT_L)。 短脉冲定义为高或低脉冲，其是曼彻斯特位时钟周期的一半宽度。	$t_w(\text{SDD_LONG})/2 - t_c(\text{SYSCLK}) + t_c(\text{SYSCLK})$	$t_w(\text{SDD_LONG})/2$	ns
$t_w(\text{SDD_LONG_DUTY})\text{ M2}$	SDx_Dy 长脉冲变化 (SDD_LONG_H - SDD_LONG_L)	$- t_c(\text{SYSCLK})$	$t_c(\text{SYSCLK})$	ns
$t_w(\text{SDD_SHORT_DUTY})\text{ M2}$	SDx_Dy 短脉冲变化 (SDD_SHORT_H - SDD_SHORT_L)	$- t_c(\text{SYSCLK})$	$t_c(\text{SYSCLK})$	ns
模式3				
$t_c(\text{SDC})\text{ M3}$	周期时间, SDx_Cy	40	256 SYSCLK周期	ns
$t_w(\text{SDCH})\text{ M3}$	脉冲持续时间, SDx_Cy 高电平	10	$t_c(\text{SDC})\text{ M3} - 5$	ns
$t_{su}(\text{SDDV-SDCH})\text{ M3}$	SDx_Cy变为高电平之前SDx_Dy有效的设置时间	5		ns
$t_h(\text{SDCH-SDD})\text{ M3}$	SDx_Cy变为高电平之后SDx_Dy等待的保持时间	5		ns

5.9.6.1.2 SDFM 时序图

注：当没有GPIO输入同步时,SDFM时钟输入(SDx_Cy引脚) 直接对SDFM模块进行计时。这些输入端的任何干扰或振铃噪声都会破坏SDFM模块的运行。应对这些信号采取特殊的预防措施，以确保满足SDFM时序要求的干净且无噪声的信号。建议采取预防措施，例如对时钟驱动器的任何阻抗不匹配而导致的振铃进行串联终止，以及将走线与其他噪声信号隔离开来。

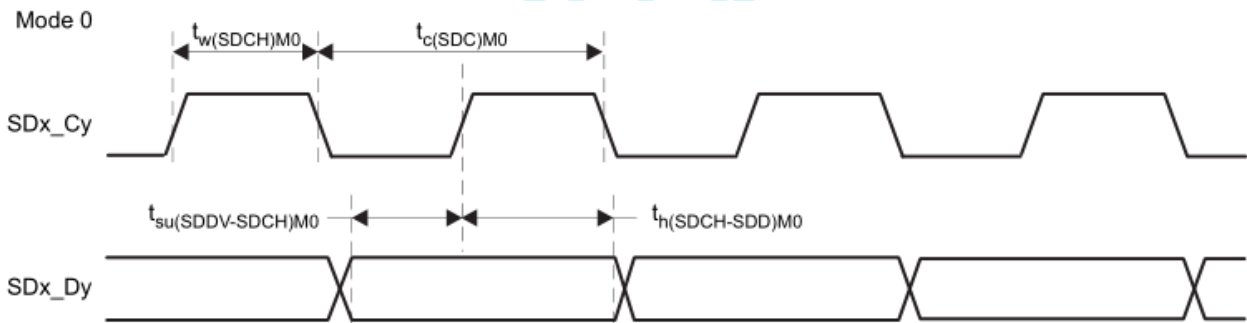


图 5- 27. SDFM 时序图 - 模式0

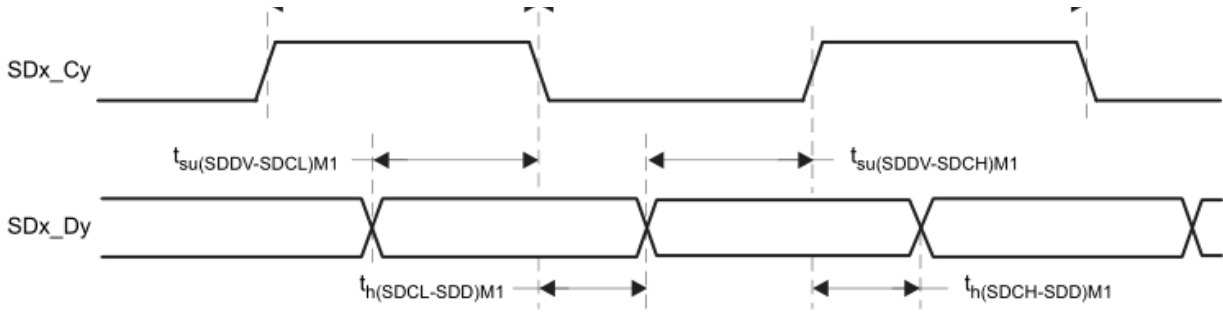
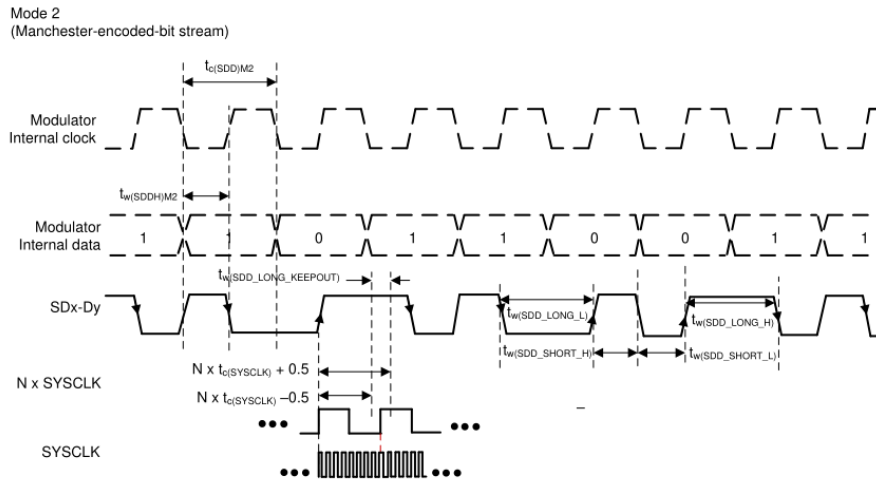
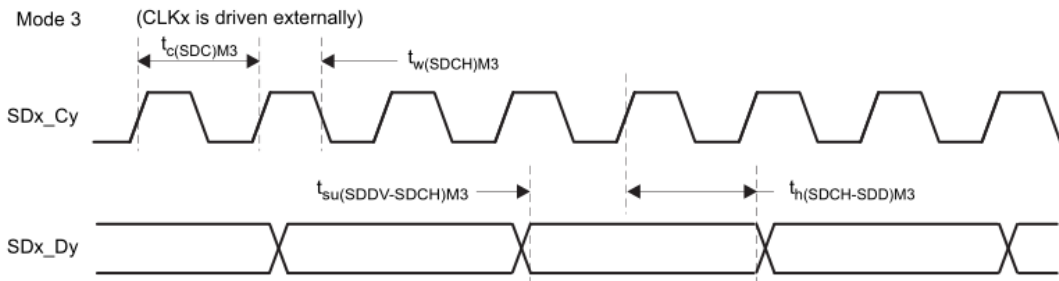


图 5-28. SDFM 时序图 - 模式1



5-29. SDFM 时序图 - 模式 2



5-30. SDFM 时序图 - 模式 3

5.9.6.2 SDFM电气数据和时序（同步GPIO）

通过设置GPyQSELn = 0b00来定义具有同步GPIO的SDFM操作。使用这种同步GPIO模式时，必须满足tw(GPI)脉冲持续时间至少为2tc(SYSCLK)的时序要求为SD-Cx和SD-Dx对配置SYNC选项非常重要。节 5.9.6.2.1 列出了使用异步GPIO (SYNC)选项时的SDFM时序要求。

图5-27、图5-28、图5-29和图5-30所示为SDFM时序图。

5.9.6.2.1 使用同步GPIO(SYNC)选项时的SDFM时序要求

理论设计指标（除非另作说明）

表 5-34. 同步 GPIO (SYNC)选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间, SDx_Cy	5个SYSCLK 周期	256个SYSCLK 周期	ns
$t_w(SDCHL)M0$	脉冲持续时间, SDx_Cy 高电平/低电平	2个SYSCLK周期	3个 SYSCLK周期	ns
$t_{su}(SDDV-SDCH)M0$	SDx_Cy变为高电平之前SDx_Dy有效的设置时间	2个SYSCLK周期		ns
$t_h(SDCH-SDD)M0$	SDx_Cy变为高电平之后SDx_Dy等待的保持时间	2个SYSCLK周期		ns
模式1				
$t_{c(SDC)M1}$	周期时间, SDx_Cy	10个SYSCLK周期	256个SYSCLK 周期	ns
$t_w(SDCHL)M1$	脉冲持续时间, SDx_Cy 高电平/低电平	2个SYSCLK周期	8个SYSCLK周期	ns
$t_{su}(SDDV-SDCL)M1$	SDx_Cy 变为低电平之前 SDx_Dy 有效的设置时间	2个 SYSCLK周期		ns
$t_{su}(SDDV-SDCH)M1$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2个 SYSCLK周期		ns
$t_h(SDCL-SDD)M1$	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	2个 SYSCLK周期		ns
$t_h(SDCH-SDD)M1$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2个SYSCLK周期		ns
模式2				
$t_{c(SDD)M2}$	周期时间, SDx_Dy	选项不可用		
$t_w(SDDH)M2$	脉冲持续时间, SDx_Dy 高电平			
模式3				
$t_{c(SDC)M3}$	周期时间, SDx_Cy	5个SYSCLK 周期	256个SYSCLK 周期	ns
$t_w(SDCHL)M3$	脉冲持续时间, SDx_Cy高电平/低电平	2个 SYSCLK周期	3个SYSCLK周期	ns
$t_{su}(SDDV-SDCH)M3$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2个 SYSCLK周期		ns
$t_h(SDCH-SDD)M3$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2个 SYSCLK周期		ns

注意：SDFM同步GPIO (SYNC) 选项可以防止SDFM模块因SDx_Cy引脚上偶尔随机产生的噪声干扰而损坏，这些噪声干扰可能导致错误的比较器跳闸和滤波器输出。

SDFM同步GPIO(SYNC)模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。



5.10 通信外设

5.10.1 控制局域网(CAN)

CAN 模块使用称为CAN FD的IP。本文档交替使用名称CAN和CAN FD来引用此外设。

CAN 模块实现了以下功能:

支持CAN规范

- CAN2.0B (最多支持8字节的有效载荷, 由Bosch参考模型进行验证)
- 可选支持CAN FD(最多支持64字节的有效载荷, 符合ISO 11898-1:2015或非ISO Bosch标准)

准)

- 自由可编程数据速率:
 - CAN 2.0B定义了高达1Mbit/s的数据速率
 - CAN FD受收发器和CAN-CTRL核心时钟频率限制
- 可编程波特率预分频器 (1至1/256)
- 接收缓冲区 (RB)
- 包含16个接收缓冲槽
 - 类似FIFO的行为
 - “未接受”或“错误”的接收消息不会覆盖已存储的消息
- 两个发送缓冲区
 - 一个主要发送缓冲区 (PTB)
 - 一个次要发送缓冲区 (STB)
- 包含16个发送缓冲槽
 - FIFO模式
 - 优先级仲裁模式
- 16组独立的接收过滤器
 - 支持11位标准ID和29位扩展ID
- 可编程ID CODE位以及MASK位
- 扩展特性
 - 单次发送模式 (适用于PTB和/或STB)
 - 静默模式
 - 回环模式 (内部和外部)
 - 收发器待机模式

- 扩展的状态和错误报告
 - 捕获最近发生的错误类型和仲裁丢失位置
 - 可编程的错误警告限制
- 可配置的中断源
- 时间戳：
 - ISO 11898-4具有部分硬件支持的时间触发CAN（当前暂未支持）
 - CiA 603时间戳（当前暂未支持）
- 兼容AUTOSAR
- 优化用于SAE J1939

CAN 模块框图如图 5-31 所示。

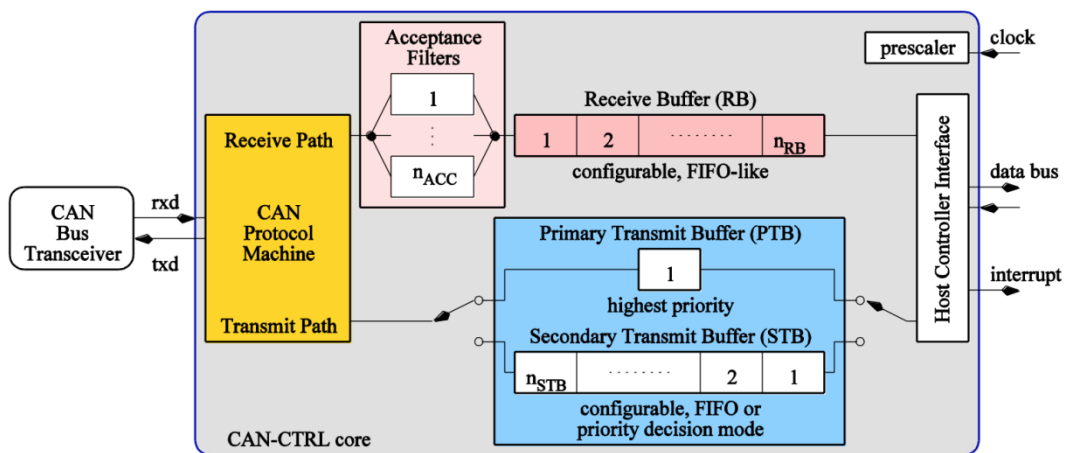


图 5- 31. CAN 框图

5.10.2 内置集成电路(I2C)

I2C 模块具有以下特点:

- 符合 NXP Semiconductor I2C 总线规范 (版本 2.1) :
 - 支持8位格式传输
 - 7位和10位寻址模式
 - 常规调用
 - START字节模式
 - 支持多个主发送器和从接收器
 - 支持多个从发送器和主接收器
 - 组合主器件发送/接收和接收/发送模式
 - 数据传输速率从10kbps到400kbps (快速模式)
- 一个16字节接收FIFO和一个16字节发送FIFO
- 支持两个ePIE中断
 - I2Cx中断 - 可以配置以下任何条件来生成I2Cx中断:
 - 发送就绪
 - 接收就绪
 - 寄存器访问就绪
 - 无确认
 - 仲裁丢失
 - 检测到停止条件
 - 被寻址为从器件
 - I2Cx_FIFO中断:
 - 发送FIFO中断
 - 接收FIFO中断
- 模块启用和禁用能力
- 自由数据格式模式

设备I2C外设模块接口如图 5-32 所示。

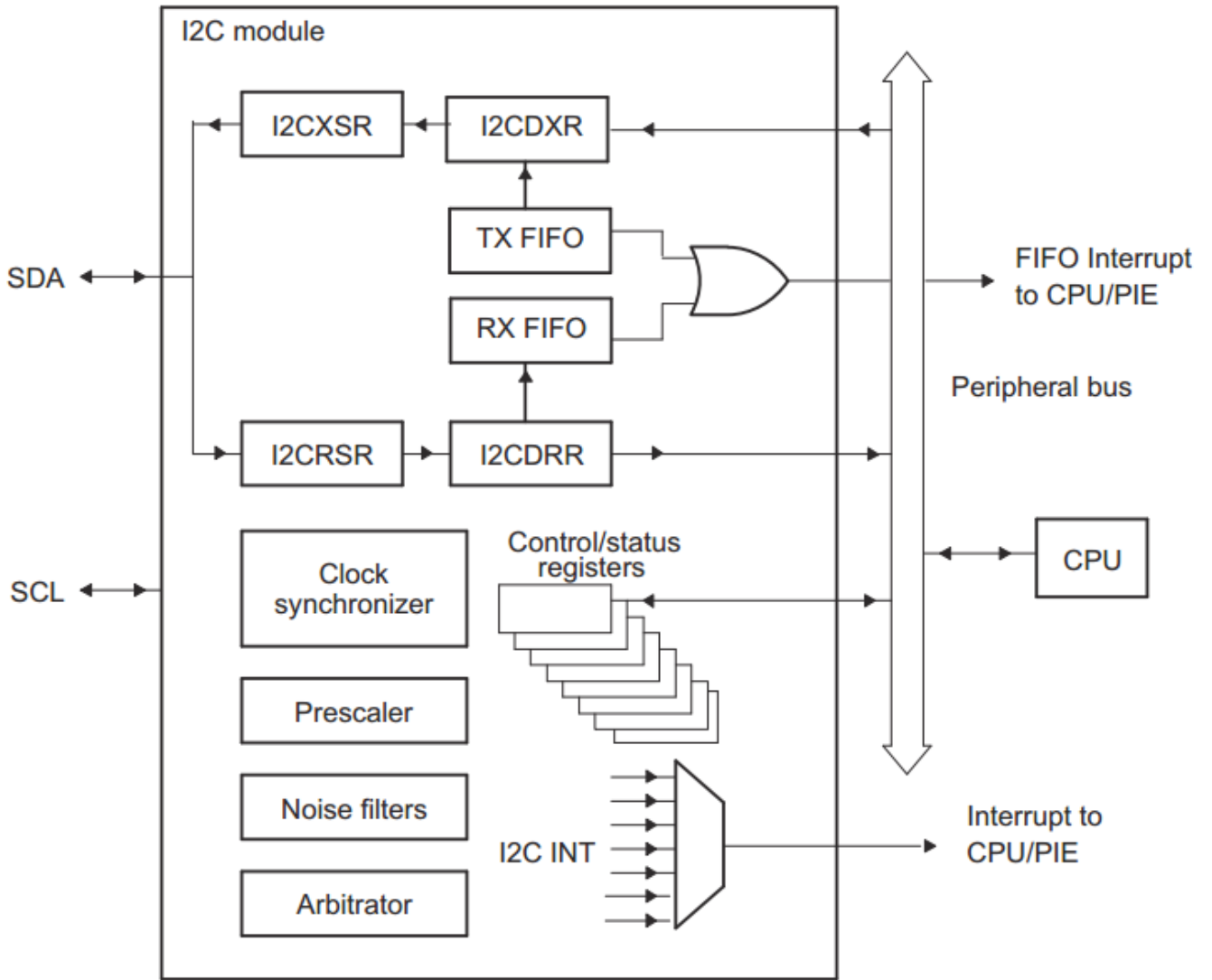


图 5- 32. I2C 外设模块接口

注意:为了满足所有I2C协议时序规范，I2C模块时钟必须配置在7MHz ~ 12MHz范围内。

5.10.2.1 I2C电气数据和时序

I2C定时要求请参见章节5.10.2.1.1。I2C开关特性请参见 5.10.2.1.2。I2C时序示意图如图5-33 所示。

5.10.2.1.1 I2C时序要求

表 5-35. I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间, 启动条件, SDA 下降后 SCL 下降延迟	4.0		μs
T2	$t_{su(SCL-SDA)START}$	设置时间, 重复启动, SDA 下降延迟之前 SCL 上升	4.0		μs
T3	$t_{h(SCL-DAT)}$	保持时间, SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间, SCL 上升前的数据	250		ns
T5	$t_r(SDA)$	上升时间, SDA		1000	ns
T6	$t_r(SCL)$	上升时间, SCL		1000	ns
T7	$t_f(SDA)$	下降时间, SDA		300	ns
T8	$t_f(SCL)$	下降时间, SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间, 停止条件, SDA 上升延迟之前 SCL 上升	4.0		μs
T10	$t_w(SP)$	将由滤波器抑制的尖峰脉冲持续时间	$t_c(CMCLK)$	$31*t_c(CMCLK)$	ns
T11	C_b	每条总线上的电容负载		400	pF
快速模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间, 启动条件, SDA 下降后 SCL 下降延迟	0.6		μs
T2	$t_{su(SCL-SDA)START}$	设置时间, 重复启动, SDA 下降延迟之前 SCL 上升	0.6		μs
T3	$t_{h(SCL-DAT)}$	保持时间, SCL 下降后的数据	0		μs

T4	t _{su} (DAT-SCL)	设置时间, SCL 上升前的数据	100		ns
T5	t _r (SDA)	上升时间, SDA	20	300	ns
T6	t _r (SCL)	上升时间, SCL	20	300	ns
T7	t _f (SDA)	下降时间, SDA	11.4	300	ns
T8	t _f (SCL)	下降时间, SCL	11.4	300	ns
编号			最小值	最大值	单位
T9	t _{su} (SCL-SDA)STOP	设置时间, 停止条件, SDA 上升延迟之前 SCL 上升	0.6		μs
T10	t _w (SP)	将由滤波器抑制的尖峰脉冲持续时间	t _c (CMCLK)	31*t _c (CMCLK)	ns
T11	C _b	每条总线上的电容负载		400	pF

5.10.2.1.2 I2C 开关特性

在推荐的工作条件下 (除非另有说明)

表 5-36. I2C 开关特性

编号	参数	测试条件	最小值	最大值	单位
标准模式					
S1	f _{SCL}	SCL 时钟频率	0	100	kHz
S2	T _{SCL}	SCL 时钟周期	10		μs
S3	t _w (SCLL)	脉冲持续时间, SCL时钟低电平	4.7		μs
S4	t _w (SCLH)	脉冲持续时间, SCL时钟高电平	4.0		μs
S5	t _{BUF}	停止和启动条件之间的总线空闲时间	4.7		μs
S6	t _v (SCL-DAT)	有效时间, SCL下降后的数据		3.45	μs
S7	t _v (SCL-ACK)	有效时间, SCL下降后的确认		3.45	μs
S8	I _I	引脚上的输入电流	0.1 V _{bus} < V _i < 0.9 V _{bus}	-10	10 μA
快速模式					

S1	f _{SCL}	SCL 时钟频率		0	400	kHz
S2	T _{SCL}	SCL 时钟周期		2.5		μs
S3	t _{w(SCLL)}	脉冲持续时间, SCL时钟低电平		1.3		μs
S4	t _{w(SCLH)}	脉冲持续时间, SCL时钟高电平		0.6		μs
S5	t _{BUF}	停止和启动条件之间的总线空闲时间		1.3		μs
S6	t _{v(SCL-DAT)}	有效时间, SCL下降后的数据		0.9		μs
S7	t _{v(SCL-ACK)}	有效时间, SCL下降后的确认		0.9		μs
S8	I _I	引脚上的输入电流	0.1 V _{bus} < V _i < 0.9 V _{bus}	-10	10	μA



5.10.2.1.3 I2C 时序图

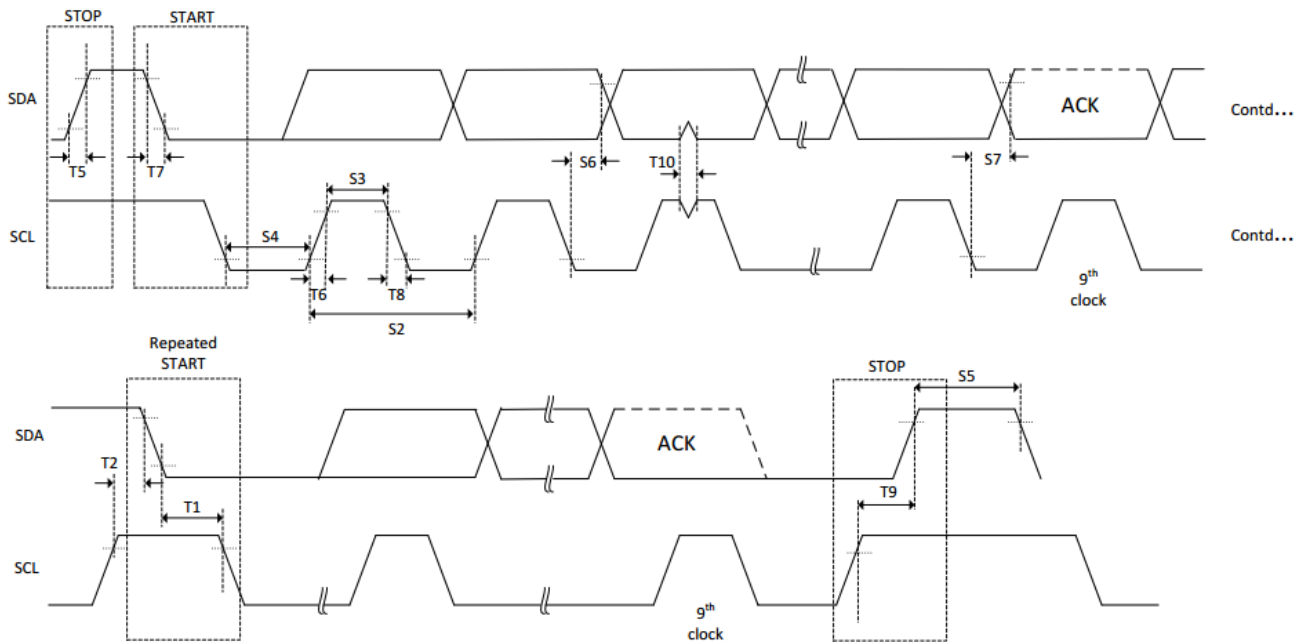


图 5-33. I2C 时序图

5.10.3 电源管理总线(PMBus)接口

PMBus 模块具有以下特点:

- 符合 SMI 论坛 PMBus 规范 (Part I v1.0 和 Part II v1.1)
- 支持主和从模式
- 支持 I2C 模式
- 支持两种速率
 - 标准模式: 最高达 100kHz
 - 快速模式: 400kHz
- 数据包错误检验
- 控制和警报信号
- 时钟高电平和低电平超时
- 4 字节发送和接收缓冲区
- 一个可屏蔽中断, 它可以由以下条件生成:
 - 接收数据就绪
 - 发送缓冲区为空
 - 从地址接收

- 报文结束
- ALERT输入提示
- 时钟低超时
- 时钟高超时
- 总线空闲

PMBus 模块框图如图 5-34 所示。

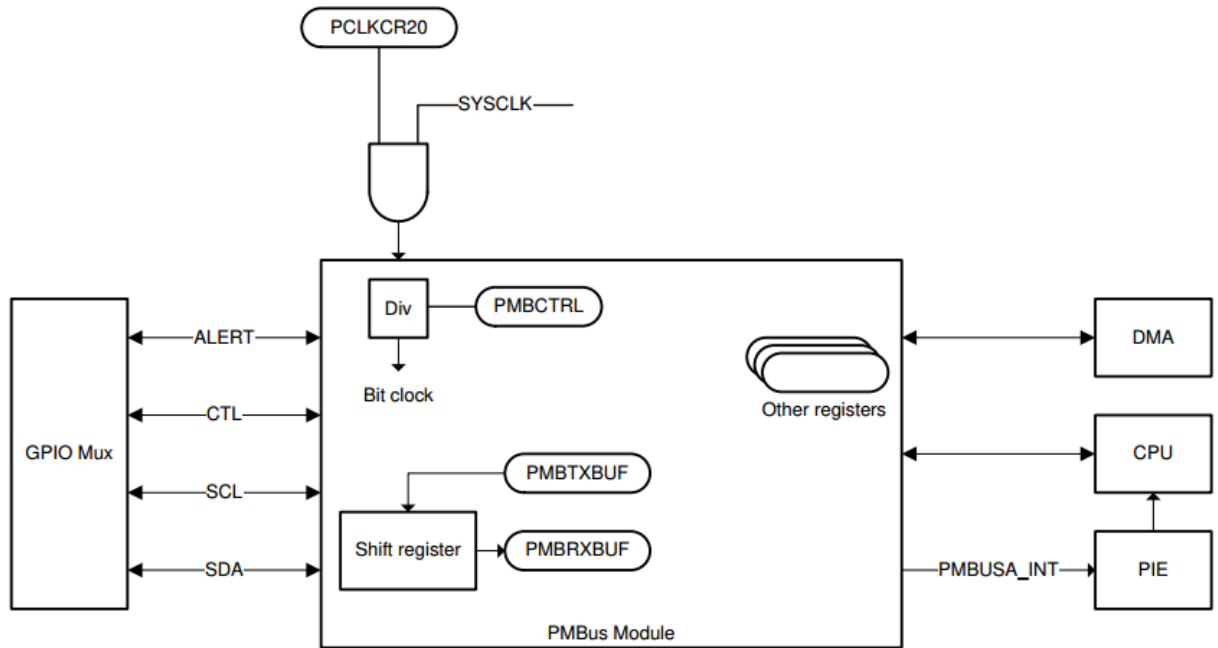


图 5-34. PMBus 框图

第 5.10.3.1.1 节列出了PMBus电气特性。章节 5.10.3.1.2 列出了PMBUS快速模式的开关特性。

章节 5.10.3.1.3 列出了PMBUS标准模式的开关特性。

5.10.3.1.1 PMBus 电气特性

在建议运行条件下测得（除非另有说明）

表 5- 37. PMBUS 电气特性

参数		测试条件	最小值	典型值	最大值	单位
V _{IL}	有效低电平输入电压				0.8	V
V _{IH}	有效高电平输入电压		2.1	VDDIO		V
V _{OL}	低电平输出电压	At I _{pullup} = 4 mA			0.4	V
I _{OL}	低电平输出电流	V _{OL} ≤ 0.4 V	4			mA
t _{SP}	输入滤波器必须抑制的脉冲宽度		0		50	ns
I _i	在每个引脚上输入漏电流	0.1 V _{bus} < V _i < 0.9 V _{bus}	-10		10	μA
C _i	每个引脚的电容				10	pF

5.10.3.1.2 PMBus 快速模式的开关特性

理论设计指标（除非另作说明）

参数		测试条件	最小值	典型值	最大值	单位
f _{SCL}	SCL时钟频率		10		400	kHz
t _{BUF}	在STOP和START之间的总线空闲时间		1.3			μs
t _{HD;STA}	START条件保持时间-- SDA fall to SCL fall delay SDA下降到 SCL下降的延迟		0.6			μs
t _{SU;STA}	重复START建立时间 -- SCL rise to SDA fall delay SCL上升到 SDA下降之间的延时		0.6			μs
t _{SU;STO}	STOP条件建立时间 -- SCL上升到SDA上升的延迟		0.6			μs
t _{HD;DAT}	在 SCL下降后的保持时间		300			ns
t _{SU;DAT}	在 SCL上升前的建立时间		100			ns

tTimeout	时钟低超时		25	35	ms
tLOW	低周期的SCL时钟		1.3		μs
tHIGH	高周期的SCL时钟		0.6	50	μs
tLOW;SEXT	累计时钟低延时间（从设备）	从START到STOP		25	ms
tLOW;MEXT	累计时钟低延时间（主设备）	每个字节内		10	ms
tr	SDA和SCL的上升时间	5% 至 95%	20	300	ns
tr	SDA和SCL的下降时间	95% 至 5%	20	300	ns

5.10.3.1.3 PMBus 标准模式的开关特性

理论设计指标（除非另作说明）

表 5- 39. PMBUS 标准模式开关特性

参数		测试条件	最小值	典型值	最大	单位
fSCL	SCL 时钟频率		10		100	kHz
tBUF	在 STOP和 START之间的总线空闲时间		4.7			μs
tHD;STA	START条件保持时间-- SDA fall to SCL fall delaySDA下降到 SCL下降的延迟		4			μs
tSU;STA	重复START建立时间 -- SCL rise to SDA fall delaySCL上升到 SDA下降之间的延时		4.7			μs
tSU;STO	STOP条件建立时间 -- SCL上升到 SDA上升的延迟		4			μs
tHD;DAT	在 SCL下降后的保持时间		300			ns
tSU;DAT	在 SCL上升前的建立时间		250			ns
tTimeout	时钟低超时		25		35	ms
tLOW	低周期的SCL时钟		4.7			μs

t _{HIGH}	高周期的SCL时钟		4	50	μs
t _{LOW;SEXT}	累计时钟低延时间（从设备）	从START至STOP		25	ms
t _{LOW;MEXT}	累计时钟低延时间（主设备）	每个字节内		10	ms
t _r	SDA和SCL的上升时间			1000	ns
t _f	SDA和SCL的下降时间			300	ns

5.10.4 串行通信接口(SCI)

SCI 是一种两线异步串行端口，通常称为UART。SCI模块支持CPU和其他使用标准非归零(NRZ)格式的异步外设的数字通信。SCI接收器和发射器都有一个16层的FIFO，可以减少CPU工作开销，每个都有单独的使能和中断位。可以独立进行半双工通信，或同时进行全双工通信。为了确定数据完整性，SCI检查接收到的数据是否有中断检查、奇偶校验、溢出和帧格式错误。通过16位寄存器修改可以编程不同的波特率速度。

SCI模块的特点包括:

两个外部引脚：（如果不用于SCI，则两个引脚都可以用作GPIO）

- SCITXD: SCI 发送输出引脚
- SCIRXD: SCI 接收输入引脚
- 波特率可编程到921600 不同的速率

- 数据字格式:

- 1 起始位
- 数据字长可编程从1到 8 位
- 可选偶数/奇数/无奇偶 校验位
- 1 或 2 个停止位

- 4 个错误检测标志:奇偶校验，溢出，帧格式和中断检测

- 半双工或全双工操作

- 双缓冲接收和发送功能

- 发射器和接收器操作可以通过带有状态标志的中断驱动或轮询算法来完成

- 发射器:TXRDY 标志(发射器-缓冲寄存器准备接收另一个字符 char)和TX_EMPTY标志(发射器-移位寄存器为空)

- 接收器:RXRDY 标志(接收缓冲区寄存器准备接收另一个字符 char), BRKDT 标志(中断条件发生), RX_ERROR 标志(监控四种中断条件)
- 独立的发射机和接收机的中断使能位(BRKDT除外)
- 16 级发送和接收 FIFO

注意: 此模块中的所有寄存器都是8位寄存器。当访问寄存器时, 寄存器数据位于低字节(位 7-0), 高字节(位 15-8)被读取为零。写入高字节没有效果。

SCI框图如图 5-35 所示。



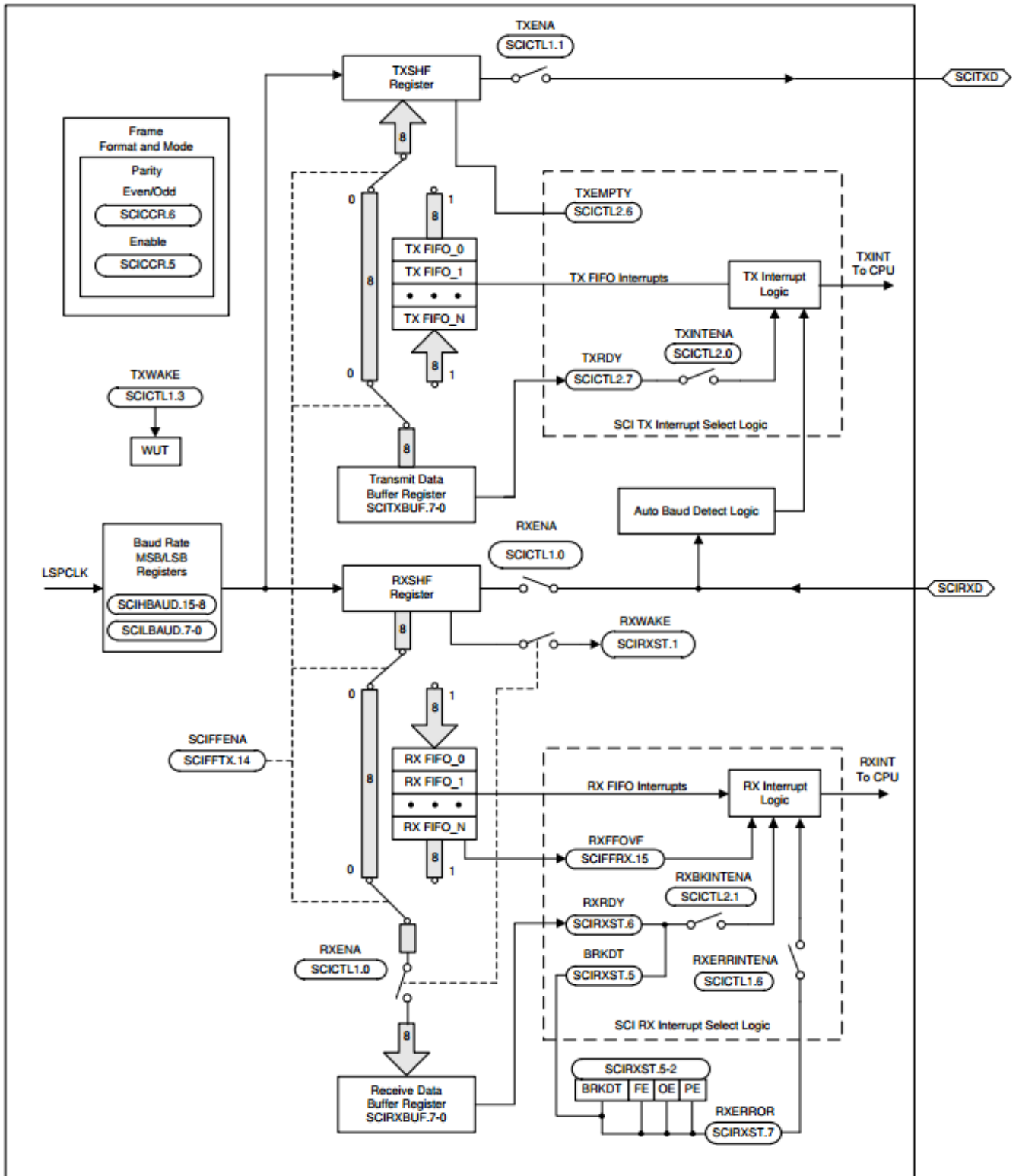


图 5-35. SCI 框图

5.10.5 串行外设接口(SPI)

串行外设接口(SPI)是一个高速同步串行输入和输出(I/O)端口, 允许一个可编程长度(4~32位)的串行比特流被移进和移出设备, 可根据配置的传输速率传输。SPI通常用于DSP控制器与外设或其他控制器之间的通信。典型的应用包括通过移位寄存器、显示驱动和模数转换器(ADC等)设备进行外部 I/O 或外围扩展。SPI的主或从运行支持多设备通信。支持8级收发FIFO, 可减少CPU工作开销。

SPI模块的特点包括:

- ADC中断和EVT信号SPISOMI: SPI从输出/主输入引脚
- SPISIMO: SPI从输入/主输出引脚
- SPSTE: SPI从传输使能引脚
- SPICLK: SPI 串行时钟引脚
- 两种操作模式:主和从
- 波特率:65530个不同的可编程速率。可用的最大波特率受限于SPI引脚上I/O缓冲区的最大速度。
- 数据字长:4 ~ 32 位
- 四种时钟策略(由时钟极性和时钟相位位控制)包括:
 - 无相位延迟下降沿: SPICLK 高电平有效。SPI在 SPICLK 信号的下降沿传输数据, 在 SPICLK 信号的上升沿接收数据。
 - 有相位延迟下降沿: SPICLK高电平有效。SPI在 SPICLK 信号下降沿前半个周期发送数据, 在 SPICLK 信号的下降沿接收数据。
 - 无相位延迟的上升沿: SPICLK低电平无效。SPI在 SPICLK 信号的上升沿发送数据, 在 SPICLK 信号的下降沿接收数据。
 - 有相位延迟的上升沿: SPICLK低电平无效。SPI在 SPICLK 信号上升沿前半个周期发送数据, 并在 SPICLK 信号上升沿接收数据。
- 同时进行收发操作(可在软件中禁用发送功能)
- 发送机和接收机操作通过中断驱动或轮询算法来完成
- 8 级发送/接收FIFO
- 支持 DMA
- 3-线SPI模式

SPI CPU 接口如图 5-36 所示。

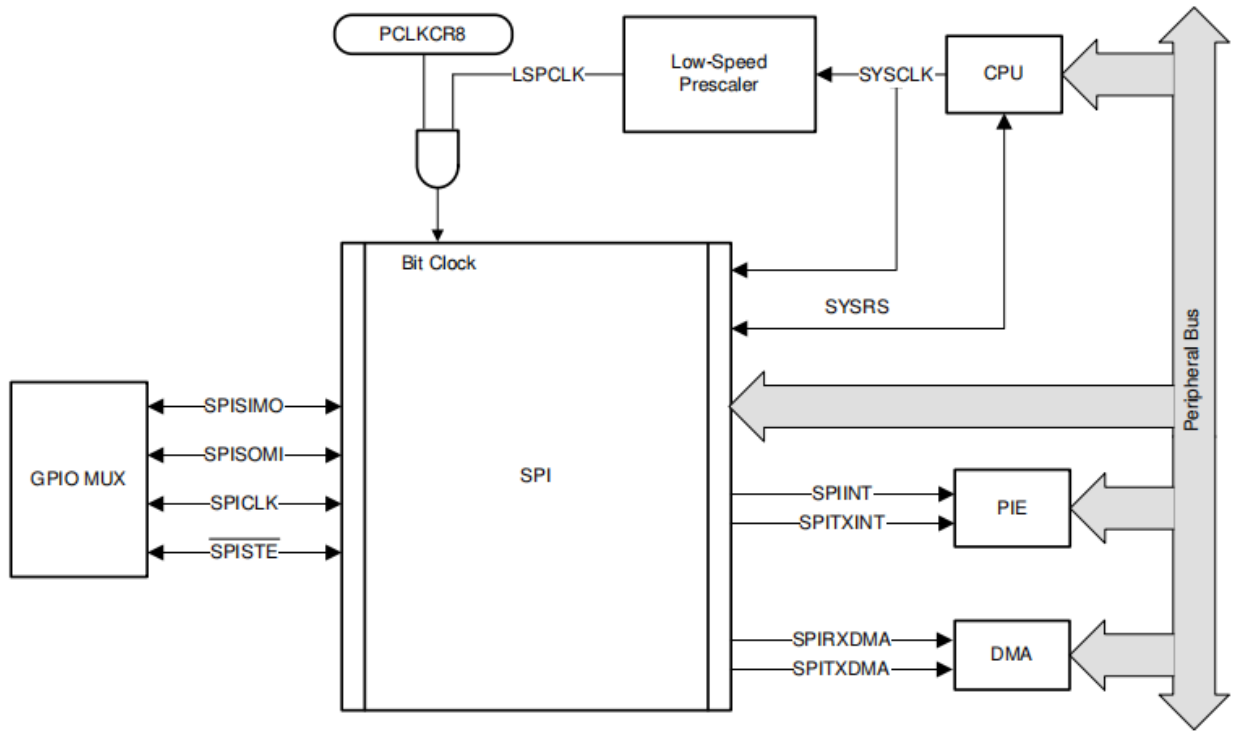


图 5-36. SPI CPU 接口

5.10.5.1 SPI 主模式时序

第 5.10.5.1.1 节列出了SPI主模式时序要求。

第 5.10.5.1.2 节列出了SPI主模式开关特性，其中时钟相位= 0。时钟相位为0的SPI主模式外部时序如图5-37所示。

第 5.10.5.1.3 节列出了时钟相位等于1的SPI主模式切换特性。时钟相位为1的SPI主模式外部时序如图5-38所示。

注意：SPI高速模式的所有定时参数在SPICLK、SPISIMO和SPISOMI上假定负载电容为5pf。

5.10.5.1.1 SPI主模式定时要求

表 5- 40. SPI 主模式定时要求

正常模式						
NO.	参数		(BRR + 1) ⁽¹⁾	最小值	最大值	单位
8	$t_{su(SOMI)M}$	建立时间, SPISOMI在SPICLK之前有效	偶数, 奇数	20		ns
9	$t_{h(SOMI)M}$	保持时间, SPISOMI在SPICLK之后有效	偶数, 奇数			ns

(1) 当(SPIBRR + 1)为偶数或 SPIBRR为0或2时, (BRR + 1)条件为偶数。当(SPIBRR + 1)为奇数且SPIBRR大于3时为奇数。

5.10.5.1.2 SPI 主模式开关特性(时钟相位= 0)

理论设计指标 (除非另作说明)

表 5-41. SPI 主模式开关特性(时钟相位= 0)

NO.	参数		(BRR + 1) ⁽¹⁾	最小值	最大值	单位
通用						
1	$t_c(SPC)M$	周期时间, SPICLK	偶数	$4t_c(LSPCLK)$	$128t_c(LSPCLK)$	ns
			奇数	$5t_c(LSPCLK)$	$127t_c(LSPCLK)$	
2	$t_w(SPC1)M$	脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_c(SPC)M - 3$	$0.5t_c(SPC)M + 3$	ns
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) - 3$	$0.5t_c(LSPCLK) + 3$	
3	$t_w(SPC2)M$	脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_c(SPC)M - 3$	$0.5t_c(SPC)M + 3$	ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$	$0.5t_c(LSPCLK) + 3$	
23	$t_d(SPC)M$	延迟时间, SPISTE到SPICLK有效	偶数	$1.5t_c(SPC)M - 3t_c(SYSCLK) - 3$		ns
			奇数	$1.5t_c(SPC)M - 3t_c(SYSCLK) - 3$		
24	$t_v(STE)M$	有效时间, SPICLK到SPISTE无效	偶数	$0.5t_c(SPC)M - 6$		ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$		

4	$t_d(SIMO)_M$	延迟时间, 在SPICLK到SPISIMO有效	偶数, 奇数	5	ns
5	$t_v(SIMO)_M$	有效时间, 在 SPICLK后 SPISIMO有效	偶数	$0.5t_c(SPC)_M - 6$	ns
			奇数	$0.5t_c(SPC)_M - 0.5t_c(LSPCLK) - 3$	

(1) 当(SPIBRR + 1)为偶数或 SPIBRR 为0或2时, (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且SPIBRR大于3时为奇数。

5.10.5.1.3 SPI主模式开关特性(时钟相位= 1)

理论设计指标 (除非另作说明)

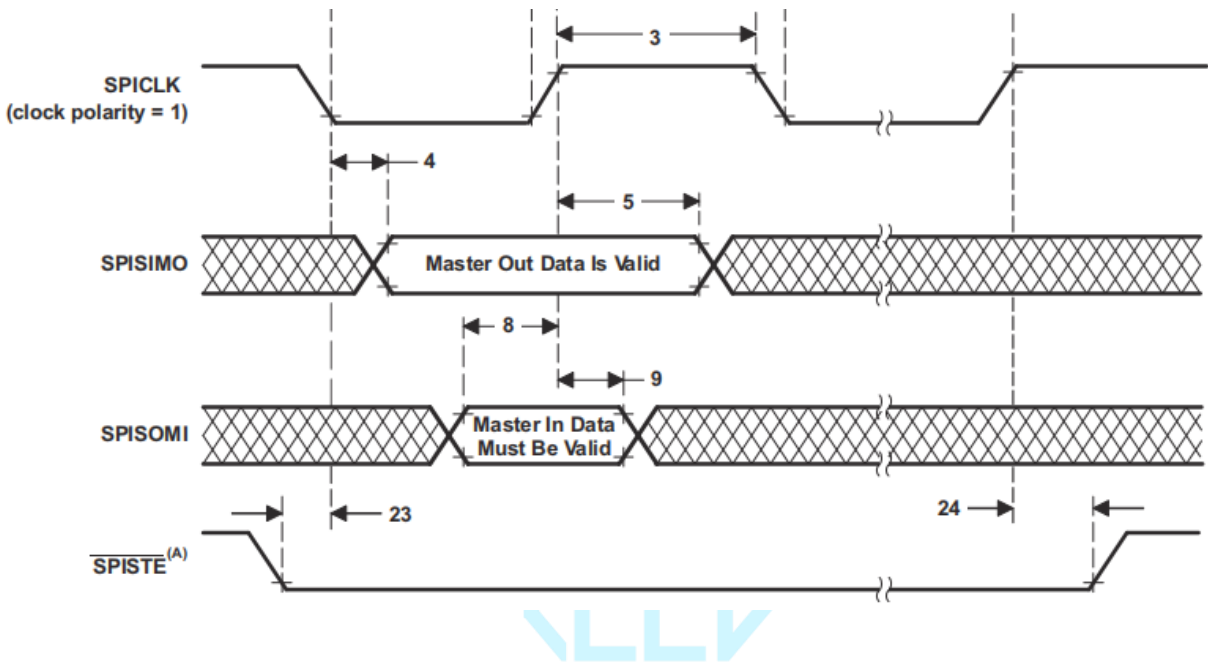
表 5- 42. SPI 主模式开关特性(时钟相位= 1)

NO.	参数	(BRR + 1)	最小	最大值	单位	
通用						
1	$t_c(SPC)_M$	周期时间, SPICLK	偶数	$4t_c(LSPCLK)$	$128t_c(LSPCLK)$	ns
			奇数	$5t_c(LSPCLK)$	$127t_c(LSPCLK)$	
2	$t_w(SPCH)_M$	脉冲持续时间, SPICLK,第一脉冲	偶数	$0.5t_c(SPC)_M - 3$	$0.5t_c(SPC)_M + 3$	ns
			奇数	$0.5t_c(LSPCLK) - 3$	$0.5t_c(SPC)_M - 0.5t_c(LSPCLK) + 3$	
3	$t_w(SPC2)_M$	脉冲持续时间, SPICLK,第二脉冲	偶数	$0.5t_c(SPC)_M - 3$	$0.5t_c(SPC)_M + 3$	ns
			奇数	$0.5t_c(SPC)_M + 0.5t_c(LSPCLK) - 3$	$0.5t_c(SPC)_M + 0.5t_c(LSPCLK) + 3$	
23	$t_d(SPC)_M$	延迟时间, SPISTE到SPICLK有效	偶数, 奇数	$2t_c(SPC)_M - 3t_c(SYSCLK) - 3$	ns	
24	$t_d(STE)_M$	延迟时间, SPICLK到SPISTE无效	偶数	$0.5t_c(SPC)_M - 6$	ns	
			奇数	$0.5t_c(SPC)_M - 0.5t_c(LSPCLK) - 1$		
4	$t_d(SIMO)_M$	延迟时间, SPISIMO到SPICLK为有	偶数	$0.5t_c(SPC)_M - 4$	ns	
			奇数	$0.5t_c(SPC)_M + 0.5t_c(LSPCLK) - 1$		

		效			
5	$t_{v(SIMO)M}$	有效时间, SPISIMO在SPICLK后	偶数	$0.5t_{c(SPC)M} - 6$	ns
		SPISIMO有效	奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	

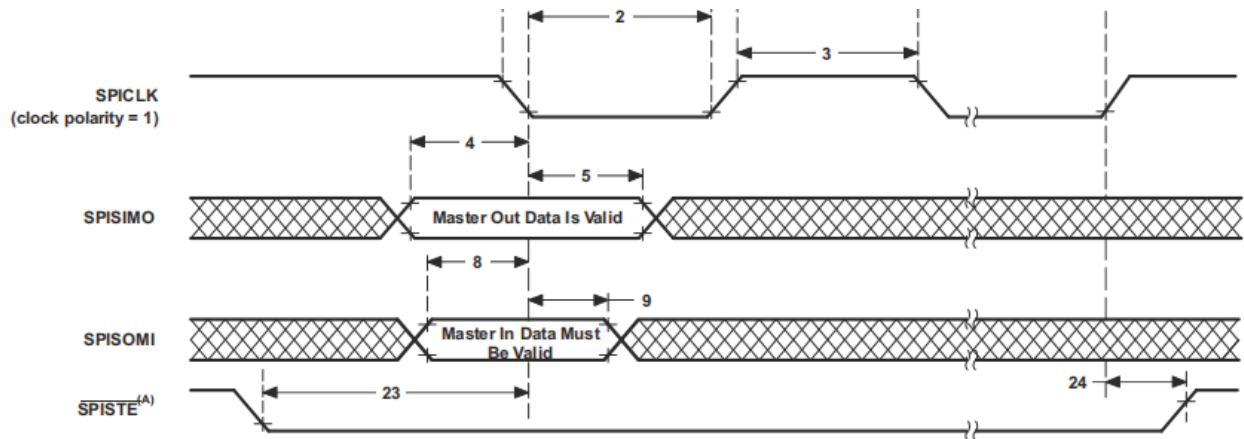
(1) 当(SPIBRR + 1)为偶数或 SPIBRR为0或2时, (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且SPIBRR大于3时为奇数。

5.10.5.1.4 SPI主模式时序图



A.在字段的尾端, 在FIFO和非FIFO模式下的除非连续发送字, \overline{SPISTE} 处于非活动状态。

图 5-37. 主模式外部时序(时钟相位 = 0)



A.在字的尾端，除了在FIFO和非FIFO模式下的背对背传输单词之间，SPISTE将处于非活动状态。

图 5- 38. SPI 主模式外部时序 (时钟相位 = 1)

5.10.5.2 SPI从模式时序

下面的部分包含 SPI从模式时序。

章节5.10.5.2.1列出了SPI从模式时序要求。章节5.10.5.2.2列出了SPI从模式开关特性.时钟相位为0的SPI从模式外部时序如图5-39所示。时钟相位为1的SPI从模式外部时序如图5-40所示。

5.10.5.2.1 SPI 从模式时序要求

表 5- 43. SPI 从模式时序要求

NO.	参数		最小值	最大值	单位
12	$t_{c(SPC)}S$	周期时间, SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)}S$	脉冲持续时间, SPICLK,第一脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)}S$	脉冲持续时间, SPICLK,第二脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)}S$	建立时间,在 SPICLK之前SPISIMO有效	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)}S$	保持时间,在 SPICLK 之后SPISIMO有效	$1.5t_{c(SYSCLK)}$		ns
		建立时间,在 SPICLK之前SPISTE有效(时钟相位= 0)	$2t_{c(SYSCLK)} + 2$		ns

25	$t_{su}(STE)S$	建立时间,在 SPICLK 之前SPISTE有效(时钟相位=1)	$2t_c(SYSCLK) + 22$	ns
26	$t_h(STE)S$	保持时间,在 SPICLK之后SPISTE无效	$1.5t_c(SYSCLK)$	ns

5.10.5.2.2 SPI 从模式开关特性

理论设计指标（除非另作说明）

表 5- 44. SPI 从模式开关特性

NO.	参数		最小值	最大值	单位
15	$t_d(SOMI)S$	延迟时间, SPICLK到SPISOMI有效		16	ns
16	$t_v(SOMI)S$	有效时间,在SPICLK之后SPISOMI有效	0		ns

5.10.5.2.3 SPI 从模式时序图

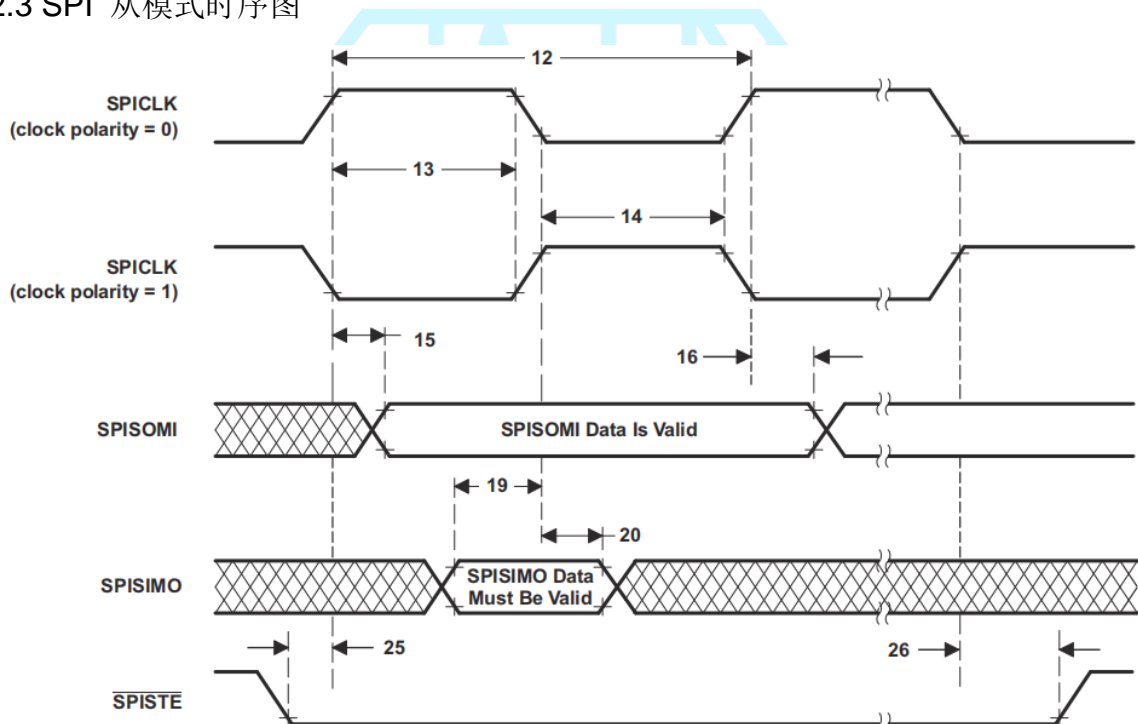


图 5- 39. SPI 从模式外部时序 (时钟相位 = 0)

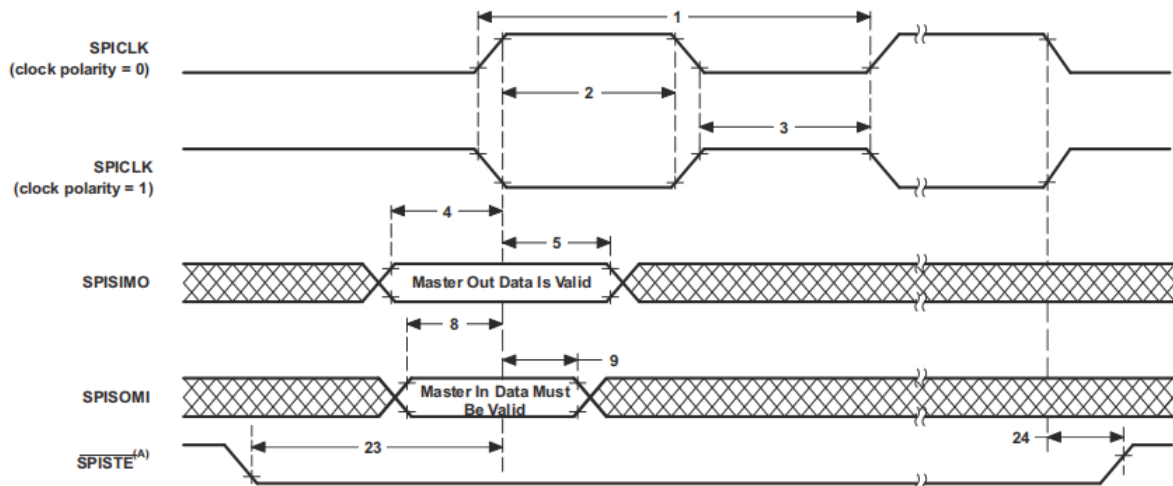


图 5-40. SPI 从模式外部时序 (时钟相位 = 1)

5.10.6 本地互连网络(LIN)

LIN是用于汽车和工业应用中的本地互连网络（LIN）的独立控制器。LIN符合LIN 2.2A规范，并可选择与LIN 1.3兼容。DLIN允许在1 kbit/s和20 kbit/s之间进行串行传输。

LIN (Local Interconnect Network) 是一种串行通信协议，旨在提供成本效益高的总线通信。LIN规范是由LIN联盟 (<http://www.lin-subbus.org>) 开发的。LIN标准包括传输介质的规范，开发工具之间的接口，传输协议以及软件编程接口。LIN被创建用于降低汽车网络的成本，在简单的应用（传感器或执行器）中取代了最昂贵的CAN。LIN设备可以实现为主节点或从节点。

LIN 模块具有以下特点：

- 符合LIN 2.2A和LIN 1.3规范
- 自动处理LIN报文头
- 自动重新同步
- 数据速率在1Kbit/s至20Kbit/s之间
- 主节点和从节点工作模式
- 超时检测
- 扩展错误检测
- 支持“Break-in-data”
- 唤醒检测
- 进入休眠检测
- 自动位率检测（在从节点模式下）

LIN 框图如图 5-41 所示。

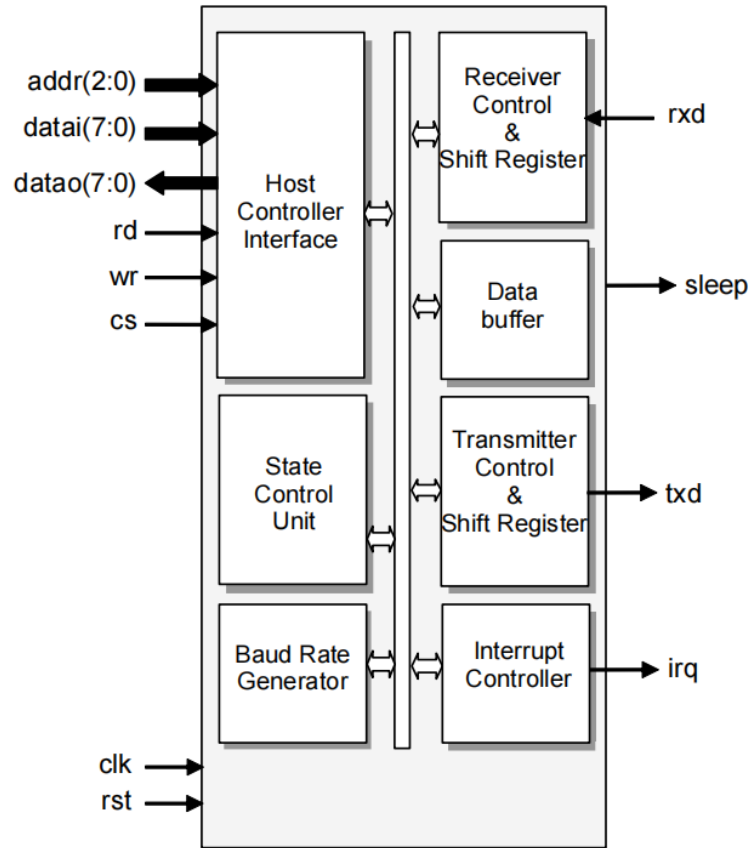


图 5- 41. LIN s框图

5.10.7 外部存储器接口 (EMIF)

EMIF 提供了一种将 CPU 连接到各种外部存储器件的方法，例如异步存储器（SRAM、NOR 闪存）或同步存储器 (SDRAM)。

5.10.7.1 异步内存支持 EMIF 支持异步内存：

- SRAM
- NOR闪存

存在外部等待输入，其允许较慢的异步存储器扩展存储器访问。EMIF 模块最多支持三种芯片选择 (EMIF_CS[4:2])。每种芯片选择具有以下可独立编程的属性：

- 数据总线宽度
- 读取周期时序：设置、保持、选通

- 写入周期时序：设置、保持、选通
- 总线变换时间
- 具有可编程超时的延长等待选项
- 选择选通选项

5.10.7.2 同步 DRAM 支持

EMIF存储器控制器与使用32位或16位数据总线的JESD21-C SDR SDRAM兼容。EMIF具有单个SDRAM芯片选择。

支持的 SDRAM 配置包含：

- 一存储库、二存储库和四存储库 SDRAM 器件
- 具有 8、9、10 和 11 列地址的器件
- 两个或三个时钟周期的 CAS 延迟
- 16 位/32 位数据总线宽度
- 3.3V LVCMOS 接口

此外，EMIF支持将SDRAM置于自刷新模式和省电模式。自刷新模式允许将SDRAM置于低功耗状态，同时仍然保留内存内容，因为即使没有微控制器的时钟，SDRAM也将继续进行自刷新。省电模式实现更低的功耗，但 如果需要保留数据，微控制器必须定期唤醒并发出刷新。EMIF模块不支持移动SDRAM器件。在该器件上，EMIF不支持对SDRAM配置进行突发访问。这意味着每次对外部SDRAM器件进行访问时都将有CAS延迟。

5.11 系统

5.11.1 电源管理

QXS320F28377LRevB可以配置为使用两种选项之一来提供所需的1.2 V到核心(VDD)

- 外部电源
- 内部1.2 V LDO稳压器(VREG)

系统需求将决定哪个供应选项最适合应用程序

注意

必须使用相同的系统稳压器来驱动VDDIO和VDDIO_SW

5.11.1.1 内部1.2 V LDO稳压器 (VREG)

内部VREG由VDDIO提供，并产生为VDD引脚供电所需的1.2 V。通过将VREGENZ引脚拉低至VSS来启用此功能。较小的引脚数封装可能不包括VREGENZ引脚；因此，内部VREG总是启用的，因此，它是VDD引脚所需的电源源。查看表4-5中VREGENZ的描述来确定包的配置。虽然内部VREG消除了VDD使用外部电源的需要，但为了VREG的稳定性，每个VDD引脚上都需要去耦电容器。当使用内部VREG时，VDD导轨有两种推荐的电容器配置(如下所示)。VDD的信号说明如表4-4所示。

- 配置1:在尽可能靠近器件的每个引脚上放置一个小的VSS去耦电容。此外，必须在VDD节点上放置一个电容到VSS(一个4.7 μ F电容器)。
- 配置2:将VSS的总电容均匀分布在所有VDD引脚上(总电容除以4个VDD引脚)。

5.11.1.2 推荐的外部组件

表 5-49

		最小值	典型值	最大值	单位
C _{VDDIO}	VDDIO的滤波电容		4.7		μ F
C _{VDDIO_DECAP}	每个VDDIO引脚上的去耦电容		0.1		μ F
C _{VDDA}	VDDA引脚上的电容		2.2		μ F
C _{VDDIO_SW}	VDDIO_SW引脚上的电容		20		μ F
C _{VDD}	VDD上滤波电容		20		μ F
C _{VDD_DECAP}	每个VDD引脚上的去耦电容		0.1		μ F

5.11.1.3 电源排序

信号引脚要求:设备上电前，任何数字引脚不能加高于VDDIO+0.3 V的电压，任何模拟引脚(包括VREFHI)不能加高于VDDA+0.3 V的电压。

VDDIO、VDDIO_SW和VDDA要求:3.3 V电源VDDIO、VDDIO_SW和VDDA应一起上电，在功能运行时应保持彼此之间的电压不超过0.3 V。

VDD要求:当VREGENZ绑定到VSS时，VDD上电顺序由芯片内部自己决定。

当VDD使用外部源(VREGENZ与VDDIO绑定)时，VDDIO和VDD必须同时上电和下电。当VDD关闭时，不应该打开VDDIO。在坡道期间，VDD应保持在VDDIO上方不超过0.3 V。

5.11.1.4 上电复位(POR)

内部上电复位(POR)电路使设备处于复位状态，并在上电期间使I/O处于高阻抗状态。POR处于控制状态，并在内部强制XRSn低，直到VDDIO上的电压超过POR阈值。当电压超过POR阈值时，内部的BOR(brownout-reset)电路进行控制，使设备处于复位状态，直到电压超过BOR阈值(关于内部BOR的详细信息，请参见5.11.1.5)。

5.11.1.5 停电复位(BOR)

内部的BOR电路监视VDDIO导轨的电压下降，导致电源电压下降到工作范围之外。当VDDIO电压降至BOR阈值以下时，设备强制复位，XRSn被拉低。XRSn将保持复位状态，直到电压返回到工作范围。缺省情况下，启用BOR功能。要禁用BOR，请在VMONCTL寄存器中设置BORLVMONDIS位。内部的BOR电路只监控VDDIO轨道。有关BOR特性，请参见5.5节。外部电源电压监控器(SVS)设备可用于监控3.3V和1.2V导轨上的电压，并在电源超出操作规范时驱动XRSn降低。

5.11.2 时钟规范

5.11.2.1 时钟资源

表5-50列举了三个可以使用的时钟资源，图5-48为时钟系统，图5-49为锁相环系统。

表 5-50 可以使用的时钟资源

CLOCK SOURCE	MODULES CLOCKED	COMMENTS
INTOSC1	可以被用于: <ul style="list-style-type: none"> ● 看门狗模块 ● 作为PLL的参考时钟 ● 作为CPU的时钟 	内部振荡器1 无外部引脚的10Mhz振荡器
INTOSC2(1)	可以被用于: <ul style="list-style-type: none"> ● 作为PLL的参考时钟 ● 作为CPU的时钟 	内部振荡器2 无外部引脚的10Mhz振荡器
X1 (XTAL)	可以被用于: <ul style="list-style-type: none"> ● 作为PLL的参考时钟 	外部晶体或谐振器连接在X1和X2引脚之间或单端时钟连接到X1引脚

● 作为CPU的时钟

(1) 复位时，内部振荡器2 (INTOSC2)是系统锁相环(OSCCLK)的默认时钟源。

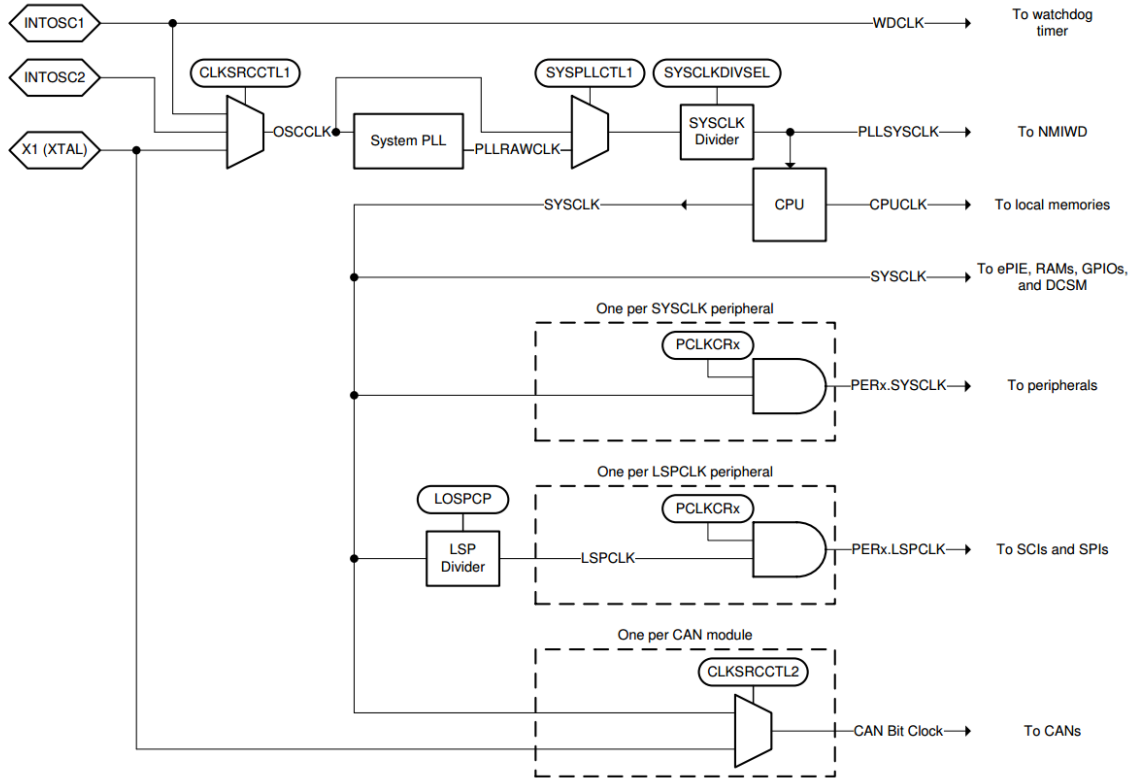
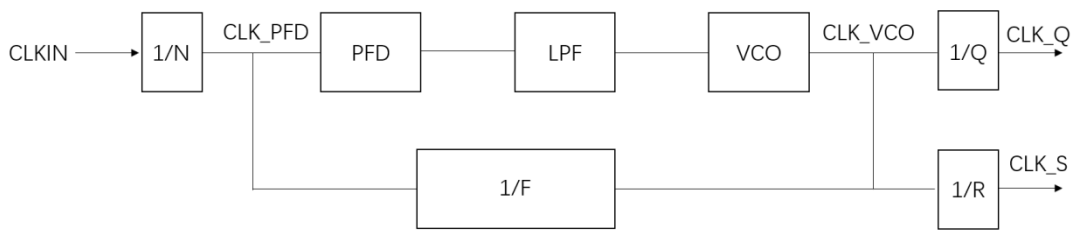


图5-48 系统时钟



$$F_{CLKVCO} = F_{CLKIN} * F/N ; F_{CLK_Q} = F_{CLKVCO}/Q ; F_{CLK_R} = F_{CLKVCO}/R$$

图5-49 锁相环系统

5.11.2.2 时钟频率、要求和特性

介绍输入时钟的频率和定时要求、锁相环的锁相次数、内部时钟的频率要求以及输出时钟的频率和开关特性。

5.11.2.2.1 输入时钟频率和定时要求，锁相环锁定时间

输入时钟的频率要求请参见5.11.2.2.1.1。章节5.11.2.2.1.2列出了XTAL振荡器的特性。X1时序要求请参见5.11.2.2.1.3。章节5.11.2.2.1.4列出了主锁相环的锁相环时间。

5.11.2.2.1.1 输入时钟频率

	MIN	MAX	UNIT
$f_{(XTAL)}$ Frequency, X1/X2, from external crystal or resonator	10	20	MHz
$f_{(X1)}$ Frequency, X1, from external oscillator	2	20	MHz

5.11.2.2.1.2 XTAL振荡器特性

超过推荐的操作条件(除非另有说明)

	MIN	TYP	MAX	UNIT
X1 VIL Valid low-level input voltage	- 0.3		0.3 * VDDIO	V
X1 VIH Valid high-level input voltage	0.7 * VDDIO		VDDIO + 0.3	V

5.11.2.2.1.3 时间要求

	MIN	MAX	UNIT
$t_{f(X1)}$ Fall time, X1		6	ns
$t_{r(X1)}$ Rise time, X1		6	ns
$t_{w(X1L)}$ Pulse duration, X1 low as a percentage of $t_c(X1)$	45%	55%	
$t_{w(X1H)}$ Pulse duration, X1 high as a percentage of $t_c(X1)$	45%	55%	

5.11.2.2.1.4 锁相环锁定时间

	MIN NOM	MAX	UNIT

$t_{(PLL)}$ Lock time, Main PLL	$200\mu s + 20\mu s (t_{OSC_stable})$	μs
---------------------------------	--	---------

5.11.2.2.2 内部时钟频率

章节5.11.2.2.1给出了内部时钟的时钟频率。

5.11.2.2.1 内部时钟频率

	MIN	NOM	MAX	UNIT
$f_{(SYSCLK)}$ Frequency, device (system) clock			160	MHz
$t_{e(SYSCLK)}$ Period, device (system) clock	6.67			ns
$f_{(VCO)}$ Frequency, VCO output clock	400		800	MHz
$f_{(CLK_PFD)}$ Frequency, PFD input clock	8	12	16	MHz
$f_{(CLKIN)}$ Frequency, Input clock	8		240	MHz
$f_{(CLK_Q)}$ Frequency, CLK_Q output frequency	26		800	MHz
$f_{(CLK_S)}$ Frequency, CLK_S output frequency	26		800	MHz
$f_{(LSP)}$ Frequency, LSPCLK			150	MHz
$f_{(HRPWM)}$ Frequency, HRPWMCLK	50		150	MHz
$f_{(OSCCLK)}$ Frequency, OSCCLK (INTOSC1 or INTOSC2 or XTAL or X1)	See respective clock			MHz

5.11.2.3 外部输入时钟

除了内部振荡器外，还支持三种外部时钟源：

- 单端的3.3 v外部时钟，如图5 - 50：

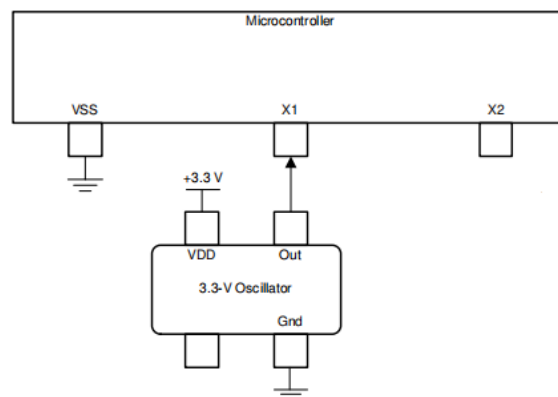


图5 - 50 单端的3.3 v外部时钟

- 外部晶振，如图5 - 51：

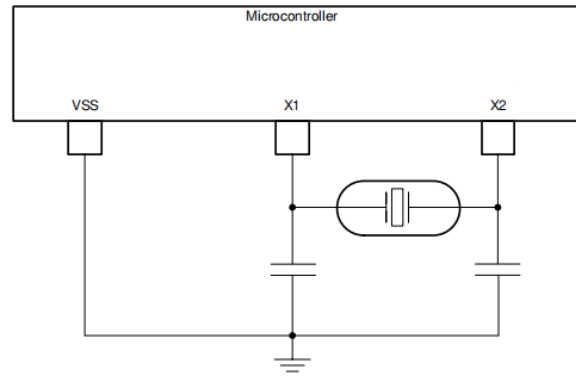


图5 - 51 外部晶振

- 外部谐振器，如图5 - 52:

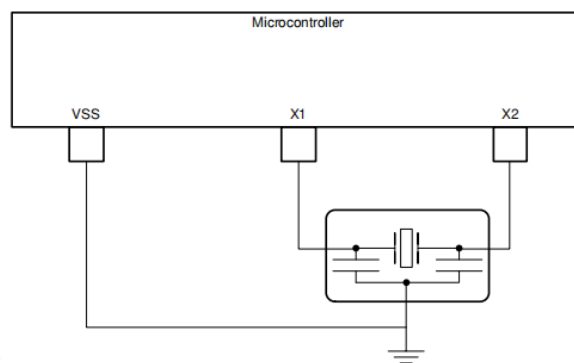


图5 - 52 外部谐振器

5.11.2.4 内部振荡器

为了降低生产板成本和应用程序开发时间，QXS320F28377LRevB包含两个独立的内部振荡器，称为INTOSC1和INTOSC2。默认情况下，两个振荡器在上电时都使能。设置INTOSC2为系统参考时钟(OSCCLK)源，设置INTOSC1为备份时钟源。INTOSC1也可以手动配置为系统参考时钟(OSCCLK)。

5.11.2.4.1 内部振荡器特性

超过推荐的操作条件(除非另有说明)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{INTOSC} Output clock frequency	Without trimming	7	10	13	MHz
	After trimming @ 25°C	9.8	10	10.2	MHz

f_{STEP}	Output frequency adjust step			250		KHz
f_T	Output frequency temperature coefficient	@ -40°C~85°C		±3		%
T_S	OSC stabilization time				20	μs
D_{TC}	Output Duty Cycle		45	50	55	%

5.11.3 仿真/JTAG

JTAG(IEEE 标准1149.1-1990标准测试访问端口和边界扫描架构)端口有四个专用引脚: TMS、TDI、TDO和TCK。cJTAG(针对简化引脚和增强功能测试访问端口以及边界扫描架构的IEEE 标准1149.7-2009)端口, 是一个只需要两个引脚(TMS和TCK)的紧凑型JTAG接口, 此接口可实现多路复用为传统GPIO35 (TDI)和GPIO37 (TDO) 引脚的其他器件功能。

通常情况下, 当MCU目标和JTAG 接头之间的距离小于6英寸(15.24cm), 并且JTAG链上没有其他器件时, JTAG信号上不需要缓冲器。否则, 每个信号都应被缓冲。此外, 对于大多数10MHz下的JTAG调试探针操作, JTAG信号上不需要串联电阻器。但是, 如果需要高仿真速度(35MHz左右), 则应在每个 JTAG信号上串联22Ω电阻。

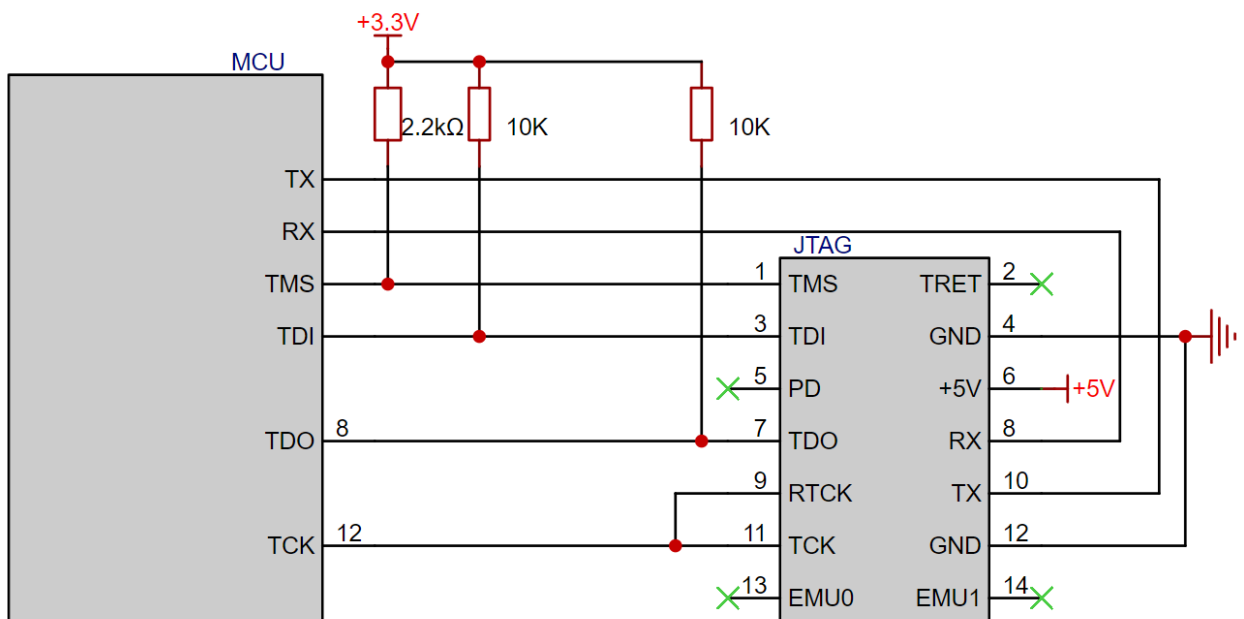


图5 - 53 连接到14引脚JTAG接头

备注

- 1.此JTAG下载电路集成板级5V供电和一组UART功能，用户可直接使用
- 2.若使用杜邦线进行连接，建议使用导电性良好的材质如高纯度铜镀锡材质，长度60cm内，单根电阻在0.1 Ω 内的杜邦线，防止因为杜邦线的材质及长度原因导致信号传输不稳定



6 详细描述

6.1 概述

QXS320F28377L配备一个功能强大的32位浮点微控制器单元(MCU)，可让设计人员在单个器件上集成关键的控制外设、差分模拟和非易失性存储器。

实时控制子系统基于QX的32位C28xCPU，可提供300MHz的信号处理性能。QX C28xCPU的性能通过新的TMU扩展指令集和VCU扩展指令集得到了进一步提升，TMU扩展指令集可快速

执行包含变换和扭矩环路计算中常见三角运算的算法，VCU扩展指令集可降低编码应用中常见复杂数学运算的延迟。

QXS320F28377L内核为双核结构，副C28xCPU允许从主C28xCPU上大量卸载常见任务。副C28xCPU类似CLA是一款与CPU并行执行的独立32位浮点数学加速器。此外，副C28xCPU自带专用存储资源，它可以直接访问典型控制系统中所需的关键外设。对ANSIC子集的支持是标准配置，就像硬件断点和硬件任务切换等关键特性也是标准配置。

QXS320F28377L支持高达1MB的闪存和高达1MB的片上SRAM，支持闪存ECC、SRAMECC/奇偶校验和双区安全性。

QXS320F28377L集成了高性能模拟块，以进一步支持系统整合。五个独立的12位ADC和三个独立的14位ADC可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。模拟前端上的七个PGA可以在转换之前实现片上电压调节。七个模拟比较器模块针对跳闸情况下的对输入电压电平进行连续监控。

QXS320F28377L包含先进的控制外设(具有独立于频率的ePWM/HRPWM和eCAP)，可对系统进行出色的控制。内置的4通道SDFM允许在隔离层上无缝集成过采样 Σ - Δ 调制器。

通过各种业界通用通信端口(如SPI、SCI、I2C、LIN和CAN)支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。QXS320F28377L平台新增了完全符合标准的PMBus。

6.2 功能框图

CPU 系统及其外设如图 6-1 所示。

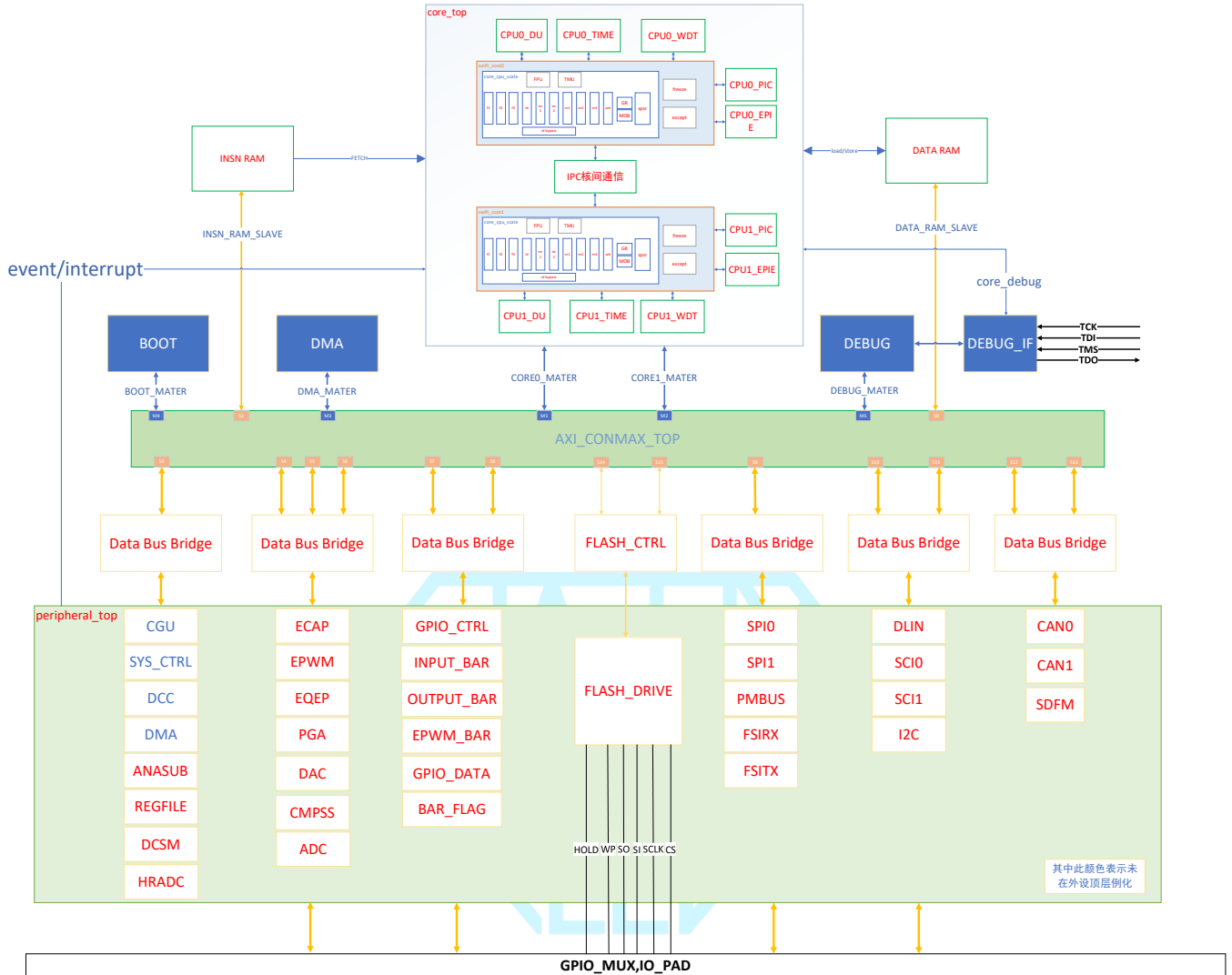


图 6-1. 功能框图

6.3 内存

6.3.1 内存映射

表 6-1. 内存映射

存储器	大小	起始地址	结束地址	副 C28xCPU 存取	DMA 存取	支持 ECC	奇偶校验	存储器 访问保护	SECURE
GSD0 RAM	32KB	0x00000000	0x00007FFF	是	是	是			
GSD1 RAM	32KB	0x00008000	0x0000FFFF	是	是	是			
GSD2 RAM	32KB	0x00010000	0x00017FFF	是	是	是			
GSD3 RAM	32KB	0x00018000	0x0001FFFF	是	是	是			
GS4 RAM	32KB	0x00020000	0x00027FFF	是	是				
GS5 RAM	32KB	0x00028000	0x0002FFFF	是	是				
GS6 RAM	32KB	0x00030000	0x00037FFF	是	是	是			
GS7 RAM	32KB	0x00038000	0x0003FFFF	是	是	是			
GS8 RAM	32KB	0x00040000	0x00047FFF	是	是	是			
GS9 RAM	32KB	0x00048000	0x0004FFFF	是	是	是			
GS10 RAM	32KB	0x00050000	0x00057FFF	是					
GS11 RAM	32KB	0x00058000	0x0005FFFF	是					
GS12 RAM	32KB	0x00060000	0x00067FFF	是					
GS13 RAM	32KB	0x00068000	0x0006FFFF	是					
GS14 RAM	32KB	0x00070000	0x00077FFF	是					
GS15 RAM	32KB	0x00078000	0x0007FFFF	是					
FAR0 RAM	64KB	0x00080000	0x0008FFFF	是					
FAR1 RAM	64KB	0x00090000	0x0009FFFF	是					
FAR2 RAM	64KB	0x000A0000	0x000AFFFF	是					
FAR3 RAM	64KB	0x000B0000	0x000BFFFF	是					
FAR4 RAM	64KB	0x000C0000	0x000CFFFF	是					

FAR5 RAM	64KB	0x000D0000	0x000DFFFF	是					
FAR6 RAM	64KB	0x000E0000	0x000EFFFF	是					
FAR7 RAM	64KB	0x000F0000	0x000FFFFFF0	是					
IPC CPU0_RAM	4KB	0x00100000	0x00100FFF	是					
IPC CPU1_RAM	4KB	0x00101000	0x00101FFF	是					
CPU0 BOOT RAM	8KB	0x00280000	0x00281FFF	是					
CPU1 BOOT RAM	8KB	0x00282000	0x00283FFF	是					
PICTRL	256B	0x007F0100	0x007F01FF	是					
DEBUG	256B	0x007F0200	0x007F02FF	是					
CPUTIMER0	20B	0x007F0300	0x007F030F	是					
CPUTIMER1	20B	0x007F0320	0x007F031F	是					
CPUTIMER2	20B	0x007F0340	0x007F033F	是					
CR	256B	0x007F0400	0x007F04FF	是					
GR	256B	0x007F0500	0x007F05FF	是					
MOB	256B	0x007F0600	0x007F06FF	是					
EXP	256B	0x007F0700	0x007F07FF	是					
WD	256B	0x007F0800	0x007F08FF	是					
IPC_REG	256B	0x007F0900	0x007F09FF	是					
IPC_CMD	256B	0x007F0A00	0x007F0AFF	是					
VCU	256B	0x007F0B00	0x007F0BFF	是					
TRACE_BUFFER	256B	0x007F0C00	0x007F0CFF	是					
WATCH_POINT	256B	0x007F0D00	0x007F0DFF	是					
ECC	256B	0x007F0E00	0x007F0EFF	是					
ERAD_GLOBAL	256B	0x007F0F00	0x007F0FFF	是	是				
ERAD_HWBP1	256B	0x007F1000	0x007F10FF	是	是				
ERAD_HWBP2	256B	0x007F1100	0x007F11FF	是	是				

ERAD_HWBP3	256B	0x007F1200	0x007F12FF	是	是				
ERAD_HWBP4	256B	0x007F1300	0x007F13FF	是	是				
ERAD_HWBP5	256B	0x007F1400	0x007F14FF	是	是				
ERAD_HWBP6	256B	0x007F1500	0x007F15FF	是	是				
ERAD_HWBP7	256B	0x007F1600	0x007F16FF	是	是				
ERAD_HWBP8	256B	0x007F1700	0x007F17FF	是	是				
ERAD_COUNTER1	256B	0x007F1800	0x007F18FF	是	是				
ERAD_COUNTER2	256B	0x007F1900	0x007F19FF	是	是				
ERAD_COUNTER3	256B	0x007F1A00	0x007F1AFF	是	是				
ERAD_COUNTER4	256B	0x007F1B00	0x007F1BFF	是	是				
FPU	256B	0x007F1C00	0x007F1CFF	是	是				
CLKCFG	4KB	0x01000000	0x01000FFF	是	是				
CPUSYS	432B	0x01001000	0x010011AF	是	是				
DEVCFG	432B	0x01001000	0x010011AF	是	是				
XINT	80B	0x010011B0	0x010011FF	是	是				
NMIINTRUPT	256B	0x01001200	0x01012FFF	是	是				
DCC0	4KB	0x01002000	0x01002FFF	是	是				
DMA	256B	0x01003000	0x010030FF	是	是				
DMACH1	256B	0x01003100	0x010031FF	是	是				
DMACH2	256B	0x01003200	0x010032FF	是	是				
DMACH3	256B	0x01003300	0x010033FF	是	是				
DMACH4	256B	0x01003400	0x010034FF	是	是				
DMACH5	256B	0x01003500	0x010035FF	是	是				
DMACH6	256B	0x01003600	0x010036FF	是	是				
ANALOGSUBSYS	4KB	0x01004000	0x01004FFF	是	是				
REGFILE	4KB	0x01005000	0x01005FFF	是	是				

DCSM_BANK0_Z1	1KB	0x01006000	0x010063FF	是	是				
DCSM_BANK0_Z1_Shadow	1KB	0x01006400	0x010067FF	是	是				
DCSM_BANK0_Z2	1KB	0x01006800	0x01006BFF	是	是				
DCSM_BANK0_Z2_Shadow	1KB	0x01006C00	0x01006FFF	是	是				
DCSM_COMMON	4KB	0x01007000	0x01007FFF	是	是				
DCSM_BANK1_Z1	1KB	0x01008000	0x010083FF	是	是				
DCSM_BANK1_Z1_Shadow	1KB	0x01008400	0x010087FF	是	是				
DCSM_BANK1_Z2	1KB	0x01008800	0x01008BFF	是	是				
DCSM_BANK1_Z2_Shadow	1KB	0x01008C00	0x01008FFF	是	是				
ECAP1	128B	0x01010000	0x0101007F	是	是				
ECAP2	128B	0x01010080	0x010100FF	是	是				
ECAP3	128B	0x01010100	0x0101017F	是	是				
ECAP4	128B	0x01010180	0x010101FF	是	是				
ECAP5	128B	0x01010200	0x0101027F	是	是				
ECAP6	64B	0x01010280	0x010102BF	是	是				
HRCAP6	64B	0x010102C0	0x010102FF	是	是				
ECAP7	64B	0x01010300	0x0101033F	是	是				
HRCAP7	64B	0x01010340	0x0101037F	是	是				
SYNCSOC	128B	0x01010380	0x010103FF	是	是				
SFO	128B	0x01010400	0x0101047F	是	是				
SFOHHR	128B	0x01010480	0x0101047F	是	是				
EPWM1	512B	0x01012000	0x010121FF	是	是				
EPWM2	512B	0x01012200	0x010123FF	是	是				
EPWM3	512B	0x01012400	0x010125FF	是	是				
EPWM4	512B	0x01012600	0x010127FF	是	是				

EPWM5	512B	0x01012800	0x010129FF	是	是				
EPWM6	512B	0x01012A00	0x01012BFF	是	是				
EPWM7	512B	0x01012C00	0x01012DFF	是	是				
EPWM8	512B	0x01012E00	0x01012FFF	是	是				
EPWM9	512B	0x01013000	0x010131FF	是	是				
EPWM10	512B	0x01013200	0x010133FF	是	是				
EPWM11	512B	0x01013400	0x010135FF	是	是				
EPWM12	512B	0x01013600	0x010137FF	是	是				
EQEP1	2KB	0x01014000	0x010147FF	是	是				
EQEP2	2KB	0x01014800	0x01014FFF	是	是				
PGA1	32B	0x01016000	0x0101601F	是	是				
PGA2	32B	0x01016020	0x0101603F	是	是				
PGA3	32B	0x01016040	0x0101605F	是	是				
PGA4	32B	0x01016060	0x0101607F	是	是				
PGA5	32B	0x01016080	0x0101609F	是	是				
PGA6	32B	0x010160A0	0x010160BF	是	是				
PGA7	32B	0x010160C0	0x010160DF	是	是				
DACA	64B	0x01018000	0x0101803F	是	是				
DACB	64B	0x01018040	0x0101807F	是	是				
CMPSS1	256B	0x0101A000	0x0101A0FF	是	是				
CMPSS2	256B	0x0101A100	0x0101A1FF	是	是				
CMPSS3	256B	0x0101A200	0x0101A2FF	是	是				
CMPSS4	256B	0x0101A300	0x0101A3FF	是	是				
CMPSS5	256B	0x0101A400	0x0101A4FF	是	是				
CMPSS6	256B	0x0101A500	0x0101A5FF	是	是				
CMPSS7	256B	0x0101A600	0x0101A6FF	是	是				

ADCARESLT	256B	0x01020110	0x010201FF	是	是				
ADCBRESLT	256B	0x01020310	0x010203FF	是	是				
ADCCRESLT	256B	0x01020510	0x010205FF	是	是				
ADCGRESLT	256B	0x01020710	0x010207FF	是	是				
ADCHRESLT	256B	0x01020910	0x010209FF	是	是				
HRADCARESLT	1KB	0x01022100	0x010223FF	是	是				
HRADCBRESLT	1KB	0x01022500	0x010227FF	是	是				
HRADCCRESLT	1KB	0x01022900	0x01022AFF	是	是				
ADCA	256B	0x01030000	0x010300FF	是	是				
ADCB	256B	0x01030200	0x010302FF	是	是				
ADCC	256B	0x01030400	0x010304FF	是	是				
ADCG	256B	0x01030600	0x010306FF	是	是				
ADCH	256B	0x01030800	0x010308FF	是	是				
HRADCA	1KB	0x01032000	0x010321FF	是	是				
HRADCB	1KB	0x01032400	0x010324FF	是	是				
HRADCC	1KB	0x01032800	0x010328FF	是	是				
GPIODATA	4KB	0x01040000	0x01040FFF	是	是				
GPIOCTRL	4KB	0x01050000	0x01050FFF	是	是				
INPUTXBAR	4KB	0x01051000	0x01051FFF	是	是				
OUTPUTXBAR	4KB	0x01052000	0x01052FFF	是	是				
EPWMXBAR	4KB	0x01053000	0x01053FFF	是	是				
XBAR	4KB	0x01054000	0x01054FFF	是	是				
SPIA	4KB	0x01060000	0x010603FF	是	是				
SPIB	4KB	0x01061000	0x010613FF	是	是				
PMBUSA	4KB	0x01062000	0x01062FFF	是	是				
LINA	4KB	0x01070000	0x01070FFF	是	是				

SCIA	4KB	0x01080000	0x01080FFF	是	是				
SCIB	4KB	0x01081000	0x01081FFF	是	是				
I2CA	4KB	0x01082000	0x01082FFF	是	是				
CANFDA	4KB	0x01090000	0x01090FFF	是	是				
CANFDB	4KB	0x01091000	0x01091FFF	是	是				
SDFM	4KB	0x010A0000	0x010A0FFF	是	是				
XINTF	4KB	0x2000_0000	0x2000_0FFF	是	是				
XINTF_Zone0	16KB	0x2000_4000	0x2000_7FFF	是	是				
XINTF_Zone6	2MB	0x2010_0000	0x202F_FFFF	是	是				
XINTF_Zone7	2MB	0x2030_0000	0x204F_FFFF	是	是				
FLASHOCTRL	4KB	0x010B0000	0x010B0FFF	是	是				
FLASHODATA	2MB	0x30000000	0x301FFFFFF	是	是				
FLASHO0TP1	1KB	0x30200000	0x302003FF	是	是				
FLASHO0TP2	1KB	0x30201000	0x302013FF	是	是				

备注：地址空间[23:16] = 7f的空间主\副C28xCPU各有独立的地址空间

6.3.2 Flash 内存映射

在QXS320F2877L设备上有一个闪存(1024KB [256KW])可用。一次可以对一个Page、Sector、Block、Chip进行编程或擦除操作。

在正在进行擦除/编程操作的 FLASH Bank 上不应进行任何访问。

FLASH的Page、Sector、Block、Chip关系如表所示。

Each device has	Each block has	Each sector has	Each page has	
1M	64	4K	256	Bytes
4K	256	16		pages
256	16			sectors
16				blocks

可分配的FLASH 扇区地址如表 6-3所示。

6.3.2.1 Flash 扇区地址

表 6- 3-1. FLASH OTP扇区地址

扇区	地址		
	大小	开始	结束
OTP 0 扇区			
FLASH0OTP1	1KB	0x30100000	0x301003FF
FLASH0OTP2	1KB	0x30101000	0x301013FF

表 6- 3-2. FLASH Block 地址

Block	Sector	Address range	
15	255	0x300FF000H	0x300FFFFFFH

14	240	0x300F0000H	0x300F0FFFFH
	239	0x300EF000H	0x300EFFFFFFH
14
	224	0x300E0000H	0x300E0FFFFH
.....

.....

2	47	0x3002F000H	0x3002FFFFFFH

	32	0x30020000H	0x30020FFFH
1	31	0x3001F000H	0x3001FFFFH

	16	0x30010000H	0x30010FFFH
0	15	0x3000F000H	0x3000FFFFH

	0	0x30000000H	0x30000FFFH

6.3.3.2 外设寄存器内存映射

外设寄存器内存映射表(QX28x)如下:

表 6-4. 外设寄存器内存映射表 (QX28x)

寄存器	大小	起始地址	结束地址	流水线保护(1)	副 C28xCPU 存取	DMA 存取
CLKCFG	4KB	0x01000000	0x01000FFF	是	是	是
CPUSYS	432B	0x01001000	0x010011AF	是	是	是
DEVCFG	432B	0x01001000	0x010011AF	是	是	是
XINT	80B	0x010011B0	0x010011FF	是	是	是
NMIINTRUPT	256B	0x01001200	0x01012FFF	是	是	是
DCC0	4KB	0x01002000	0x01002FFF	是	是	是
DMA	256B	0x01003000	0x010030FF	是	是	是
DMACH1	256B	0x01003100	0x010031FF	是	是	是
DMACH2	256B	0x01003200	0x010032FF	是	是	是
DMACH3	256B	0x01003300	0x010033FF	是	是	是
DMACH4	256B	0x01003400	0x010034FF	是	是	是
DMACH5	256B	0x01003500	0x010035FF	是	是	是
DMACH6	256B	0x01003600	0x010036FF	是	是	是
ANALOGSUBSYS	4KB	0x01004000	0x01004FFF	是	是	是
REGFILE	4KB	0x01005000	0x01005FFF	是	是	是
DCSM_BANK0_Z1	1KB	0x01006000	0x010063FF	是	是	是

DCSM_BANK0_Z1_S hadow	1KB	0x01006400	0x010067FF	是	是	是
DCSM_BANK0_Z2	1KB	0x01006800	0x01006BFF	是	是	是
DCSM_BANK0_Z2_S hadow	1KB	0x01006C00	0x01006FFF	是	是	是
DCSM_COMMON	4KB	0x01007000	0x01007FFF	是	是	是
DCSM_BANK1_Z1	1KB	0x01008000	0x010083FF	是	是	是
DCSM_BANK1_Z1_S hadow	1KB	0x01008400	0x010087FF	是	是	是
DCSM_BANK1_Z2	1KB	0x01008800	0x01008BFF	是	是	是
DCSM_BANK1_Z2_S hadow	1KB	0x01008C00	0x01008FFF	是	是	是
ECAP1	128B	0x01010000	0x0101007F	是	是	是
ECAP2	128B	0x01010080	0x010100FF	是	是	是
ECAP3	128B	0x01010100	0x0101017F	是	是	是
ECAP4	128B	0x01010180	0x010101FF	是	是	是
ECAP5	128B	0x01010200	0x0101027F	是	是	是
ECAP6	64B	0x01010280	0x010102BF	是	是	是
HRCAP6	64B	0x010102C0	0x010102FF	是	是	是
ECAP7	64B	0x01010300	0x0101033F	是	是	是
HRCAP7	64B	0x01010340	0x0101037F	是	是	是
SYNCSOC	128B	0x01010380	0x010103FF	是	是	是
SFO	128B	0x01010400	0x0101047F	是	是	是
SFOHHR	128B	0x01010480	0x0101047F	是	是	是
EPWM1	512B	0x01012000	0x010121FF	是	是	是
EPWM2	512B	0x01012200	0x010123FF	是	是	是
EPWM3	512B	0x01012400	0x010125FF	是	是	是

EPWM4	512B	0x01012600	0x010127FF	是	是	是
EPWM5	512B	0x01012800	0x010129FF	是	是	是
EPWM6	512B	0x01012A00	0x01012BFF	是	是	是
EPWM7	512B	0x01012C00	0x01012DFF	是	是	是
EPWM8	512B	0x01012E00	0x01012FFF	是	是	是
EPWM9	512B	0x01013000	0x010131FF	是	是	是
EPWM10	512B	0x01013200	0x010133FF	是	是	是
EPWM11	512B	0x01013400	0x010135FF	是	是	是
EPWM12	512B	0x01013600	0x010137FF	是	是	是
EQEP1	2KB	0x01014000	0x010147FF	是	是	是
EQEP2	2KB	0x01014800	0x01014FFF	是	是	是
PGA1	32B	0x01016000	0x0101601F	是	是	是
PGA2	32B	0x01016020	0x0101603F	是	是	是
PGA3	32B	0x01016040	0x0101605F	是	是	是
PGA4	32B	0x01016060	0x0101607F	是	是	是
PGA5	32B	0x01016080	0x0101609F	是	是	是
PGA6	32B	0x010160A0	0x010160BF	是	是	是
PGA7	32B	0x010160C0	0x010160DF	是	是	是
DACA	64B	0x01018000	0x0101803F	是	是	是
DACB	64B	0x01018040	0x0101807F	是	是	是
COMPSS1	256B	0x0101A000	0x0101A0FF	是	是	是
COMPSS2	256B	0x0101A100	0x0101A1FF	是	是	是
COMPSS3	256B	0x0101A200	0x0101A2FF	是	是	是
COMPSS4	256B	0x0101A300	0x0101A3FF	是	是	是
COMPSS5	256B	0x0101A400	0x0101A4FF	是	是	是

MPSS6	256B	0x0101A500	0x0101A5FF	是	是	是
MPSS7	256B	0x0101A600	0x0101A6FF	是	是	是
ADCARESLT	256B	0x01020110	0x010201FF	是	是	是
ADCBRESLTT	256B	0x01020310	0x010203FF	是	是	是
ADCCRESLTT	256B	0x01020510	0x010205FF	是	是	是
ADCGRESLTT	256B	0x01020710	0x010207FF	是	是	是
ADCHRESLTT	256B	0x01020910	0x010209FF	是	是	是
HRADCARESLT	1KB	0x01022100	0x010223FF	是	是	是
HRADCBRESLTT	1KB	0x01022500	0x010227FF	是	是	是
HRADCCRESLTT	1KB	0x01022900	0x01022AFF	是	是	是
ADCA	256B	0x01030000	0x010300FF	是	是	是
ADCB	256B	0x01030200	0x010302FF	是	是	是
ADCC	256B	0x01030400	0x010304FF	是	是	是
ADCG	256B	0x01030600	0x010306FF	是	是	是
ADCH	256B	0x01030800	0x010308FF	是	是	是
HRADCA	1KB	0x01032000	0x010321FF	是	是	是
HRADCB	1KB	0x01032400	0x010324FF	是	是	是
HRADCC	1KB	0x01032800	0x010328FF	是	是	是
GPIONDATA	4KB	0x01040000	0x01040FFF	是	是	是
GPIOCTRL	4KB	0x01050000	0x01050FFF	是	是	是
INPUTXBAR	4KB	0x01051000	0x01051FFF	是	是	是
OUTPUTXBAR	4KB	0x01052000	0x01052FFF	是	是	是
EPWMXBAR	4KB	0x01053000	0x01053FFF	是	是	是
XBAR	4KB	0x01054000	0x01054FFF	是	是	是
SPIA	4KB	0x01060000	0x010603FF	是	是	是

SPIB	4KB	0x01061000	0x010613FF	是	是	是
PMBUSA	4KB	0x01062000	0x01062FFF	是	是	是
LINA	4KB	0x01070000	0x01070FFF	是	是	是
SCIA	4KB	0x01080000	0x01080FFF	是	是	是
SCIB	4KB	0x01081000	0x01081FFF	是	是	是
I2CA	4KB	0x01082000	0x01082FFF	是	是	是
CANFDA	4KB	0x01090000	0x01090FFF	是	是	是
CANFDB	4KB	0x01091000	0x01091FFF	是	是	是
SDFM	4KB	0x010A0000	0x010A0FFF	是	是	是
XINTF	4KB	0x2000_0000	0x2000_0FFF	是	是	是
XINTF_Zone0	16KB	0x2000_4000	0x2000_7FFF	是	是	是
XINTF_Zone6	2MB	0x2010_0000	0x202F_FFFF	是	是	是
XINTF_Zone7	2MB	0x2030_0000	0x204F_FFFF	是	是	是

(1) CPU (不适用于DMA) 包含先写后读保护模式，以确保在受保护地址范围内，通过延迟读取操作直至启动写入操作，按写入形式执行位于写入操作之后的任何读取操作。

表 6-5. 互联说明

Slave No	Slave name	M0	M1	M2	M3	M4
		CPU0	CPU1	DMA	BOOT	DEBUG
S0	D_MEM	Y	Y	Y		Y
S1	I_MEM			Y	Y	Y
S2	外设组1	Y	Y	Y		Y
S3	外设组2	Y	Y	Y		Y
S4	CANO	Y	Y	Y		Y
S5	CAN1	Y	Y	Y		Y
S6	Flash_ctrl	Y	Y	Y		Y
S7	HARDWARE	Y	Y	Y		Y
S8	flash	Y	Y	Y		Y



6.3.3 存储器类型

6.3.3.1 CPU共享数据 RAM (GSDx RAM)

CPU 子系统有四个支持 ECC 功能的数据RAM，CPU0与CPU1共享。

6.3.3.2 IPC共享 RAM (IPC CPUx_RAM)

双核通信所需要的RAM，IPC_CPU0_RAM为CPU0与共享CPU1内存，CPU0可读写，CPU1可读。IPC_CPU1_RAM为CPU1与共享CPU0内存，CPU1可读写，CPU0可读。

6.3.3.3 CPU共享指令RAM (GSIx RAM)

CPU 子系统有四个支持 ECC 功能的指令RAM，CPU0与CPU1共享。

6.3.3.4 CPU共享指令RAM (BOOT RAM)

CPU的BOOT代码存放区。

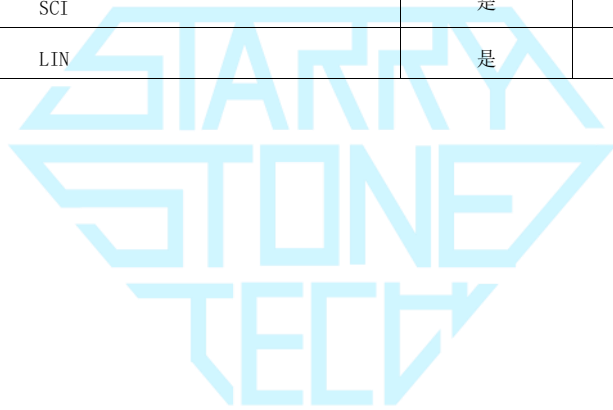
6.4 总线架构-外设连接

外设连接表列出了每条总线访问外设和配置寄存器。

表 6-9. 外设连接

外设	DMA	副CPU	主CPU
系统外设			
CPU 计时器	是	是	是
系统配置 (WD、NMIWD、LPM、外设时钟门控)		是	是
器件功能、外设复位	是	是	是
时钟和PLL配置	是	是	是
闪存配置	是	是	是
复位配置	是	是	是
GPIO 引脚映射和配置	是	是	是
GPIO 数据)	是	是	是
DMA触发源选择	是	是	是
控制外设			
ePWM/HRPWM	是	是	是
eCAP/HRCAP	是	是	是
eQEP	是	是	是

SDFM	是	是	是
模拟外设			
模拟系统控制	是	是	是
外设	DMA	副CPU	CPU
ADC 配置	是	是	是
ADC 结果	是	是	是
CMPSS	是	是	是
DAC	是	是	是
PGA	是	是	是
通信外设			
CAN	是	是	是
SPI1	是	是	是
I2C	是	是	Y
PMBus	是	是	是
SCI	是	是	Y
LIN	是	是	是



6.6 C28x 处理器

6.6.1 介绍

CPU 为具有自主知识产权的高性能低功耗32 位浮点处理器,采用了数字信号处理最佳特性;精简指令集计算 (RISC); 以及微控制器架构、固件和工具集。以及微控制器架构、固件和工具集。

6.6.2 特点

处理器是一款具有自主知识产权的高性能低功耗数字信号处理器芯片。“高性能”是以、超长指令字 (VLIW) 技术和硬件循环 (hardware loop) 技术为基础,通过对各模块功能的细分和优化来实现的。同时基于对移动多媒体领域应用的分析,精确定义指令集,提高应用程序的代码密度、减少程序执行周期数以降低总能耗。微控制器特性包括易懂易用的指令集、字节打包和解包以及位操作。改进型哈佛体系架构的 CPU 可实现指令和数据的并行获取。CPU 可以在读取指令和数据的同时写入数据,以维持流水线中的单周期指令操作。

完整的处理器主要包含了DSP内核、片上存储器 (I-MEM、D-MEM)、直接存储访问模块 (DMA)、对外接口 (EMIF、SPI、I2C、GPIO、CAN等) 和调试模块 (Debug)。

6.6.3 浮点单元(FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下:

八个浮点结果寄存器, RnH (其中 $n=0-7$)

浮点状态寄存器 (STF)

重复块寄存器 (RB)

除 RB 寄存器外,所有浮点寄存器都采用影子化技术。这种影子化可用于高优先级中断,以实现浮点寄存器的快速上下文保存和恢复。

6.6.4 三角数学单元(TMU)

三角函数数学单元 (TMU) 通过添加指令和利用现有 FPU 指令来扩展H28x+FPU 的功能,加速执行常见三角函数和下表中所列算术运算。

表 TMU支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 Rd, Rs	$a = b * 2\pi$	2/3
DIV2PIF32 Rd, Rs	$a = b / 2\pi$	2/3
FSSQRT Rd, Rs	$a = \text{sqrt}(b)$	7
SINPUF32 Rd, Rs	$a = \sin(b*2\pi)$	5
COSPUF32 Rd, Rs	$a = \cos(b*2\pi)$	5
ATANPUF32 Rd, Rs	$a = \text{atan}(b)/2\pi$	5
QUADF Rd, Rs, Rt	用于协助计算 ATANPU2 的运算	8

TMU单元没有对现有指令、流水线或内存总线架构进行任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集。

6.6.5 Viterbi、复数和循环冗余校验单元（VCU）

该模块通过添加指令和相应寄存器来扩展DSP芯片的功能，以支持和加速以下算法执行。

6.6.5.1 Viterbi运算

Viterbi算法在卷积编码的解码过程中被广泛使用，以找到最可能的原始数据序列。该算法包括分支度量计算、路径度量计算、幸存路径选择、回溯等步骤。

该部分有相应指令以支持Viterbi解码，每条指令均可在1个周期内完成。

运算	指令	说明
计算分支度量	VITBM2 VITBM3	码率为 1/2 码率为 1/3
计算路径度量	VITDHAS VITDHSA VITDLAS VITDLSA	
路径选择	VITHSEL VITLSEL	
路径回溯	VTRACE	

6.6.5.2 循环冗余校验（CRC）

CRC算法通过循环生成校验码的方式，在数字通信、存储系统和无线通信等领域提高数据传输的完整性和可靠性。

该部分相关指令可用于进行8位、16位、32位的CRC校验码生成。可在1个周期内计算出一字节数据对应的CRC校验码。

6.6.5.3 复数运算

在DSP芯片中，复数运算广泛应用于许多信号处理任务，包括快速傅里叶变换（FFT）和复数滤波器等。

例如，使用FFT进行频谱分析，复数运算可以有效地处理信号的幅度和相位信息。数字滤波器设计中，复数运算也用于频域滤波器的设计和实现。

该部分有以下指令以支持复数的加、减、乘、乘累加运算：

运算	指令	备注
加/减法	VCADD/VCSUB	$32 \pm 32 = 32$ 位
加/减法	VCDA16/VCDS16	$16 \pm 32 = 16$ 位
乘法	VCMPY	$16 \times 16 = 32$ 位
乘法和累加	VCMPYAC	$16 \times 16 = 32$ 位, $32 \pm 32 = 32$ 位
取负	VNEG	$-32 = 32$ 位

6.6.6 增强型整数除法单元（EINTDIV）

C28x CPU 的增强型整数除法(EINTDIV)单元非常独特，能支持三种不同数据类型大小(16 / 16, 32 / 16, 32 / 32, 64 / 32, 64 / 64)的无符号或有符号格式的整数除法(Truncated, Modulus, Euclidean)。

- 支持C语言 Truncated 整数除法(/, %运算符)。
- Modulus 和 Euclidean 除法是控制算法更有效的类型，并支持C函数。

所有三种类型的整数除法都产生商和余数分量，都是可中断的，并且执行周期少。此外，C28x CPU的增强型整数除法功能支持 32 位和64 位除法的快速执行。

6.7 直接内存访问(DMA)

DMA 模块提供了一种硬件方法，可以在外设和/或内存之间传输数据，而不需要 CPU 的干预，从而为其他系统功能释放带宽。此外，DMA 具有在传输数据时对数据进行正交重新排列的能力，以及缓冲区之间的“乒乓”数据。这些特性有助于优化 CPU 进程，将数据结构化成块。DMA 的设备级框图如图 6-3 所示。

DMA 特性包括：

- 六个具有独立 PIE 中断的通道
- 外设DMA触发源
 - ADC 中断和 EVT 信号
 - 外部中断
 - ePWM SOC 信号
 - CPU 计时器
 - eCAP
 - SPI 发送和接收
 - SPI 发送和接收
- 数据源和目标：
 - GSx RAM
 - ADC 结果寄存器
 - 控制外设寄存器（ePWM、eQEP、eCAP、SDFM）
 - DAC 和 PGA 寄存器
 - SPI和 PMBus 寄存器
- 字大小：8位、16 位或 32 位
- 数据率：每个字十五个周期，8深度FIFO，无需仲裁



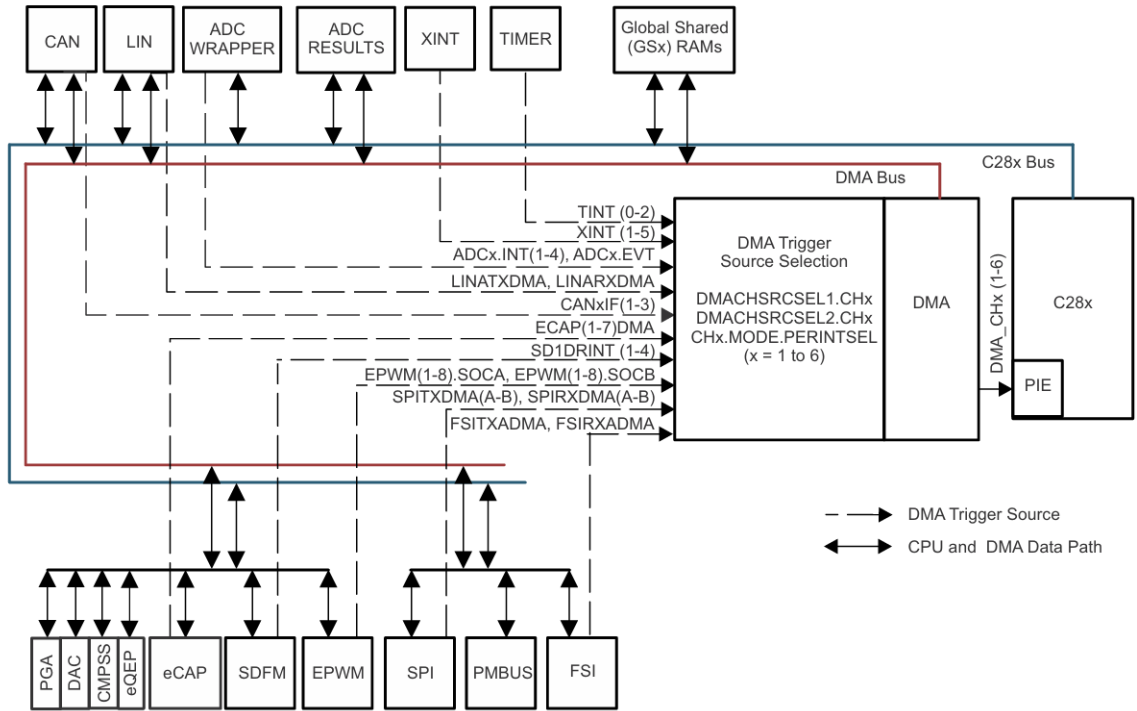


图 6-3. DMA 框图



6.8 看门狗

看门狗计数器的软件重置间隔有一个可选的下限时间。这个窗口倒计时默认是禁用的。

看门狗产生复位或中断。它的时钟可以来自内部振荡器与可选择的分频器。看门狗模块各功能模块如图 6-4 所示。

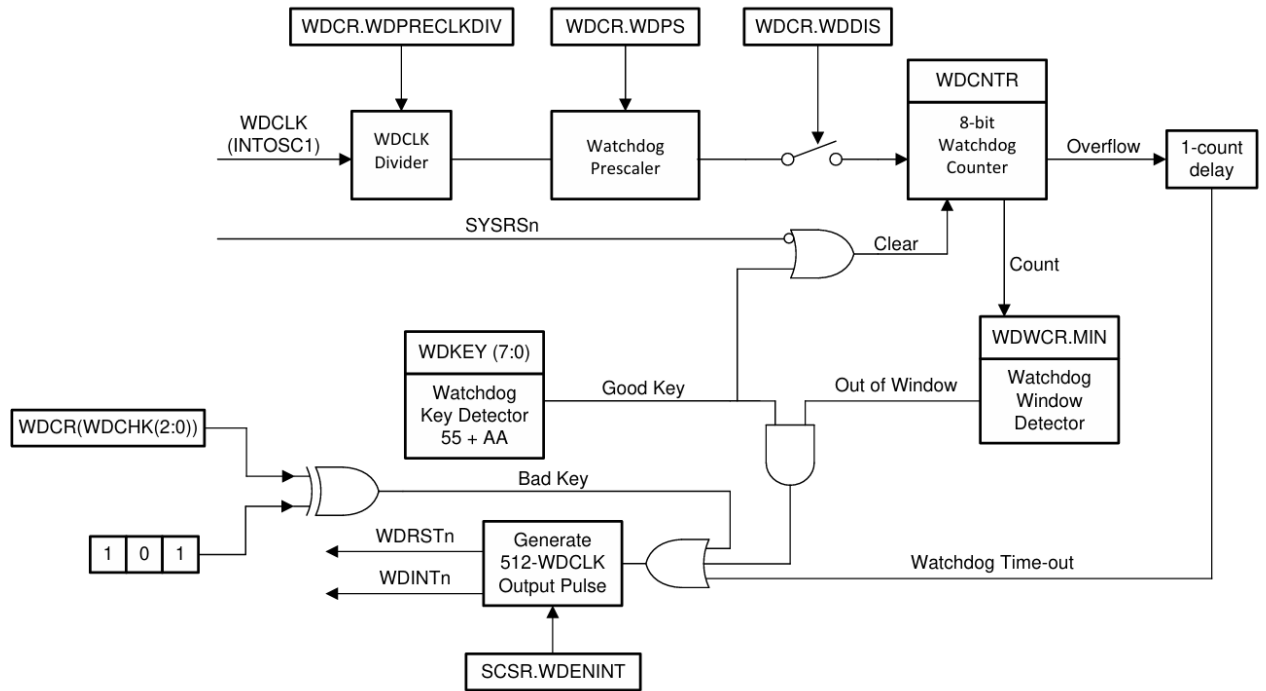


图 6-4. 看门狗

6.9 C28x 计时器

CPU 定时器 0、1、2 都是相同的 32 位定时器，具有可预置的周期和预缩放 16 位时钟。计时器有一个 32 位倒计时寄存器，当计数器达到零时产生中断。计数器以 CPU 时钟速度除以预置值的值递减。当计数器达到零时，它会自动用一个 32 位的周期值重新加载。

CPU-Timer 0 用于一般用途，并且已连接到 PIE 块。CPU-timer 1 也是通用的，并且连接到 CPU 的 INT13。CPU-Timer 2 为 QX-RTOS 预留，并且连接 CPU 的 INT14。如果 QX-RTOS 不被使用，CPU-Timer2 可用于一般用途。

CPU-Timer 2 可以通过以下任何一个来计时：

- SYSCLK (默认)
- 内部晶振振荡器1 (INTOSC1)
- 内部晶振振荡器 2 (INTOSC2)
- X1 (XTAL)

6.10 双时钟比较器 (DCC)

双时钟比较器模块用于基于第二个时钟评估和监控时钟输入，第二个时钟可以是更准确可靠的版本。此仪表用于检测时钟源或时钟结构中的故障，从而提高系统的安全性指标。

6.10.1 特点

DCC 有以下特点：

- 允许应用程序在两个时钟信号的频率之间保持固定的比例。
- 支持根据参考时钟周期的数量定义可编程公差窗口。
- 支持连续监控，不需要应用程序干预。
- 支持点测的单序列模式。
- 允许为每个计数器选择一个时钟源，从而产生不同的特定的情况。

6.10.2 DCCx(DCC0 and DCC1) 时钟源输入映射

表 6-15. DCCx 时钟源 0

DCCxCLKSRC0[3:0]	CLOCK 名称
0x0	XTAL
0x1	INTOSC1
0x2	INTOSC2
others	保留

表 6-16. DCCx 时钟源 1

DCCxCLKSRC1[3:0]	CLOCK 名称
0x0	PLLRAWCLK
others	保留

7 开发支持

7.1 集成开发环境QX-IDE

用户可以在“QXDSPC2000系列-开发工具链”的发布地址（如下），下载QX-IDE。

1. https://pan.baidu.com/s/1bfo-FDc_gO7cY8KOFM-vMg 提取码: qide
2. <https://pan.quark.cn/s/a4fccb17121f> 提取码: B6Kg

QX-IDE的安装和使用方法参考“QX-IDE_User_Manual.pdf”。



图 1: QX-IDE欢迎界面

7.2 仿真器

7.2.1 简介

QXS320f 3槽DSP的仿真环境如图 所示，包括

- (1) 宿主机：执行调试命令、显示目标机状态
- (2) 目标机：被调试设备
- (3) 接口卡： FT2232HL，负责USB/JTAG接口及协议转换

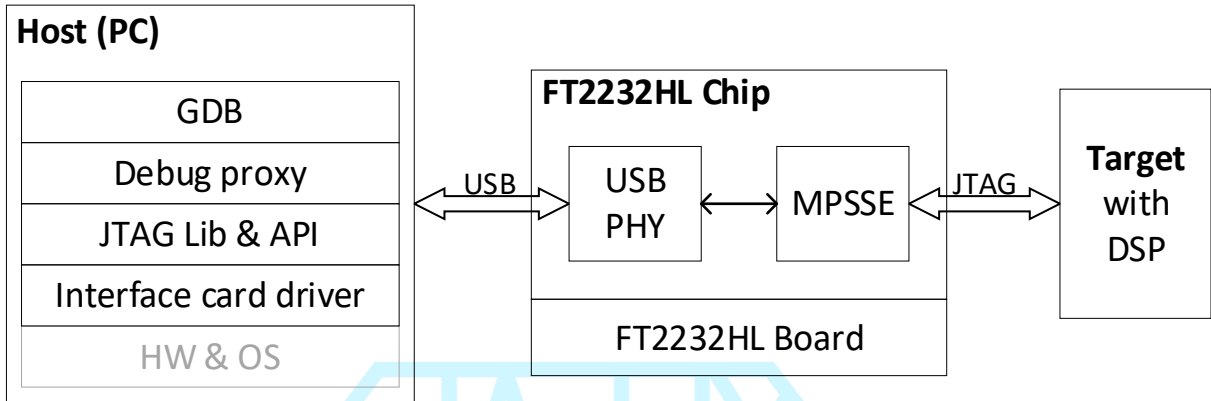


图 2: 基本结构

7.2.2 结构

7.2.2.1 宿主机

与DSP仿真相关的宿主机软件结构如图 所示。

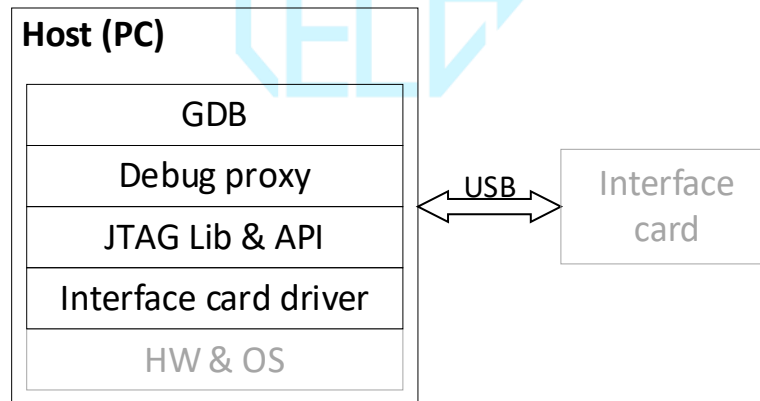


图 3: 宿主机软件结构

宿主机通过USB接口和接口卡连接，并包含以下部分

- 1) 接口卡驱动：使宿主机能够通过接口卡收发数据
- 2) JTAG Lib和API：接口卡组件，针对接口卡在USB/JTAG工作模式的函数库及应用程序接口
- 3) GDB：基于GNU Debugger为DSP定制的调试器
- 4) 调试代理：通过调用JTAG API进行JTAG接口配置，以及GDB和JTAG API之间的消息转发。

GDB发出的调试命令被调试代理转换成对应的JTAG API调用，接口卡返回的消息被调试代理转换为对应的GDB packet发送给GDB

7.2.2.2 目标机

目标机通过JTAG接口和接口卡连接。

7.2.2.3 接口卡

宿主机和目标机的连接、通讯需借助接口卡以进行USB和JTAG接口及协议的相互转换。接口卡的逻辑结构如图 所示。

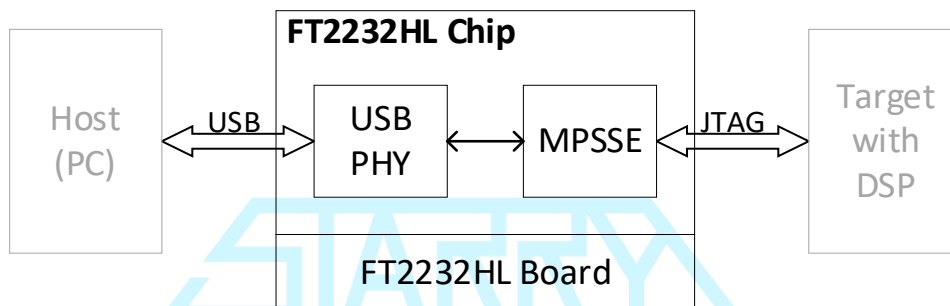


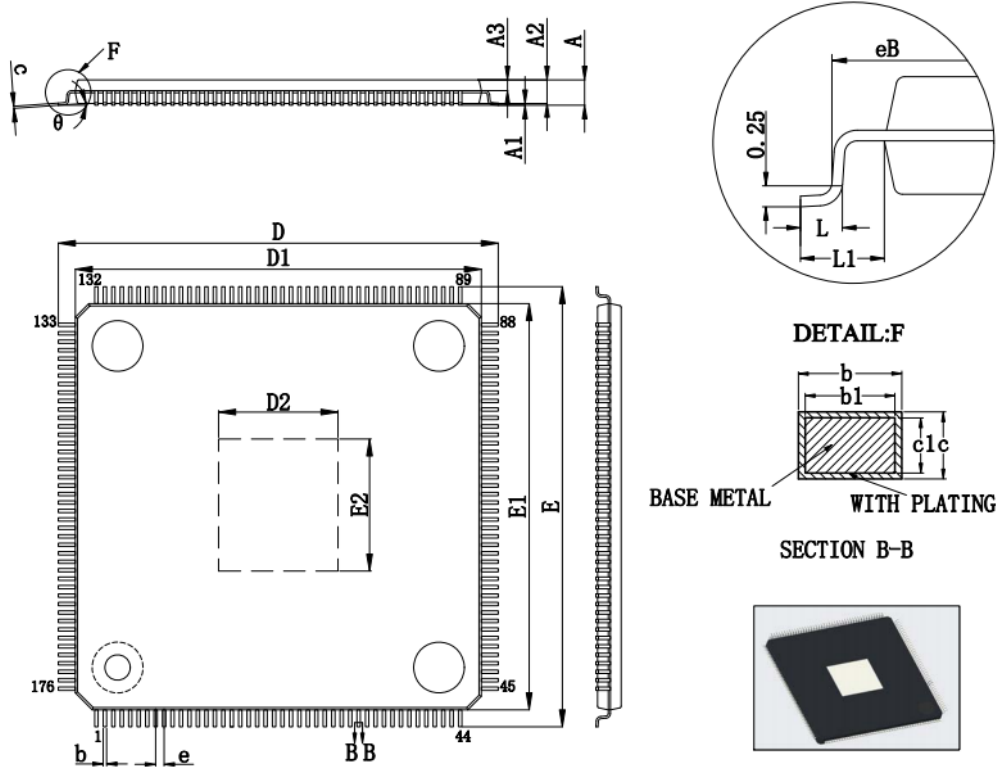
图 4：接口卡逻辑结构

接口卡采用FTDI公司的FT2232HL芯片。该芯片一边固定为USB 2.0的物理层和宿主机连接；另一边是可配置的UART/FIFO接口。

在当前的DSP仿真场景，该接口配置成MPSSE（Multi-Protocol Synchronous Serial Engine），作为JTAG接口和目标机连接。

8 封装外形尺寸

8.1 HLQFP176 PIN



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	25.80	26.00	26.20
D1	23.90	24.00	24.10
E	25.80	26.00	26.20
E1	23.90	24.00	24.10
eB	25.05	—	25.25
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	7°

L/P size (mil)	size (mm)	D2	E2
307*278		7.06REF	7.80REF



9 订货信息

9.1 封装信息

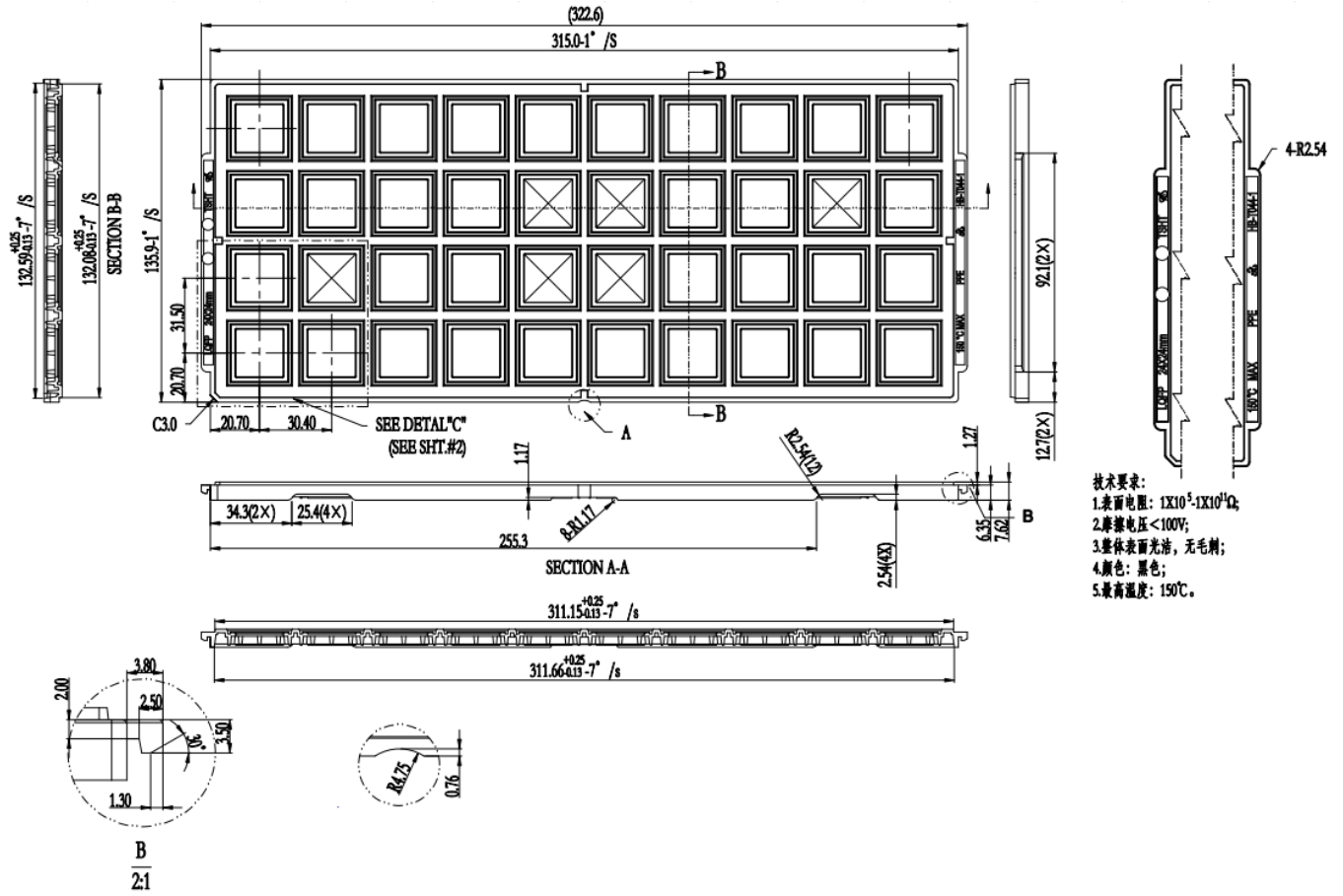
表 9-1.封装信息

产品型号	芯片版本	封装系列	封装类型	管脚数	环保标准	引线镀层/球材料	湿敏等级和最大耐焊接温度	工作温度
QXS320F28377LPTPS	RevB	HLQHP	PTP	176	Green (RoHS&无卤)	Sn	Level-3-260C-168HR (3级-小于或等于 260° C-168小时寿命)	-40° C 至25° C



9.2 Tary盘信息

9.2.1 HLQFP176



- 技术要求:
- 1.表面电阻: $1 \times 10^5 - 1 \times 10^9 \Omega$;
 - 2.绝缘电压 < 100V;
 - 3.整体表面光滑, 无毛刺;
 - 4.颜色: 黑色;
 - 5.最高温度: 150°C.

VCLV

9.3 封装概览



关于乾芯科技

合肥乾芯科技有限公司是一家专业研发各类处理器芯片及IP软核的企业。我们核心产品是以数字信号处理器（DSP）为主，以微控制器（MCU）等产品为外延的处理器系列产品，主要面向数字电源、电机控制、光伏逆变器控制等领域。

公司核心研发团队由工业界知名专家组成，研发设计处理器芯片数十年，具有丰富的研发经验；核心团队成员曾成功大规模量产过多款芯片，研制的各类处理器芯片均达到国际一流技术水平。是国内为数不多的具备涵盖处理器体系结构定义、逻辑设计、物理实现到 GDS 生成全流程，以及工具链、配套函数库和集成开发环境全方位研发能力的团队。

我们的优势在于从指令集到内核微架构再到完整工具链均为自主研发。公司目前已拥有多项发明专利和软著，对核心技术建立专利池并形成完整知识产权保护链。

联系方式

公司网址：www.starrystonetech.com

联系邮箱：qx001@starrystonetech.com

联系电话：0551-68168580

公司地址：安徽合肥高新区创业产业园2期F1栋21楼