



**乾芯科技**  
STARRYSTONETECH

# QXS320F2800137数字信号控制器 数据手册

v2.0



合肥乾芯科技有限公司

表 1：版本历史

版本号	修订日期	修订内容
1.0	2025/04/03	初稿
1.2	2025/04/11	修正引脚说明表格式
1.4	2025/04/24	删除HRCAP
1.6	2025/05/22	修正FLASH描述、电气参数、SRAM描述
1.7	2025/09/16	修正特性描述
1.9	2025/12/19	删除不属于新版2800137的内容：ERAD、HHRPWM、32pin VQFN 修正ADC采样率数据
2.0	2026/01/05	更新3.3产品编码内容



# 目 录

1 特性.....	8
2 应用.....	9
3 说明.....	10
3.1 功能框图 .....	11
3.2 器件特性 .....	12
3.3 产品编码 .....	13
4 终端配置与功能.....	14
4.1 引脚图.....	14
4.2 引脚说明 .....	19
4.3 信号描述 .....	29
4.3.1 电源与接地.....	29
4.3.2 测试,JTAG 与复位.....	30
4.3.3 模拟信号 .....	32
4.3.4 数字信号 .....	36
4.4 GPIO .....	39
4.4.1 GPIO 多路复用引脚.....	39
4.4.2 ADC 引脚上的数字输入 (AGPIO) .....	41
4.4.3 ADC 引脚上的数字输入和输出 (AGPIO).....	41
4.4.4 GPIO 输入 X-BAR.....	42
4.4.5 GPIO 输出 X-BAR 和 ePWM X-BAR.....	43
4.4.6 GPIO 和 ADC 分配.....	44
4.4.7 带有内部上拉和下拉的引脚.....	44
4.4.8 未使用引脚的连接.....	45
5 规格.....	46
5.1 绝对最大值范围.....	46
5.2 推荐工作条件 .....	47
5.3 产品 ESD 范围 .....	49
5.4 耗电概述 .....	50

5.4.1	系统电流消耗 (外部电源)	50
5.4.2	系统电流消耗 (内部电源)	51
5.4.2	工作模式测试描述	52
5.4.3	减少电流消耗	52
5.4.4	减少电流消耗	54
5.5	电气特性	55
5.6	热阻特征	56
5.6.1	PM 封装的热阻特性	56
5.6.2	PT 封装的热阻特性	57
5.6.3	RGZ 封装的热阻特性	57
5.6.3	RHB 封装的热阻特性	58
5.7	散热设计注意事项	58
5.8	模拟外设	59
5.8.1	模数转换器 (ADC)	62
5.8.1.1	结果寄存器映射	64
5.8.1.2	ADC 配置	64
5.8.1.3	ADC 电气数据与时序	65
5.8.2	温度传感器	68
5.8.2.1	温度传感器电气数据和时序	68
5.8.3	比较器子系统(CMPSS)	69
5.8.3.1	CMPSS 比较器电气特性	70
5.8.3.2	CMPSS DAC 静态电气特性	70
5.9	控制外设	71
5.9.1	增强型捕获(eCAP)	71
5.9.1.1	eCAP电气数据和时序	73
5.9.2	增强脉冲宽度调制(ePWM)	73
5.9.2.1	控制外设同步	76
5.9.2.2	ePWM电气数据和时序	77
5.9.2.3	外部ADC转换脉冲开始的电气数据和时序	78
5.9.3	高分辨率脉冲宽度调制器(HRPWM)	79

5.9.3.1 HRPWM 电气数据和时序 .....	79
5.9.4 增强型正交编码器脉冲(eQEP).....	80
5.9.4.1 eQEP电气数据和时序.....	81
5.10 通信外设 .....	82
5.10.1 控制局域网(CAN) .....	82
5.10.2 内置集成电路(I2C).....	84
5.10.2.1 I2C电气数据和时序.....	86
5.10.3 串行通信接口(SCI).....	89
5.10.4 串行外设接口(SPI).....	91
5.10.4.1 SPI 主模式时序.....	92
5.10.5 SPI从模式时序.....	96
5.11 系统 .....	98
5.11.1 电源管理 .....	98
5.11.1.1 内部1.2 V LDO稳压器(VREG) .....	98
5.11.1.2 推荐的外部组件 .....	98
5.11.1.3 电源排序 .....	99
5.11.1.4 上电复位(POR).....	99
5.11.1.5 停电复位(BOR).....	99
5.11.2 时钟规范 .....	99
5.11.2.1 时钟资源 .....	99
5.11.2.2 时钟频率、要求和特性.....	101
6 详细描述 .....	104
6.1 概述 .....	104
6.2 功能框图 .....	105
6.3 内存 .....	106
6.3.1 内存映射 .....	106
6.3.2 Flash 内存映射 .....	109
6.3.2.1 Flash 扇区地址 .....	109
6.3.3.2 外设寄存器内存映射 .....	110
6.3.3 存储器类型.....	112

6.3.3.1 CPU共享数据 RAM (GSDx RAM).....	112
6.3.3.3 CPU共享指令RAM (GSIx RAM) .....	112
6.3.3.4 CPU共享指令RAM (BOOT RAM).....	112
6.4 总线架构-外设连接.....	112
6.5 C28x 处理器.....	113
6.5.1 介绍 .....	113
6.5.2 特点 .....	113
6.5.3 浮点单元(FPU).....	113
6.5.4 三角数学单元(TMU).....	114
6.6 直接内存访问(DMA).....	115
6.7 看门狗.....	116
6.8 C28x 计时器.....	116
6.9 双时钟比较器 (DCC) .....	117
6.9.1 特点 .....	117
6.9.2时钟源输入映射 .....	117
7 开发支持 .....	118
7.1 集成开发环境QX-IDE.....	118
7.2 仿真器.....	119
7.2.1 简介 .....	119
7.2.2 结构 .....	119
7.2.2.1 宿主机.....	119
7.2.2.2 目标机.....	120
7.2.2.3 接口卡.....	120
8 封装外形尺寸 .....	121
8.1 LQFP64 PIN.....	121
8.2 LQFP48 PIN .....	124
8.3 VQFN48 PIN.....	127
9 订货信息 .....	130
9.1 封装信息 .....	130
9.2 托盘信息 .....	130

---

9.3 包装盒尺寸.....	131
9.4 封装概览.....	131



## 1 特性

- 32位单核CPU
  - 120MHz 32位 DSP CPU
  - IEEE-754 单精度浮点单元 (FPU)
  - 三角函数加速器 (TMU)
- 片上存储器
  - 512KB FLASH (ECC保护)
  - 320KB SRAM (ECC/奇偶校验保护)
- 时钟和控制
  - 两个内部 10MHz 晶振
  - 支持外接电阻, 提高内部晶振性能 (ExtR)
  - 片上晶振 或 外部时钟输入
    - 片上 10MHz 晶振
  - 看门狗计时器模块
  - 丢失时钟检测电路
  - 双路时钟比较器 (DCC)
- 电源电压: 1.2V 内核、3.3V I/O
  - 可生成 1.2V 电压的内部 VREG
  - 欠压复位 (BOR) 电路
- 系统外设
  - 2通道直接存储器访问 (DMA) 控制器
  - 多达44个独立可编程多路复用GPIO 引脚 (11 个与模拟共享)
  - 模拟引脚上提供10路数字输入输出
  - 增强型外设中断扩展 (ePIE) 模块 (外围中断扩展 (PIE) 块, 支持所有外围中断)
  - 支持多个具有外部唤醒功能的低功耗模式 (LPM)
- 通信外设
  - 2个内部集成电路 (I2C) 接口
  - 1个CAN FD (兼容CAN2.0) 总线端口
  - 1个串行外设接口 (SPI) 端口
  - 3个与UART兼容的串行通信接口 (SCI)
- 模拟系统
  - 2个3 MSPS 12位模数转换器 (ADC)
    - 多达21个外部通道 (11个与GPIO共享)
  - 4个12位缓冲数模转换器 (DAC)
  - 4个带12位基准数模转换器 (DAC) 的窗口比较器 (CMPSS)
- 增强型控制外设
  - 14个具有增强特性的ePWM通道
    - 2个高分辨率HRPWM通道
    - 高分辨率集成式死区支持
    - 集成式硬件跳闸区 (TZ)
  - 2个增强型捕捉 (eCAP) 模块
  - 1个CW/CCW运行模式的增强型正交编码器脉冲 (eQEP) 模块
  - 嵌入式码形发生器 (EPG)
- 封装
  - 64 引脚LQFP
  - 48 引脚LQFP
  - 48 引脚VQFN
- 温度
  - -40°C至125°C结温

## 2 应用

- 交流充电桩
- 直流充电桩
- 电动汽车充电站电源模块
- 车辆无线充电模块
- 能量存储电源转换系统（PCS）
- 太阳能电源优化器
- 串式逆变器
- 直流/直流转换器
- 逆变器和电机控制
- 交流BLDC电机驱动器
- 直流BLDC电机驱动器
- 工业交流/直流电源
- 三相UPS
- 商用网络和服务器PSU
- 商用通信电源整流器



### 3 说明

QXS320F2800137是一款对标TI公司TMS320F280013x系列的32位处理器。主要针对实时控制应用（如工业电机驱动、光伏逆变器和数字电源、电动汽车的电机控制以及空调变频等）。

QXS320F2800137拥有对标QXC28x的自主研发的32位CPU内核，可提供120MHz的处理能力。QXS320F2800137内部同样集成了FPU，TMU；FPU可以提供32位浮点加速指令，TMU可快速执行包含变换和扭矩环路计算中常见三角运算的算法。

QXS320F2800137还集成了高性能模拟外设和增强型控制外设，两个独立的12位 3 MSPS ADC可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。三个模拟比较器模块可以针对跳闸情况对输入电压电平进行持续监控。先进的控制外设(具有独立于频率的 ePWM/HRPWM 和 eCAP)可对系统进行出色的控制。

通过各种业界通用通信端口（如 SPI、SCI、I2C 和 CAN2.0）支持连接，以及多个多路复用选项，可在各种应用中实现出色的信号布局。

QXS320F2800137支持高达320KB SRAM和512KB Flash存储，能够适应大部分嵌入场景。QXS320F2800137还支持8KB的bootloader指令RAM，灵活配置启动过程。



### 3.1 功能框图

图3-1 功能框图展示了CPU 系统及关联的外设。

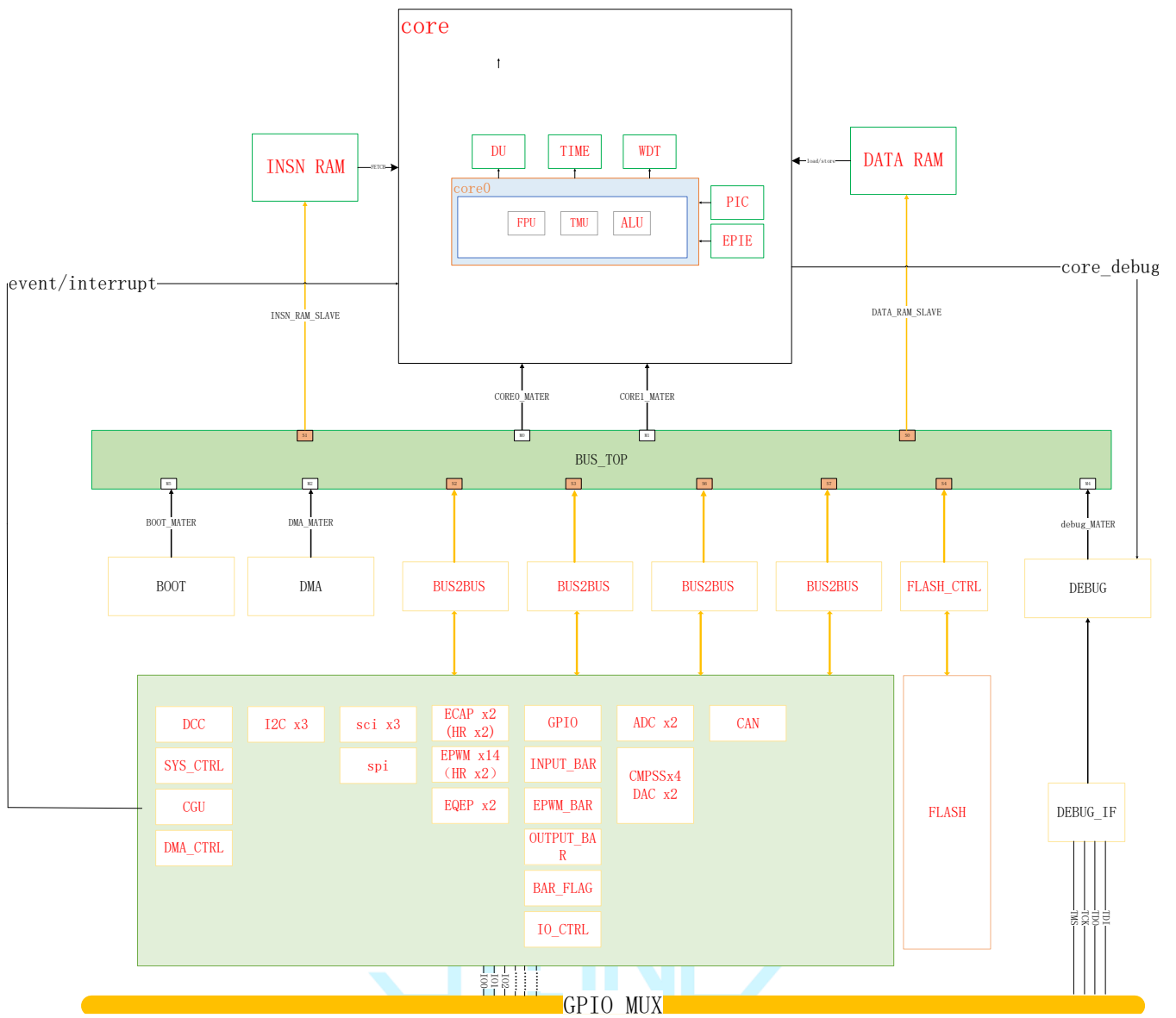


图 3-1. 功能框图

## 3.2 器件特性

表 3-1. 器件特性

功能		QXS320F2800137
时钟主频		120 MHz
内核数		单核
IEEE754单精度浮点单元 (FPU)		支持
三角函数加速器 (TMU)		支持
指令存储IRAM		可供分配的近端64KB + 远端256KB
数据存储DRAM		可供分配的近端64KB
片上FLASH		512KB
高速DMA 模块通道		2
32位CPU 定时器		3
窗口看门狗定时器		1
嵌入式图形发生器		1
IO引脚	GPIO	23/22/13/16/10
	AGIO	21/21/17/17/11
外部中断		8
12-bit ADC	数量	2
	采样率	4.6M
	通道数	21
	输入模式	单端/差分
比较子系统(CMPSS)	数量	4
	DAC	12bit
温度传感器		1
I2C		2
CAN FD(兼容CAN2.0)		1
SPI		1
SCI		3
ePWM	EPWM	14
	HRPWM (110ps)	2
eCAP	eCAP	2
EQEP		1
封装形式		64 LQFP
		48 LQFP
		48 VQFN

### 3.3 产品编码

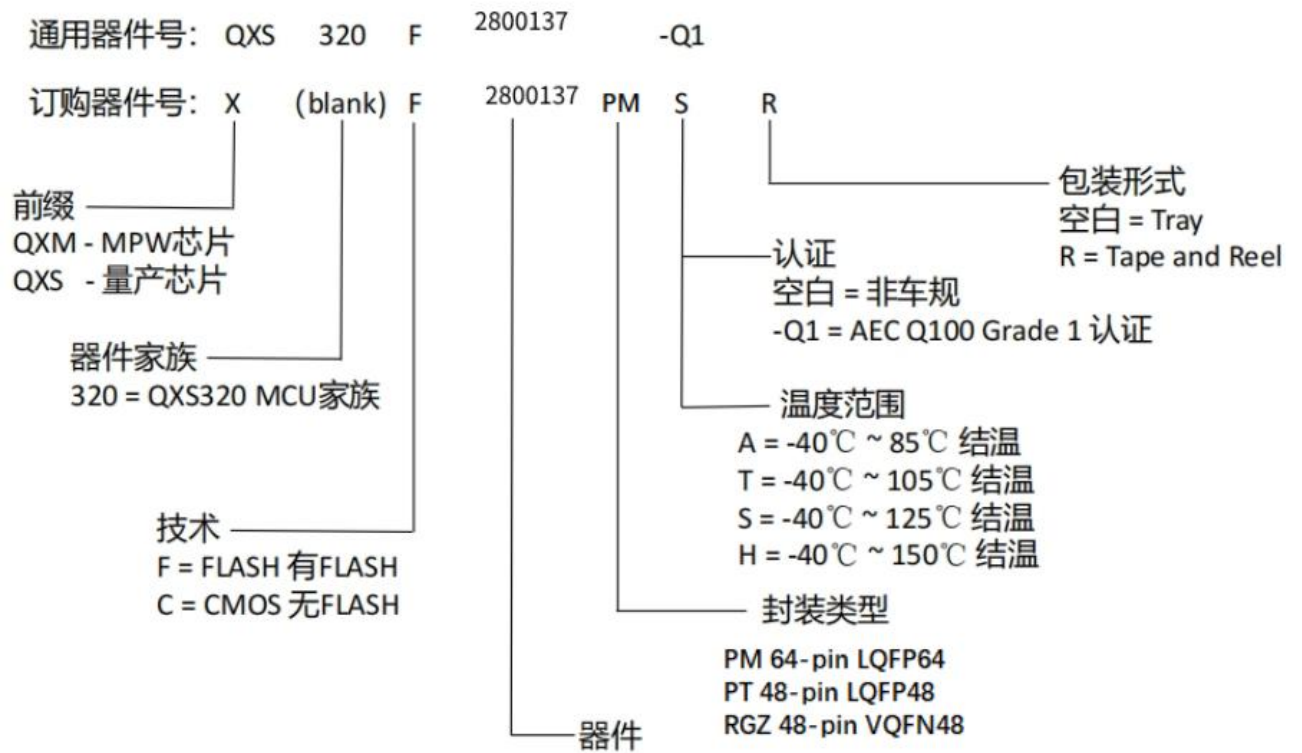


图 3-2. 器件命名规则图



## 4 终端配置与功能

### 4.1 引脚图

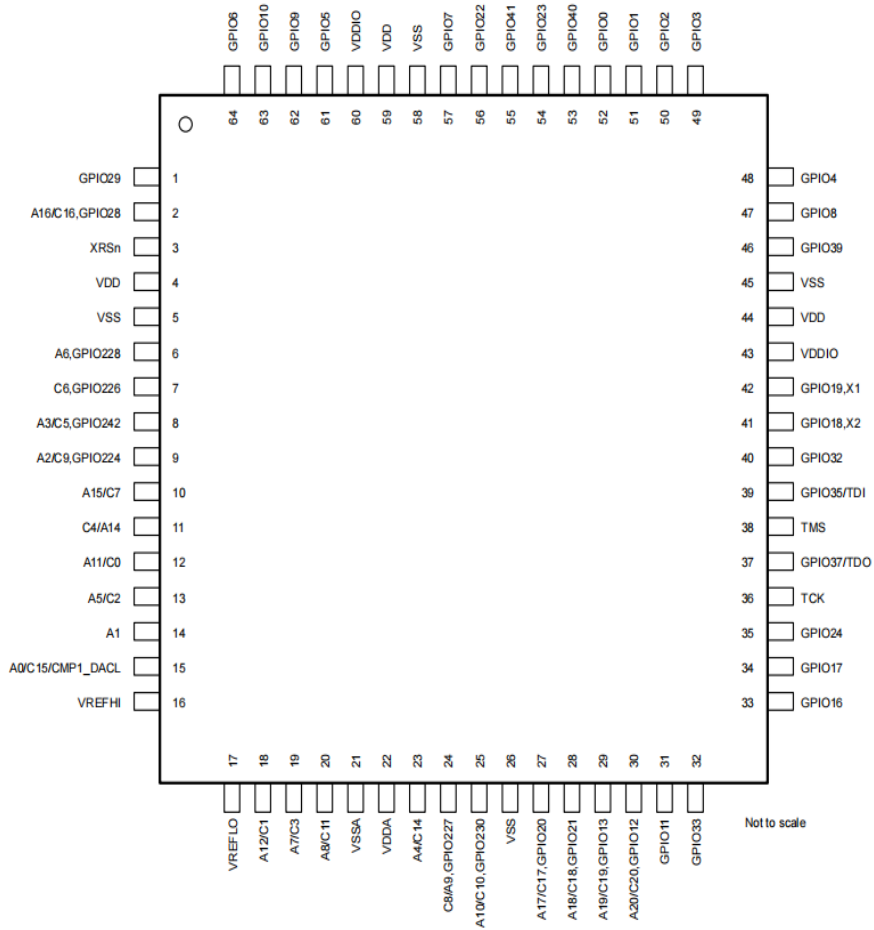


图 4-1. PM(64-Pin)

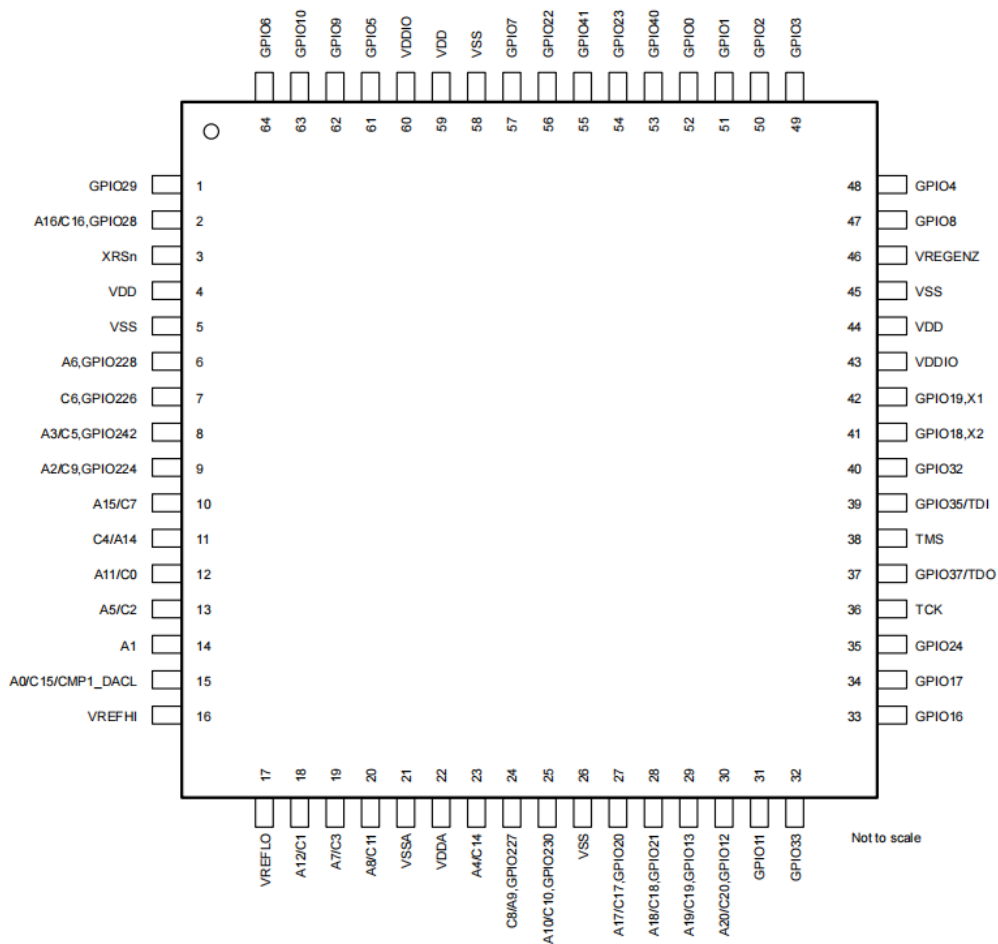


图 4-2. PM(具有VREGENZ)(64-Pin)



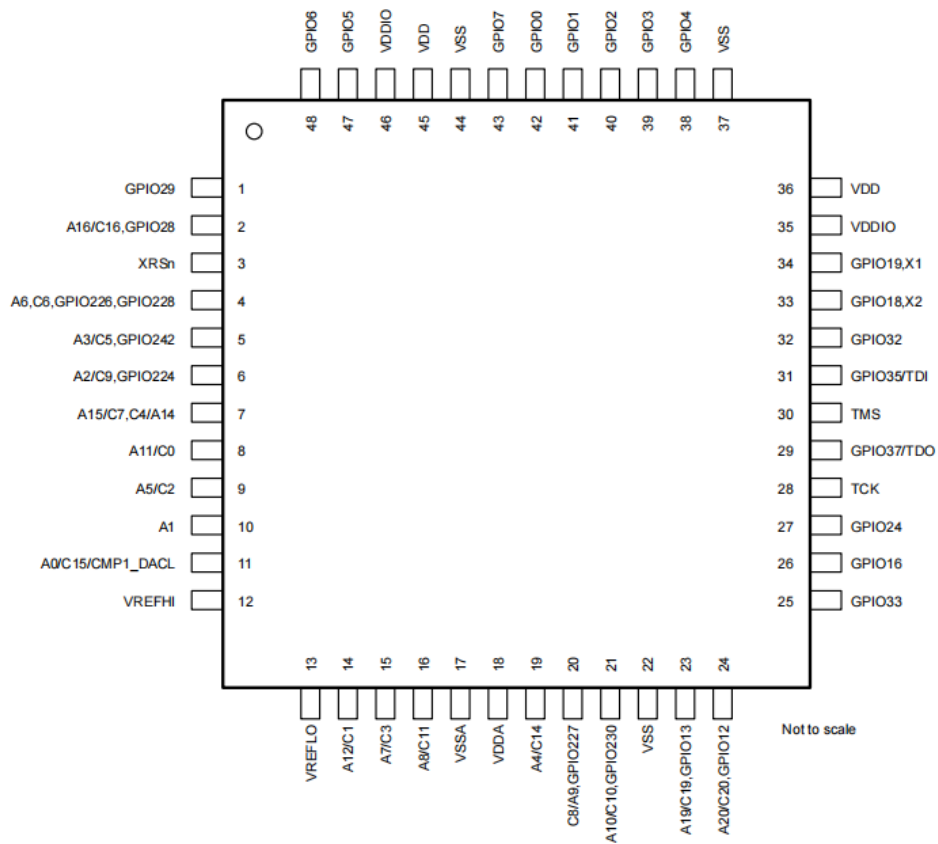


图 4-3. PT (48-Pin)



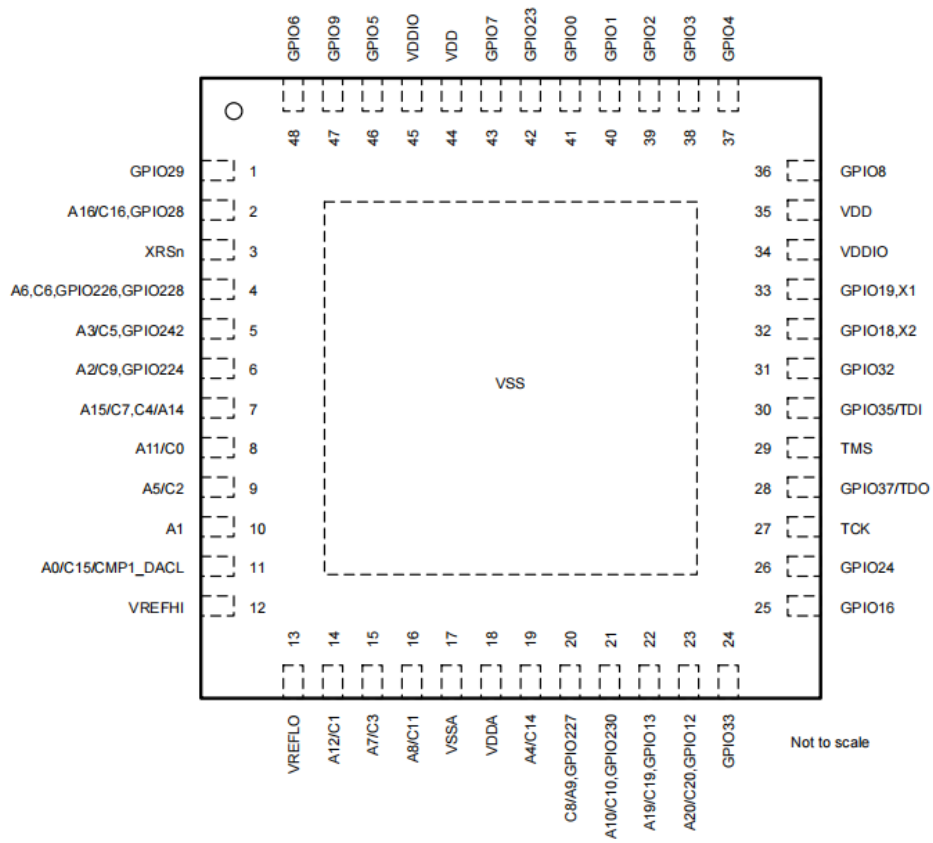


图 4-4. RGZ (48-Pin)



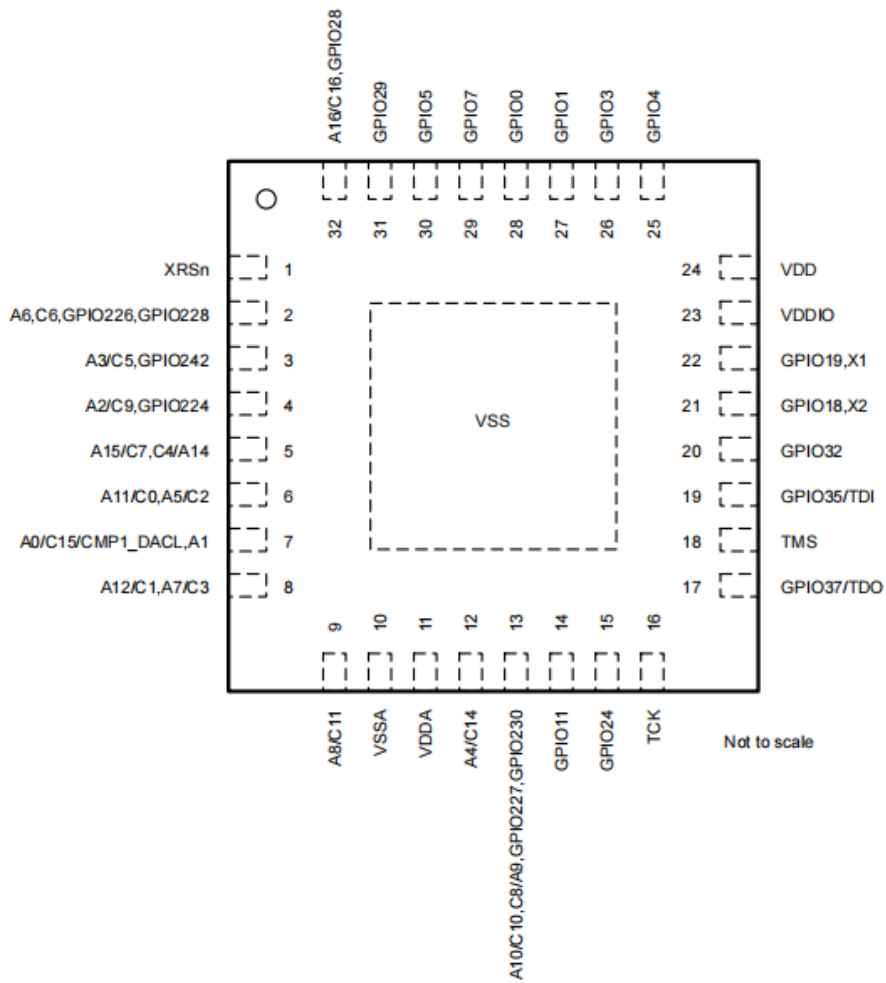


图 4-5. RGZ (32-Pin)



## 4.2 引脚说明

表 4-1. 引脚属性

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
模拟								
A0 C15 CMP1_DACL CMP3_HP2 CMP3_LP2 AGPIO231	0, 4, 8, 12	15	15	11	11	7	I	ADC-A 输入 0 ADC-C 输入 15 CMPSS-1 低电平 DAC 输出 CMPSS-3 高电平比较器正输入 2 CMPSS-3 低电平比较器正输入 2 用于数字输入 231 的模拟引脚
A1 CMP1_HP4 CMP1_LP4 AGPIO232	0, 4, 8, 12	14	14	10	10	7	I	ADC-A 输入 1 CMPSS-1 高电平比较器正输入 4 CMPSS-1 低电平比较器正输入 4 用于数字输入 232 的模拟引脚
A2 C9 CMP1_HP0 CMP1_LP0 GPIO224		9	9	6	6	4	I/O	ADC-A 输入 2 ADC-C 输入 9 CMPSS-1 高电平比较器正输入 0 CMPSS-1 低电平比较器正输入 0 通用输入/输出224。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A3 C5 CMP3_HN0 CMP3_HP3 CMP3_LN0 CMP3_LP3 GPIO242		8	8	5	5	3	I/O	ADC-A 输入 3 ADC-C 输入 5 CMPSS-3 高电平比较器负输入 0 CMPSS-3 高电平比较器正输入 3 CMPSS-3 低电平比较器负输入 0 CMPSS-3 低电平比较器正输入 3 通用输入/输出242。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A4 C14 CMP2_HP0 CMP2_LP0 CMP4_HN0 CMP4_HP3 CMP4_LN0 CMP4_LP3 AGPIO225	0, 4, 8, 12	23	23	19	19	12	I	ADC-A 输入 4 ADC-C 输入 14 CMPSS-2 高电平比较器正输入 0 CMPSS-2 低电平比较器正输入 0 CMPSS-4 高电平比较器负输入 0 CMPSS-4 高电平比较器正输入 3 CMPSS-4 低电平比较器负输入 0 CMPSS-4 低电平比较器正输入 3 用于数字输入 225 的模拟引脚
A5 C2 CMP3_HN1 CMP3_HP1 CMP3_LN1 CMP3_LP1 AGPIO244	0, 4, 8, 12	13	13	9	9	6	I	ADC-A 输入 5 ADC-C 输入 2 CMPSS-3 高电平比较器负输入 1 CMPSS-3 高电平比较器正输入 1 CMPSS-3 低电平比较器负输入 1 CMPSS-3 低电平比较器正输入 1 用于数字输入 244 的模拟引脚
A6 CMP1_HP2 CMP1_LP2 GPIO228		6	6	4	4	2	I/O	ADC-A 输入 6 CMPSS-1 高电平比较器正输入 2 CMPSS-1 低电平比较器正输入 2 通用输入/输出228。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

A7 C3 CMP4_HN1 CMP4_HP1 CMP4_LN1 CMP4_LP1 AIO245	0, 4, 8, 12	19	19	15	15	8	I I I I I I I	ADC-A 输入 7 ADC-C 输入 3 CMPSS-4 高电平比较器负输入 1 CMPSS-4 高电平比较器正输入 1 CMPSS-4 低电平比较器负输入 1 CMPSS-4 低电平比较器正输入 1 用于数字输入 245 的模拟引脚
A8 C11 CMP2_HP4 CMP2_LP4 CMP4_HP4 CMP4_LP4 AIO241	0, 4, 8, 12	20	20	16	16	9	I I I I I I I	ADC-A 输入 8 ADC-C 输入 11 CMPSS-2 高电平比较器正输入 4 CMPSS-2 低电平比较器正输入 4 CMPSS-4 高电平比较器正输入 4 CMPSS-4 低电平比较器正输入 4 用于数字输入 241 的模拟引脚
A10 C10 CMP2_HN0 CMP2_HP3 CMP2_LN0 CMP2_LP3 GPIO230		25	25	21	21	13	I I I I I I I/O	ADC-A 输入 10 ADC-C 输入 10 CMPSS-2 高电平比较器负输入 0 CMPSS-2 高电平比较器正输入 3 CMPSS-2 低电平比较器负输入 0 CMPSS-2 低电平比较器正输入 3 通用输入/输出230。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A11 C0 CMP1_HN1 CMP1_HP1 CMP1_LN1 CMP1_LP1 AIO237	0, 4, 8, 12	12	12	8	8	6	I I I I I I I	ADC-A 输入 11 ADC-C 输入 0 CMPSS-1 高电平比较器负输入 1 CMPSS-1 高电平比较器正输入 1 CMPSS-1 低电平比较器负输入 1 CMPSS-1 低电平比较器正输入 1 用于数字输入 237 的模拟引脚
A12 C1 CMP2_HN1 CMP2_HP1 CMP2_LN1 CMP2_LP1 CMP4_HP2 CMP4_LP2 AIO238	0, 4, 8, 12	18	18	14	14	8	I I I I I I I I I	ADC-A 输入 12 ADC-C 输入 1 CMPSS-2 高电平比较器负输入 1 CMPSS-2 高电平比较器正输入 1 CMPSS-2 低电平比较器负输入 1 CMPSS-2 低电平比较器正输入 1 CMPSS-4 高电平比较器正输入 2 CMPSS-4 低电平比较器正输入 2 用于数字输入 238 的模拟引脚
A15 C7 CMP1_HN0 CMP1_HP3 CMP1_LN0 CMP1_LP3 AIO233	0, 4, 8, 12	10	10	7	7	5	I I I I I I I	ADC-A 输入 15 ADC-C 输入 7 CMPSS-1 高电平比较器负输入 0 CMPSS-1 高电平比较器正输入 3 CMPSS-1 低电平比较器负输入 0 CMPSS-1 低电平比较器正输入 3 用于数字输入 233 的模拟引脚

表 4-1. 引脚属性 (续)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
A16 C16 GPIO28		2	2	2	2	32	I I I/O	ADC-A 输入 16 ADC-C 输入 16 通用输入/输出28。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A17 C17 GPIO20		27	27				I I I/O	ADC-A 输入 17 ADC-C 输入 17 通用输入/输出20。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A18 C18 GPIO21		28	28				I I I/O	ADC-A 输入 18 ADC-C 输入 18 通用输入/输出21。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A19 C19 GPIO13		29	29	22	23		I I I/O	ADC-A 输入 19 ADC-C 输入 19 通用输入/输出13。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A20 C20 GPIO12		30	30	23	24		I I I/O	ADC-A 输入 20 ADC-C 输入 20 通用输入/输出12。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A14 C4 CMP3_HP4 CMP3_LP4 AGPIO239	0, 4, 8, 12	11	11	7	7	5	I I I I I	ADC-A 输入 14 ADC-C 输入 4 CMPSS-3 高电平比较器正输入 4 CMPSS-3 低电平比较器正输入 4 用于数字输入 239 的模拟引脚
C6 CMP3_HP0 CMP3_LP0 GPIO226		7	7	4	4	2	I I I I/O	ADC-C 输入 6 CMPSS-3 高电平比较器正输入 0 CMPSS-3 低电平比较器正输入 0 通用输入/输出226。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A9 C8 CMP2_HP2 CMP2_LP2 CMP4_HP0 CMP4_LP0 GPIO227		24	24	20	20	13	I I I I I I I/O	ADC-A 输入 9 ADC-C 输入 8 CMPSS-2 高电平比较器正输入 2 CMPSS-2 低电平比较器正输入 2 CMPSS-4 高电平比较器正输入 0 CMPSS-4 低电平比较器正输入 0 通用输入/输出227。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
VREFHI		16	16	12	12		I	ADC- 高基准电压。在外部基准模式下, 从外部驱动这个引脚上的高基准电压。在内部基准模式下, 电压由器件驱动到该引脚。在任一模式下, 在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。在 32 RHB 封装上, VREFHI 在内部连接至 VDDA。
VREFLO		17	17	13	13		I	ADC- 低基准电压

表 4-1. 引脚属性 (续)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
<b>GPIO</b>								
GPIO0	0, 4, 8, 12						I/O	通用输入/输出0
EPWM1_A	1						O	ePWM-1 输出 A
CANA_RX	2						I	CAN-A 接收
OUTPUTXBAR7	3						O	输出 X-BAR 输出 7
SCIA_RX	5	52	52	41	42	28	I	SCI-A 接收数据
I2CA_SDA	6						I/OD	I2C-A 开漏双向数据
SPIA_STE	7						I/O	SPI-A 从器件发送使能 (STE)
EQEP1_INDEX	13						I/O	eQEP-1 索引
EPWM3_A	15						O	ePWM-3 输出 A
GPIO1	0, 4, 8, 12						I/O	通用输入/输出1
EPWM1_B	1						O	ePWM-1 输出 B
SCIA_TX	5						O	SCI-A 发送数据
I2CA_SCL	6	51	51	40	41	27	I/OD	I2C-A 开漏双向时钟
SPIA_SOMI	7						I/O	SPI-A 从器件输出, 主器件输入 (SOMI)
EQEP1_STROBE	9						I/O	eQEP-1 选通
EPWM3_B	15						O	ePWM-3 输出 B
GPIO2	0, 4, 8, 12						I/O	通用输入/输出2
EPWM2_A	1						O	ePWM-2 输出 A
OUTPUTXBAR1	5						O	输出 X-BAR 输出 1
SPIA_SIMO	7						I/O	SPI-A 从器件输入, 主器件输出 (SIMO)
SCIA_TX	9	50	50	39	40		O	SCI-A 发送数据
I2CB_SDA	11						I/OD	I2C-B 开漏双向数据
CANA_TX	14						O	CAN-A 发送
EPWM4_A	15						O	ePWM4 输出 A
GPIO3	0, 4, 8, 12						I/O	通用输入/输出3
EPWM2_B	1						O	ePWM-2 输出 B
OUTPUTXBAR2	2, 5						O	输出 X-BAR 输出
SPIA_CLK	7						I/O	2SPI-A 时钟
SCIA_RX	9	49	49	38	39	26	I	SCI-A 接收数据
I2CB_SCL	11						I/OD	I2C-B 开漏双向时钟
CANA_RX	14						I	CAN-A 接收
EPWM4_B	15						O	ePWM-4 输出 B
GPIO4	0, 4, 8, 12						I/O	通用输入/输出4
EPWM3_A	1						O	ePWM-3 输出 A
I2CA_SCL	2						I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR3	5						O	输出 X-BAR 输出
CANA_TX	6						O	3CAN-A 发送
SPIA_SOMI	14						I/O	SPI-A 从器件输出, 主器件输入 (SOMI)
EPWM1_A	15						O	ePWM-1 输出 A

表 4-1. 引脚属性 (续)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO5	0, 4, 8, 12						I/O	通用输入/输出5
EPWM3_B	1						O	ePWM-3 输出 B
I2CA_SDA	2						I/OD	I2C-A 开漏双向数据
OUTPUTXBAR3	3						O	输出 X-BAR 输出 3
CANA_RX	6	61	61	46	47	30	I	CAN-A 接收
SPIA_STE	7						I/O	SPI-A 从器件发送使能 (STE)
SCIA_RX	11						I	SCI-A 接收数据
EPWM1_B	15						O	ePWM-1 输出 B
GPIO6	0, 4, 8, 12						I/O	通用输入/输出6
EPWM4_A	1						O	ePWM-4 输出 A
OUTPUTXBAR4	2						O	输出 X-BAR 输出 4
SYNCOOUT	3	64	64	48	48		O	外部 ePWM 同步脉冲
EQEP1_A	5						I	eQEP-1 输入 A
EPWM2_A	15						O	ePWM-2 输出 A
GPIO7	0, 4, 8, 12						I/O	通用输入/输出7
EPWM4_B	1						O	ePWM-4 输出 B
EPWM2_A	2						O	ePWM-2 输出 A
OUTPUTXBAR5	3						O	输出 X-BAR 输出 5
EQEP1_B	5	57	57	43	43	29	I	eQEP-1 输入 B
SPIA_SIMO	7						I/O	SPI-A 从器件输入, 主器件
SCIA_TX	11						O	(SIMO)SCI-A 发送数据
CANA_TX	14						O	CAN-A 发送
EPWM2_B	15						O	ePWM-2 输出 B
GPIO8	0, 4, 8, 12						I/O	通用输入/输出8
EPWM5_A	1						O	ePWM-5 输出 A
ADCSOCAO	3						O	外部 ADC 的 ADC 转换启动 A
EQEP1_STROBE	5	47	47	36			I/O	eQEP-1 选通
SCIA_TX	6						O	SCI-A 发送数据
SPIA_SIMO	7						I/O	SPI-A 从器件输入, 主器件输出 (SIMO)
I2CA_SCL	9						I/O	I2C-A 开漏双向时钟
GPIO9	0, 4, 8, 12						I/O	通用输入/输出9
EPWM5_B	1						O	ePWM-5 输出 B
SCIB_TX	2						O	SCI-B 发送数
OUTPUTXBAR6	3						O	输出 X-BAR 输出 6
EQEP1_INDEX	5	62	62	47			I/O	eQEP-1 索引
SCIA_RX	6						I	SCI-A 接收数据
SPIA_CLK	7						I/O	SPI-A 时钟
I2CB_SCL	14						I/OD	I2C-B 开漏双向时钟
GPIO10	0, 4, 8, 12						I/O	通用输入/输出10
EPWM6_A	1						O	ePWM-6 输出 A
ADCSOCBO	3						O	外部 ADC 的 ADC 转换启动 B
EQEP1_A	5	63	63				I	eQEP-1 输入 A
SCIB_TX	6						O	SCI-B 发送数据
SPIA_SOMI	7						I/O	SPI-A 从器件输出, 主器件输入 (SOMI)
I2CA_SDA	9						I/OD	I2C-A 开漏双向数据

表 4-1. 引脚属性 (续)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO11	0, 4, 8, 12						I/O	通用输入/输出 11
EPWM6_B	1						O	ePWM-6 输出 B
CANA_RX	2						I	CAN-A 接收
OUTPUTXBAR7	3						O	输出 X-BAR 输出 7
EQEP1_B	5	31	31			14	I	eQEP-1 输入 B
SCIB_RX	6						I	SCI-B 接收数据
SPIA_STE	7						I/O	SPI-A 从器件发送使能 (STE)
SPIA_SIMO	13						I/O	SPI-A 从器件输入, 主器件输出 (SIMO)
GPIO12	0, 4, 8, 12						I/O	通用输入/输出 12。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EPWM7_A	1						O	ePWM-7 输出 A
EQEP1_STROBE	5	30	30	23	24		I/O	eQEP-1 选通
SCIB_TX	6						O	SCI-B 发送数据
SPIA_CLK	11						I/O	SPI-A 时钟
CANA_RX	13						I	CAN-A 接收
GPIO13	0, 4, 8, 12						I/O	通用输入/输出 13。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EPWM7_B	1						O	ePWM-7 输出 B
EQEP1_INDEX	5	29	29	22	23		I/O	eQEP-1 索引
SCIB_RX	6						I	SCI-B 接收数据
SPIA_SOMI	11						I/O	SPI-A 从器件输出, 主器件输入 (SOMI)
CANA_TX	13						O	CAN-A 发送
GPIO16	0, 4, 8, 12						I/O	通用输入/输出 16
SPIA_SIMO	1						I/O	SPI-A 从器件输入, 主器件输出 (SIMO)
OUTPUTXBAR7	3						O	输出 X-BAR 输出 7
EPWM5_A	5	33	33	25	26		O	ePWM-5 输出 A
SCIA_TX	6						O	SCI-A 发送数据
EQEP1_STROBE	9						I/O	eQEP-1 选通
XCLKOUT	11						O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
GPIO17	0, 4, 8, 12						I/O	通用输入/输出 17
SPIA_SOMI	1						I/O	SPI-A 从器件输出, 主器件输入 (SOMI)
OUTPUTXBAR8	3						O	输出 X-BAR 输出 8
EPWM5_B	5	34	34				O	ePWM-5 输出 B
SCIA_RX	6						I	SCI-A 接收数据
EQEP1_INDEX	9						I/O	eQEP-1 索引
CANA_TX	11						O	CAN-A 发送
EPWM6_A	14						O	ePWM-6 输出 A
GPIO18	0, 4, 8, 12						I/O	通用输入/输出 18
SPIA_CLK	1						I/O	SPI-A 时钟
SCIB_TX	2						O	SCI-B 发送数据
CANA_RX	3						I	CAN-A 接收
EPWM6_A	5	41	41	32	33	21	O	ePWM6 输出 A
I2CA_SCL	6						I/OD	I2C-A 开漏双向时钟
XCLKOUT	11						O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
X2	ALT						I/O	晶体振荡器输出。

表 4-1. 引脚属性 (续)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO19	0, 4, 8, 12						I/O	通用输入/输出 19
SPIA_STE	1						I/O	SPI-A 从器件发送使能
SCIB_RX	2						I	(STE)SCI-B 接收数据
CANA_TX	3						O	CAN-A 发送
EPWM6_B	5						O	ePWM6 输出 B
I2CA_SDA	6	42	42	33	34	22	I/OD	I2C-A 开漏双向数据
X1	ALT						I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器,必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。
ExtR	ALT2						I	用于内部振荡器的外部电阻。这可用于提高时钟精度。
GPIO20	0, 4, 8, 12						I/O	通用输入/输出 20。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP1_A	1						I	eQEP-1 输入 A
CANA_TX	3	27	27				O	CAN-A 发送
SPIA_SIMO	6						I/O	SPI-A 从器件输入, 主器件输出 (SIMO)
I2CA_SCL	11						I/OD	I2C-A 开漏双向时钟
SCIC_TX	15						O	SCI-C 发送数据
GPIO21	0, 4, 8, 12						I/O	通用输入/输出 21。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP1_B	1						I	eQEP-1 输入 B
CANA_RX	3	28	28				I	CAN-A 接收
SPIA_SOMI	6						I/O	SPI-A 从器件输出, 主器件输入 (SOMI)
I2CA_SDA	11						I/OD	I2C-A 开漏双向数据
SCIC_RX	15						I	SCI-C 接收数据
GPIO22	0, 4, 8, 12						I/O	通用输入/输出 22
EQEP1_STROBE	1						I/O	eQEP-1 选通
SCIB_TX	3	56	56				O	SCI-B 发送数据
SCIC_TX	9						O	SCI-C 发送数据
EPWM4_A	14						O	ePWM-4 输出 A
GPIO23	0, 4, 8, 12						I/O	通用输入/输出 23
EQEP1_INDEX	1						I/O	eQEP-1 索引
SCIB_RX	3	54	54	42			I	SCI-B 接收数据
SCIC_RX	9						I	SCI-C 接收数据
EPWM4_B	14						O	ePWM-4 输出 B
GPIO24	0, 4, 8, 12						I/O	通用输入/输出 24
OUTPUTXBAR1	1						O	输出 X-BAR 输出 1
SPIA_STE	3						I/O	SPI-A 从器件发送使能 (STE)
EPWM4_A	5						O	ePWM-4 输出 A
SPIA_SIMO	6	35	35	26	27	15	I/O	SPI-A 从器件输入, 主器件输出 (SIMO)
SCIA_TX	11						O	SCI-A 发送数据
ERRORSTS	13						O	错误状态输出。该输出需要一个外部下拉。

表 4-1. 引脚属性 (续)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO28	0, 4, 8, 12						I/O	通用输入/输出 28。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SCIA_RX	1						I	SCI-A 接收数据
EPWM7_A	3						O	ePWM-7 输出 A
OUTPUTXBAR5	5						O	输出 X-BAR 输出 5
EQEP1_A	6	2	2	2	2	32	I	eQEP-1 输入 A
SCIC_TX	10						O	SCI-C 发送数据
SPIA_CLK	11						I/O	SPI-A 时钟
ERRORSTS	13						O	错误状态输出。该信号需要一个外部下拉电阻。
I2CB_SDA	14						I/OD	I2C-B 开漏双向数据
GPIO29	0, 4, 8, 12						I/O	通用输入/输出 29
SCIA_TX	1						O	SCI-A 发送数据
EPWM7_B	3						O	ePWM-7 输出 B
OUTPUTXBAR6	5						O	输出 X-BAR 输出
EQEP1_B	6	1	1	1	1	31	I	6eQEP-1 输入 B
SCIC_RX	10						I	SCI-C 接收数据
SPIA_STE	11						I/O	SPI-A 从器件发送使能 (STE)
ERRORSTS	13						O	错误状态输出。该信号需要一个外部下拉电阻。
I2CB_SCL	14						I/OD	I2C-B 开漏双向时钟
GPIO32	0, 4, 8, 12						I/O	通用输入/输出 32
I2CA_SDA	1						I/OD	I2C-A 开漏双向数据
EQEP1_INDEX	2						I/O	eQEP-1 索引
SPIA_CLK	3						I/O	SPI-A 时钟
EPWM4_B	5	40	40	31	32	20	O	ePWM-4 输出 B
SCIC_TX	6						O	SCI-C 发送数据
CANA_TX	10						O	CAN-A 发送
ADCSOCBO	13						O	外部 ADC 的 ADC 转换启动 B
GPIO33	0, 4, 8, 12						I/O	通用输入/输出 33
I2CA_SCL	1						I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR4	5						O	输出 X-BAR 输出
SCIC_RX	6	32	32	24	25		I	4SCI-C 接收数据
CANA_RX	10						I	CAN-A 接收
ADCSOCAO	13						O	外部 ADC 的 ADC 转换启动 A
GPIO35	0, 4, 8, 12						I/O	通用输入/输出 35
SCIA_RX	1						I	SCI-A 接收数据
SPIA_SOMI	2						I/O	SPI-A 从器件输出, 主器件输入 (SOMI)
I2CA_SDA	3						I/OD	I2C-A 开漏双向数据
CANA_RX	5						I	CAN-A 接收
SCIC_RX	7	39	39	30	31	19	I	SCI-C 接收数据
EQEP1_A	9						I	eQEP-1 输入 A
EPWM5_B	11						O	ePWM-5 输出 B
TDI	15						I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI, 则应启用内部上拉电阻或在电路板上添加外部上拉电阻, 以避免输入悬空。

表 4-1. 引脚属性 (续)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO37	0, 4, 8, 12						I/O	通用输入/输出37
OUTPUTXBAR2	1						O	输出 X-BAR 输出 2
SPIA_STE	2						I/O	SPI-A 从器件发送使能 (STE)
I2CA_SCL	3						I/O	I2C-A 开漏双向时钟
SCIA_TX	5						D	SCI-A 发送数
CANA_TX	6						O	CAN-A 发送
SCIC_TX	7	37	37	28	29	17	O	SCI-C 发送数据
EQEP1_B	9						O	eQEP-1 输入 B
EPWM5_A	11						I	ePWM-5 输出 A
							O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。当没有 JTAG 活动时, TDO 功能将处于三态条件, 使这个引脚悬空; 内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。
TDO	15						O	
GPIO39	0, 4, 8, 12						I/O	通用输入/输出39
SYNCOOUT	13		46				O	外部 ePWM 同步脉冲
EQEP1_INDEX	14						I/O	eQEP-1 索引
GPIO40	0, 4, 8, 12						I/O	通用输入/输出40
EPWM2_B	5						O	ePWM-2 输出 B
SCIB_TX	9	53	53				O	SCI-B 发送数据
EQEP1_A	10						I	eQEP-1 输入 A
GPIO41	0, 4, 8, 12						I/O	通用输入/输出41
EPWM7_A	1						O	ePWM-7 输出 A
EPWM2_A	5	55	55				O	ePWM-2 输出 A
SCIB_RX	9						I	SCI-B 接收数据
EQEP1_B	10						I	eQEP-1 输入 B
GPIO224	0, 4, 8, 12						I/O	通用输入/输出 224。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
OUTPUTXBAR3	5						O	输出 X-BAR 输出 3
SPIA_SIMO	6						I/O	SPI-A 从器件输入, 主器件输出 (SIMO)
EPWM1_A	9	9	9	6	6	4	O	ePWM-1 输出 A
CANA_TX	10						O	CAN-A 发送
EQEP1_A	11						I	eQEP-1 输入 A
SCIC_TX	14						O	SCI-C 发送数据
GPIO226	0, 4, 8, 12						I/O	通用输入/输出 226。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EPWM6_A	5						O	ePWM-6 输出 A
SPIA_CLK	6	7	7	4	4	2	I/O	SPI-A 时钟
EPWM1_B	9						O	ePWM-1 输出 B
EQEP1_STROBE	11						I/O	eQEP-1 选通
SCIC_RX	14						I	SCI-C 接收数据
GPIO227	0, 4, 8, 12						I/O	通用输入/输出 227。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
I2CB_SCL	1						I/OD	I2C-B 开漏双向时钟
EPWM3_A	3	24	24	20	20	13	O	ePWM-3 输出 A
OUTPUTXBAR1	5						O	输出 X-BAR 输出 1
EPWM2_B	6						O	ePWM-2 输出 B

表 4-1. 引脚属性 (续)

信号名称	多路复用器位置	64 VPM	64 PM	48 RGZ	48 PT	32 RHB	引脚类型	说明
GPIO228	0, 4, 8, 12						I/O	通用输入/输出228。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
ADCSOCAO	3						O	外部 ADC 的 ADC 转换启动 A
CANA_TX	5	6	6	4	4	2	O	CAN-A 发送
SPIA_SOMI	6						I/O	SPI-A 从器件输出, 主器件输入 (SOMI)
EPWM2_B	9						O	ePWM-2 输出 B
EQEP1_B	11						I	eQEP-1 输入 B
GPIO230	0, 4, 8, 12						I/O	通用输入/输出230。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
I2CB_SDA	1						I/OD	I2C-B 开漏双向数据
EPWM3_B	3	25	25	21	21	13	O	ePWM-3 输出
CANA_RX	5						I	CAN-A 接收
EPWM2_A	6						O	ePWM-2 输出 A
I2CA_SDA	7						I/OD	I2C-A 开漏双向数据
GPIO242	0, 4, 8, 12						I/O	通用输入/输出242。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
OUTPUTXBAR2	5						O	输出 X-BAR 输出 2
SPIA_STE	6	8	8	5	5	3	I/O	SPI-A 从器件发送使能 (STE)
EPWM4_A	9						O	ePWM-4 输出 A
CANA_RX	10						I	CAN-A 接收
EQEP1_INDEX	11						I/O	eQEP-1 索引
<b>测试、JTAG 和复位</b>								
TCK		36	36	27	28	16	I	JTAG 测试时钟。
TMS		38	38	29	30	18	I/O	JTAG 模式选择 (TMS)
XRSn		3	3	3	3	1	I/OD	器件复位 (输入) 和看门狗复位 (输出)。在上电条件下, 此引脚由器件驱动为低电平。外部电路也可能驱动此引脚以使器件复位生效。发生看门狗复位时, 此引脚也由 MCU 驱动为低电平。在看门狗复位期间, XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2k $\Omega$ 至 10k $\Omega$ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除, 则该电容器的容值应为 100nF 或更小。当看门狗复位生效时, 这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动, 则应使用开漏器件进行驱动。
<b>电源和接地</b>								
VDD		4、44、59	4、44、59	35、44	36、45	24		1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个总电容值约为 10 $\mu$ F 的去耦电容器。
VDDA		22	22	18	18	11		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 4.7 $\mu$ F 的去耦电容器。在 32 RHB 封装上, VREFHI 在内部连接至VDDA。
VDDIO		43、60	43、60	34、45	35、46	23		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 4.7 $\mu$ F 的去耦电容器。
VREGENZ		46					I	具有内部下拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。

## 4.3 信号描述

### 4.3.1 电源与接地

表 4-2. 电源和接地

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
VDD		1.2V 数字逻辑电源引脚。建议在每个 VDD 引脚与 VSS 之间一个最小总电容值约为 10 $\mu$ F 的去耦电容器。当不使用内部稳压器时，去耦电容的确切值应由您的系统电压调节解决方案来确定	4、44、59	4、44、59	35、44	36、45	24
VDDA		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 4.7 $\mu$ F 且连接至 VSSA 的去耦电容器。且该引脚接 600ohm@100MHz 磁珠到 3.3V。	22	22	18	18	11
VDDIO		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 4.7 $\mu$ F 的去耦电容器。	43、60	43、60	34、45	35、46	23
VREGENZ	I	具有内部下拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。	46				
VSS		数字接地。对于 QFN 封装，必须将位于封装底部的接地焊盘焊接到 PCB 的接地平面。	5、26、45、58	5、26、45、58	PAD	22、37、44	PAD
VSSA		模拟接地	21	21	17	17	10

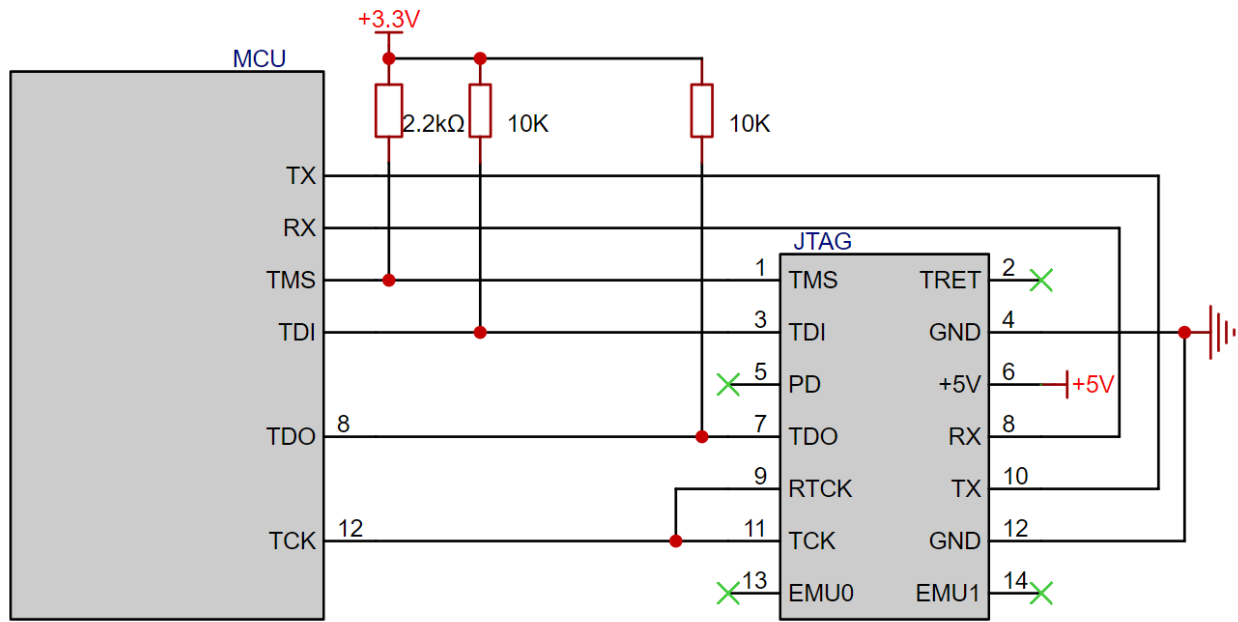


## 4.3.2 测试, JTAG 与复位

表 4-3. 测试 JTAG与复位

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
TCK	I	JTAG 测试时钟。	36	36	27	28	16
TMS	I/O	JTAG 测试模式选择(TMS)。	38	38	29	30	18
XRSn	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2k $\Omega$ 至 10k $\Omega$ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。	3	3	3	3	1





备注

- 1.此 JTAG 下载电路集成板级 5V 供电和一组 UART 功能，用户可直接使用
- 2.若使用杜邦线进行连接，建议使用导电性良好的材质如高纯度铜镀锡材质，长度 60cm 内，单根电阻在 0.1 Ω 内的杜邦线，防止因为杜邦线的材质及长度原因导致信号传输不稳定



## 4.3.3 模拟信号

表 4-4. 模拟信号

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
A0	I	ADC-A 输入 0	15	15	11	11	7
A1	I	ADC-A 输入 1	14	14	10	10	7
A2	I	ADC-A 输入 2	9	9	6	6	4
A3	I	ADC-A 输入 3	8	8	5	5	3
A4	I	ADC-A 输入 4	23	23	19	19	12
A5	I	ADC-A 输入 5	13	13	9	9	6
A6	I	ADC-A 输入 6	6	6	4	4	2
A7	I	ADC-A 输入 7	19	19	15	15	8
A8	I	ADC-A 输入 8	20	20	16	16	9
A9	I	ADC-A 输入 9	24	24	20	20	13
A10	I	ADC-A 输入 10	25	25	21	21	13
A11	I	ADC-A 输入 11	12	12	8	8	6
A12	I	ADC-A 输入 12	18	18	14	14	8
A14	I	ADC-A 输入 14	11	11	7	7	5
A15	I	ADC-A 输入 15	10	10	7	7	5
A16	I	ADC-A 输入 16	2	2	2	2	32
A17	I	ADC-A 输入 17	27	27			
A18	I	ADC-A 输入 18	28	28			
A19	I	ADC-A 输入 19	29	29	22	23	
A20	I	ADC-A 输入 20	30	30	23	24	
AIO225	I	用于数字输入 225 的模拟引脚	23	23	19	19	12
AIO231	I	用于数字输入 231 的模拟引脚	15	15	11	11	7
AIO232	I	用于数字输入 232 的模拟引脚	14	14	10	10	7
AIO233	I	用于数字输入 233 的模拟引脚	10	10	7	7	5
AIO237	I	用于数字输入 237 的模拟引脚	12	12	8	8	6
AIO238	I	用于数字输入 238 的模拟引脚	18	18	14	14	8
AIO239	I	用于数字输入 239 的模拟引脚	11	11	7	7	5
AIO241	I	用于数字输入 241 的模拟引脚	20	20	16	16	9
AIO244	I	用于数字输入 244 的模拟引脚	13	13	9	9	6
AIO245	I	用于数字输入 245 的模拟引脚	19	19	15	15	8
C0	I	ADC-C 输入 0	12	12	8	8	6
C1	I	ADC-C 输入 1	18	18	14	14	8
C2	I	ADC-C 输入 2	13	13	9	9	6
C3	I	ADC-C 输入 3	19	19	15	15	8
C4	I	ADC-C 输入 4	11	11	7	7	5
C5	I	ADC-C 输入 5	8	8	5	5	3
C6	I	ADC-C 输入 6	7	7	4	4	2
C7	I	ADC-C 输入 7	10	10	7	7	5
C8	I	ADC-C 输入 8	24	24	20	20	13

表 4-4. 模拟信号 (续)

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
C9	I	ADC-C 输入 9	9	9	6	6	4
C10	I	ADC-C 输入 10	25	25	21	21	13
C11	I	ADC-C 输入 11	20	20	16	16	9
C14	I	ADC-C 输入 14	23	23	19	19	12
C15	I	ADC-C 输入 15	15	15	11	11	7
C16	I	ADC-C 输入 16	2	2	2	2	32
C17	I	ADC-C 输入 17	27	27			
C18	I	ADC-C 输入 18	28	28			
C19	I	ADC-C 输入 19	29	29	22	23	
C20	I	ADC-C 输入 20	30	30	23	24	
CMP1_DACL	I	CMPSS-1 低电平 DAC 输出	15	15	11	11	7
CMP1_HN0	I	CMPSS-1 高电平比较器负输入 0	10	10	7	7	5
CMP1_HN1	I	CMPSS-1 高电平比较器负输入 1	12	12	8	8	6
CMP1_HP0	I	CMPSS-1 高电平比较器正输入 0	9	9	6	6	4
CMP1_HP1	I	CMPSS-1 高电平比较器正输入 1	12	12	8	8	6
CMP1_HP2	I	CMPSS-1 高电平比较器正输入 2	6	6	4	4	2
CMP1_HP3	I	CMPSS-1 高电平比较器正输入 3	10	10	7	7	5
CMP1_HP4	I	CMPSS-1 高电平比较器正输入 4	14	14	10	10	7
CMP1_LN0	I	CMPSS-1 低电平比较器负输入 0	10	10	7	7	5
CMP1_LN1	I	CMPSS-1 低电平比较器负输入 1	12	12	8	8	6
CMP1_LP0	I	CMPSS-1 低电平比较器正输入 0	9	9	6	6	4
CMP1_LP1	I	CMPSS-1 低电平比较器正输入 1	12	12	8	8	6
CMP1_LP2	I	CMPSS-1 低电平比较器正输入 2	6	6	4	4	2
CMP1_LP3	I	CMPSS-1 低电平比较器正输入 3	10	10	7	7	5
CMP1_LP4	I	CMPSS-1 低电平比较器正输入 4	14	14	10	10	7
CMP2_HN0	I	CMPSS-2 高电平比较器负输入 0	25	25	21	21	13
CMP2_HN1	I	CMPSS-2 高电平比较器负输入 1	18	18	14	14	8
CMP2_HP0	I	CMPSS-2 高电平比较器正输入 0	23	23	19	19	12
CMP2_HP1	I	CMPSS-2 高电平比较器正输入 1	18	18	14	14	8
CMP2_HP2	I	CMPSS-2 高电平比较器正输入 2	24	24	20	20	13
CMP2_HP3	I	CMPSS-2 高电平比较器正输入 3	25	25	21	21	13
CMP2_HP4	I	CMPSS-2 高电平比较器正输入 4	20	20	16	16	9
CMP2_LN0	I	CMPSS-2 低电平比较器负输入 0	25	25	21	21	13
CMP2_LN1	I	CMPSS-2 低电平比较器负输入 1	18	18	14	14	8
CMP2_LP0	I	CMPSS-2 低电平比较器正输入 0	23	23	19	19	12
CMP2_LP1	I	CMPSS-2 低电平比较器正输入 1	18	18	14	14	8
CMP2_LP2	I	CMPSS-2 低电平比较器正输入 2	24	24	20	20	13
CMP2_LP3	I	CMPSS-2 低电平比较器正输入 3	25	25	21	21	13
CMP2_LP4	I	CMPSS-2 低电平比较器正输入 4	20	20	16	16	9
CMP3_HN0	I	CMPSS-3 高电平比较器负输入 0	8	8	5	5	3
CMP3_HN1	I	CMPSS-3 高电平比较器负输入 1	13	13	9	9	6

CMP3_HP0	I	CMPSS-3 高电平比较器正输入 0	7	7	4	4	2
----------	---	---------------------	---	---	---	---	---

表 4-4. 模拟信号 (续)

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
CMP3_HP1	I	CMPSS-3 高电平比较器正输入 1	13	13	9	9	6
CMP3_HP2	I	CMPSS-3 高电平比较器正输入 2	15	15	11	11	7
CMP3_HP3	I	CMPSS-3 高电平比较器正输入 3	8	8	5	5	3
CMP3_HP4	I	CMPSS-3 高电平比较器正输入 4	11	11	7	7	5
CMP3_LN0	I	CMPSS-3 低电平比较器负输入 0	8	8	5	5	3
CMP3_LN1	I	CMPSS-3 低电平比较器负输入 1	13	13	9	9	6
CMP3_LP0	I	CMPSS-3 低电平比较器正输入 0	7	7	4	4	2
CMP3_LP1	I	CMPSS-3 低电平比较器正输入 1	13	13	9	9	6
CMP3_LP2	I	CMPSS-3 低电平比较器正输入 2	15	15	11	11	7
CMP3_LP3	I	CMPSS-3 低电平比较器正输入 3	8	8	5	5	3
CMP3_LP4	I	CMPSS-3 低电平比较器正输入 4	11	11	7	7	5
CMP4_HN0	I	CMPSS-4 高电平比较器负输入 0	23	23	19	19	12
CMP4_HN1	I	CMPSS-4 高电平比较器负输入 1	19	19	15	15	8
CMP4_HP0	I	CMPSS-4 高电平比较器正输入 0	24	24	20	20	13
CMP4_HP1	I	CMPSS-4 高电平比较器正输入 1	19	19	15	15	8
CMP4_HP2	I	CMPSS-4 高电平比较器正输入 2	18	18	14	14	8
CMP4_HP3	I	CMPSS-4 高电平比较器正输入 3	23	23	19	19	12
CMP4_HP4	I	CMPSS-4 高电平比较器正输入 4	20	20	16	16	9
CMP4_LN0	I	CMPSS-4 低电平比较器负输入 0	23	23	19	19	12
CMP4_LN1	I	CMPSS-4 低电平比较器负输入 1	19	19	15	15	8
CMP4_LP0	I	CMPSS-4 低电平比较器正输入 0	24	24	20	20	13
CMP4_LP1	I	CMPSS-4 低电平比较器正输入 1	19	19	15	15	8
CMP4_LP2	I	CMPSS-4 低电平比较器正输入 2	18	18	14	14	8
CMP4_LP3	I	CMPSS-4 低电平比较器正输入 3	23	23	19	19	12
CMP4_LP4	I	CMPSS-4 低电平比较器正输入 4	20	20	16	16	9
GPIO12	I/O	通用输入/输出 12	30	30	23	24	
GPIO13	I/O	通用输入/输出 13	29	29	22	23	
GPIO20	I/O	通用输入/输出 20	27	27			
GPIO21	I/O	通用输入/输出 21	28	28			
GPIO28	I/O	通用输入/输出 28	2	2	2	2	32
GPIO224	I/O	通用输入/输出 224	9	9	6	6	4
GPIO226	I/O	通用输入/输出 226	7	7	4	4	2
GPIO227	I/O	通用输入/输出 227	24	24	20	20	13
GPIO228	I/O	通用输入/输出 228	6	6	4	4	2
GPIO230	I/O	通用输入/输出 230	25	25	21	21	13
GPIO242	I/O	通用输入/输出 242	8	8	5	5	3

VREFHI	I	ADC- 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个2.2 $\mu$ F 电容器。此电容器应放置在VREFHI和 VREFLO 引脚之间尽可能靠近器件的位置。在 32 RHB 封装上，VREFHI 在内部连接至 VDDA。	16	16	12	12	
--------	---	--	----	----	----	----	--

表 4-4. 模拟信号（续）

信号名称	引脚类型	说明	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
VREFLO	I	ADC- 低基准电压	17	17	13	13	



## 4.3.4 数字信号

表 4-5. 数字信号

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
ADCSOCAO	O	外部 ADC 的 ADC 转换启动 A	8, 33, 228	6, 32, 47	6, 32, 47	4, 24, 36	4, 25	2
ADCSOCBO	O	外部 ADC 的 ADC 转换启动 B	10, 32	40, 63	40, 63	31	32	20
CANA_RX	I	CAN-A 接收	0, 3, 5, 11, 12, 18, 21, 33, 35, 230, 242	8, 25, 28, 30, 31, 32, 39, 41, 49, 52, 61	8, 25, 28, 30, 31, 32, 39, 41, 49, 52, 61	5, 21, 23, 24, 30, 32, 38, 41, 46	5, 21, 24, 25, 31, 33, 39, 40, 47	3, 13, 14, 19, 21, 26, 28, 30
CANA_TX	O	CAN-A 发送	2, 4, 7, 13, 17, 19, 20, 32, 37, 224, 228	6, 9, 27, 29, 34, 37, 40, 42, 48, 50, 57	6, 9, 27, 29, 34, 37, 40, 42, 48, 50, 57	4, 6, 22, 28, 31, 33, 37, 39, 43	4, 6, 23, 29, 32, 34, 38, 40, 43	2, 4, 17, 20, 22, 25, 29
EPWM1_A	O	ePWM-1 输出 A	0, 4, 224	9, 48, 52	9, 48, 52	6, 37, 41	6, 38, 42	4, 25, 28
EPWM1_B	O	ePWM-1 输出 B	1, 5, 226	7, 51, 61	7, 51, 61	4, 40, 46	4, 41, 47	2, 27, 30
EPWM2_A	O	ePWM-2 输出 A	2, 6, 7, 41, 230	25, 50, 55, 57, 64	25, 50, 55, 57, 64	21, 39, 43, 48	21, 40, 43, 48	13, 29
EPWM2_B	O	ePWM-2 输出 B	3, 7, 40, 227, 228	6, 24, 49, 53, 57	6, 24, 49, 53, 57	4, 20, 38, 43	4, 20, 39, 43	2, 13, 26, 29
EPWM3_A	O	ePWM-3 输出 A	0, 4, 227	24, 48, 52	24, 48, 52	20, 37, 41	20, 38, 42	13, 25, 28
EPWM3_B	O	ePWM-3 输出 B	1, 5, 230	25, 51, 61	25, 51, 61	21, 40, 46	21, 41, 47	13, 27, 30
EPWM4_A	O	ePWM-4 输出 A	2, 6, 22, 24, 242	8, 35, 50, 56, 64	8, 35, 50, 56, 64	5, 26, 39, 48	5, 27, 40, 48	3, 15
EPWM4_B	O	ePWM-4 输出 B	3, 7, 23, 32	40, 49, 54, 57	40, 49, 54, 57	31, 38, 42, 43	32, 39, 43	20, 26, 29
EPWM5_A	O	ePWM-5 输出 A	8, 16, 37	33, 37, 47	33, 37, 47	25, 28, 36	26, 29	17
EPWM5_B	O	ePWM-5 输出 B	9, 17, 35	34, 39, 62	34, 39, 62	30, 47	31	19
EPWM6_A	O	ePWM-6 输出 A	10, 17, 18, 226	7, 34, 41, 63	7, 34, 41, 63	4, 32	4, 33	2, 21
EPWM6_B	O	ePWM-6 输出 B	11, 19	31, 42	31, 42	33	34	14, 22
EPWM7_A	O	ePWM-7 输出 A	12, 28, 41	2, 30, 55	2, 30, 55	2, 23	2, 24	32
EPWM7_B	O	ePWM-7 输出 B	13, 29	1, 29	1, 29	1, 22	1, 23	31
EQEP1_A	I	eQEP-1 输入 A	6, 10, 20, 28, 35, 40, 224	2, 9, 27, 39, 53, 63, 64	2, 9, 27, 39, 53, 63, 64	2, 6, 30, 48	2, 6, 31, 48	4, 19, 32
EQEP1_B	I	eQEP-1 输入 B	7, 11, 21, 29, 37, 41, 228	1, 6, 28, 31, 37, 55, 57	1, 6, 28, 31, 37, 55, 57	1, 4, 28, 43	1, 4, 29, 43	2, 14, 17, 29, 31
EQEP1_INDEX	I/O	eQEP-1 索引	0, 9, 13, 17, 23, 32, 39, 242	8, 29, 34, 40, 52, 54, 62	8, 29, 34, 40, 46, 52, 54, 62	5, 22, 31, 41, 42, 47	5, 23, 32, 42	3, 20, 28
EQEP1_STROBE	I/O	eQEP-1 选通	1, 8, 12, 16, 22, 226	7, 30, 33, 47, 51, 56	7, 30, 33, 47, 51, 56	4, 23, 25, 36, 40	4, 24, 26, 41	2, 27
ERRORSTS	O	错误状态输出。该信号需要一个外部下拉电阻。	24, 28, 29	1, 2, 35	1, 2, 35	1, 2, 26	1, 2, 27	15, 31, 32
ExtR	I	用于内部振荡器的外部电阻。这可用于提高时钟精度。	19	42	42	33	34	22
GPIO0	I/O	通用输入/输出0	0	52	52	41	42	28
GPIO1	I/O	通用输入/输出1	1	51	51	40	41	27
GPIO2	I/O	通用输入/输出2	2	50	50	39	40	
GPIO3	I/O	通用输入/输出3	3	49	49	38	39	26
GPIO4	I/O	通用输入/输出4	4	48	48	37	38	25
GPIO5	I/O	通用输入/输出5	5	61	61	46	47	30
GPIO6	I/O	通用输入/输出6	6	64	64	48	48	
GPIO7	I/O	通用输入/输出7	7	57	57	43	43	29
GPIO8	I/O	通用输入/输出8	8	47	47	36		
GPIO9	I/O	通用输入/输出9	9	62	62	47		
GPIO10	I/O	通用输入/输出10	10	63	63			

GPIO11	I/O	通用输入/输出11	11	31	31			14
--------	-----	-----------	----	----	----	--	--	----

表 4-5. 数字信号 (续)

信号名称	引脚类型	说明	通用输入/输出	64 VPM	64 PM	48	48 PT	32
GPIO12	I/O	通用输入输出 12	12	30	30	23	24	
GPIO13	I/O	通用输入输出 13	13	29	29	22	23	
GPIO16	I/O	通用输入输出 16	16	33	33	25	26	
GPIO17	I/O	通用输入输出 17	17	34	34			
GPIO18	I/O	通用输入输出 18	18	41	41	32	33	21
GPIO19	I/O	通用输入输出 19	19	42	42	33	34	22
GPIO20	I/O	通用输入输出 20	20	27	27			
GPIO21	I/O	通用输入输出 21	21	28	28			
GPIO22	I/O	通用输入输出 22	22	56	56			
GPIO23	I/O	通用输入输出 23	23	54	54	42		
GPIO24	I/O	通用输入输出 24	24	35	35	26	27	15
GPIO28	I/O	通用输入输出 28	28	2	2	2	2	32
GPIO29	I/O	通用输入输出 29	29	1	1	1	1	31
GPIO32	I/O	通用输入输出 32	32	40	40	31	32	20
GPIO33	I/O	通用输入输出 33	33	32	32	24	25	
GPIO35	I/O	通用输入输出 35	35	39	39	30	31	19
GPIO37	I/O	通用输入输出 37	37	37	37	28	29	17
GPIO39	I/O	通用输入输出 39	39		46			
GPIO40	I/O	通用输入输出 40	40	53	53			
GPIO41	I/O	通用输入输出 41	41	55	55			
GPIO224	I/O	通用输入输出 224	224	9	9	6	6	4
GPIO226	I/O	通用输入输出 226	226	7	7	4	4	2
GPIO227	I/O	通用输入输出 227	227	24	24	20	20	13
GPIO228	I/O	通用输入输出 228	228	6	6	4	4	2
GPIO230	I/O	通用输入输出 230	230	25	25	21	21	13
GPIO242	I/O	通用输入输出 242	242	8	8	5	5	3
I2CA_SCL	I/OD	I2C-A 开漏双向时钟	1、4、8、18、20、33、37	27、32、37、41、47、48、51	27、32、37、41、47、48、51	24、28、32、36、37、40	25、29、33、38、41	17、21、25、27
I2CA_SDA	I/OD	I2C-A 开漏双向数据	0、5、10、19、21、32、35、230	25、28、39、40、42、52、61、63	25、28、39、40、42、52、61、63	21、30、31、33、41、46	21、31、32、34、42、47	13、19、20、22、28、30
I2CB_SCL	I/OD	I2C-B 开漏双向时钟	3、9、29、227	1、24、49、62	1、24、49、62	1、20、38、47	1、20、39	13、26、31
I2CB_SDA	I/OD	I2C-B 开漏双向数据	2、28、230	2、25、50	2、25、50	2、21、39	2、21、40	13、32
OUTPUTXBAR1	O	输出 X-BAR 输出 1	2、24、227	24、35、50	24、35、50	20、26、39	20、27、40	13、15
OUTPUTXBAR2	O	输出 X-BAR 输出 2	3、37、242	8、37、49	8、37、49	5、28、38	5、29、39	3、17、26
OUTPUTXBAR3	O	输出 X-BAR 输出 3	4、5、224	9、48、61	9、48、61	6、37、46	6、38、47	4、25、30
OUTPUTXBAR4	O	输出 X-BAR 输出 4	6、33	32、64	32、64	24、48	25、48	
OUTPUTXBAR5	O	输出 X-BAR 输出 5	7、28	2、57	2、57	2、43	2、43	29、32
OUTPUTXBAR6	O	输出 X-BAR 输出 6	9、29	1、62	1、62	1、47	1	31
OUTPUTXBAR7	O	输出 X-BAR 输出 7	0、11、16	31、33、52	31、33、52	25、41	26、42	14、28
OUTPUTXBAR8	O	输出 X-BAR 输出 8	17	34	34			
SCIA_RX	I	SCI-A 接收数据	0、3、5、9、17、28、35	2、34、39、49、52、61、62	2、34、39、49、52、61、62	2、30、38、41、46、47	2、31、39、42、47	19、26、28、30、32
SCIA_TX	O	SCI-A 发送数据	1、2、7、8、16、24、29、37	1、33、35、37、47、50、51、57	1、33、35、37、47、50、51、57	1、25、26、28、36、39、40、43	1、26、27、29、40、41、43	15、17、27、29、31
SCIB_RX	I	SCI-B 接收数据	11、13、19、23、41	29、31、42、54、55	29、31、42、54、55	22、33、42	23、34	14、22

SCIB_TX	O	SCI-B 发送数据	9、10、12、18、22、40	30、41、53、56、62、63	30、41、53、56、62、63	23、32、47	24、33	21
SCIC_RX	I	SCI-C 接收数据	21、23、29、33、35、226	1、7、28、32、39、54	1、7、28、32、39、54	1、4、24、30、42	1、4、25、31	2、19、31

表 4-5. 数字信号 (续)

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	64 VPM	64 PM	48 RGZ	48 PT	32 RHB
SCIC_TX	O	SCI-C 发送数据	20、22、28、32、37、224	2、9、27、37、40、56	2、9、27、37、40、56	2、6、28、31	2、6、29、32	4、17、20、32
SPIA_CLK	I/O	SPI-A 时钟	3、9、12、18、28、32、226	2、7、30、40、41、49、62	2、7、30、40、41、49、62	2、4、23、31、32、38、47	2、4、24、32、33、39	2、20、21、26、32
SPIA_SIMO	I/O	SPI-A 从器件输入, 主器件输出 (SIMO)	2、7、8、11、16、20、24、224	9、27、31、33、35、47、50、57	9、27、31、33、35、47、50、57	6、25、26、36、39、43	6、26、27、40、43	4、14、15、29
SPIA_SOMI	I/O	SPI-A 从器件输出, 主器件输入 (SOMI)	1、4、10、13、17、21、35、228	6、28、29、34、39、48、51、63	6、28、29、34、39、48、51、63	4、22、30、37、40	4、23、31、38、41	2、19、25、27
SPIA_STE	I/O	SPI-A 从器件发送使能 (STE)	0、5、11、19、24、29、37、242	1、8、31、35、37、42、52、61	1、8、31、35、37、42、52、61	1、5、26、28、33、41、46	1、5、27、29、34、42、47	3、14、15、17、22、28、30、31
SYNCOUT	O	外部 ePWM 同步脉冲	6、39	64	46、64	48	48	
TDI	I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI, 则应启用内部上拉电阻或在电路板上添加外部上拉电阻, 以避免输入悬空。	35	39	39	30	31	19
TDO	O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。当没有 JTAG 活动时, TDO 功能将处于三态条件, 使这个引脚悬空; 内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。	37	37	37	28	29	17
X1	I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器, 必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。	19	42	42	33	34	22
X2	I/O	晶体振荡器输出。	18	41	41	32	33	21
XCLKOUT	O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	16、18	33、41	33、41	25、32	26、33	21



## 4.4 GPIO

### 4.4.1 GPIO 多路复用引脚

表 4-6. GPIO 多路复用引脚

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A	CANA_R	OUTPUTXBAR7	SCIA_RX	I2CA_SDA	SPIA_STE				EQEP1_INDEX		EPWM3_A	
GPIO1	EPWM1_B			SCIA_TX	I2CA_SCL	SPIA_SOMI	EQEP1_STROBE					EPWM3_B	
GPIO2	EPWM2_A			OUTPUTXBAR1		SPIA_SIMO	SCIA_TX		I2CB_SDA		CANA_TX	EPWM4_A	
GPIO3	EPWM2_B	OUTPUTXBA		OUTPUTXBAR2		SPIA_CLK	SCIA_RX		I2CB_SCL		CANA_RX	EPWM4_B	
GPIO4	EPWM3_A	I2CA_SC		OUTPUTXBAR3	CANA_TX						SPIA_SOMI	EPWM1_A	
GPIO5	EPWM3_B	I2CA_SD	OUTPUTXBAR3		CANA_RX	SPIA_STE			SCIA_RX			EPWM1_B	
GPIO6	EPWM4_A	OUTPUT	SYNCOUT	EQEP1_A								EPWM2_A	
GPIO7	EPWM4_B	EPWM2_	OUTPUTXBAR5	EQEP1_B		SPIA_SIMO			SCIA_TX		CANA_TX	EPWM2_B	
GPIO8	EPWM5_A		ADCSOCAO	EQEP1_STROBE	SCIA_TX	SPIA_SIMO	I2CA_SCL						
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK					I2CB_SCL		
GPIO10	EPWM6_A		ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_SOMI	I2CA_SDA						
GPIO11	EPWM6_B	CANA_R	OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_STE				SPIA_SIMO			
GPIO12	EPWM7_A			EQEP1_STROBE	SCIB_TX				SPIA_CLK	CANA_RX			
GPIO13	EPWM7_B			EQEP1_INDEX	SCIB_RX				SPIA_SOMI	CANA_TX			
GPIO16	SPIA_SIMO		OUTPUTXBAR7	EPWM5_A	SCIA_TX		EQEP1_STROBE		XCLKOUT				
GPIO17	SPIA_SOMI		OUTPUTXBAR8	EPWM5_B	SCIA_RX		EQEP1_INDEX		CANA_TX		EPWM6_A		
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6_A	I2CA_SCL				XCLKOUT				X2
GPIO19	SPIA_STE	SCIB_RX	CANA_TX	EPWM6_B	I2CA_SDA								X1
GPIO20	EQEP1_A		CANA_TX		SPIA_SIMO				I2CA_SCL			SCIC_TX	
GPIO21	EQEP1_B		CANA_RX		SPIA_SOMI				I2CA_SDA			SCIC_RX	
GPIO22	EQEP1_STROBE		SCIB_TX				SCIC_TX				EPWM4_A		
GPIO23	EQEP1_INDEX		SCIB_RX				SCIC_RX				EPWM4_B		
GPIO24	OUTPUTXBAR1		SPIA_STE	EPWM4_A	SPIA_SIMO				SCIA_TX	ERRORSTS			
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXBAR5	EQEP1_A			SCIC_TX	SPIA_CLK	ERRORSTS	I2CB_SDA		
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXBAR6	EQEP1_B			SCIC_RX	SPIA_STE	ERRORSTS	I2CB_SCL		
GPIO32	I2CA_SDA	EQEP1_INDE	SPIA_CLK	EPWM4_B	SCIC_TX				CANA_TX		ADCSOCBO		
GPIO33	I2CA_SCL			OUTPUTXBAR4	SCIC_RX				CANA_RX		ADCSOCAO		
GPIO35	SCIA_RX	SPIA_SO	I2CA_SDA	CANA_RX		SCIC_RX	EQEP1_A		EPWM5_B			TDI	
GPIO37	OUTPUTXBAR2	SPIA_ST	I2CA_SCL	SCIA_TX	CANA_TX	SCIC_TX	EQEP1_B		EPWM5_A			TDO	
GPIO39										SYNCOUT	EQEP1_INDEX		
GPIO40				EPWM2_B			SCIB_TX	EQEP1_A					
GPIO41	EPWM7_A			EPWM2_A			SCIB_RX	EQEP1_B					

GPIO224				OUTPUTXBAR3	SPIA_SIMO		EPWM1_A	CANA_TX	EQEP1_A		SCIC_TX		
GPIO226				EPWM6_A	SPIA_CLK		EPWM1_B		EQEP1_STR		SCIC_RX		
GPIO227	I2CB_SCL		EPWM3_A	OUTPUTXBAR1	EPWM2_B								
GPIO228			ADCSOCAO	CANA_TX	SPIA_SOMI		EPWM2_B		EQEP1_B				

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO230	I2CB_SDA		EPWM3_B	CANA_RX	EPWM2_A	I2CA_SDA							
GPIO242				OUTPUTXBAR2	SPIA_STE		EPWM4_A	CANA_RX	EQEP1_INDEX				
AGPIO225													
AGPIO231													
AGPIO232													
AGPIO233													
AGPIO237													
AGPIO238													
AGPIO239													
AGPIO241													
AGPIO244													
AGPIO245													



#### 4.4.2 ADC 引脚上的数字输入 (AGPIO)

端口 H 上的 GPIO 与模拟引脚进行多路复用。这也称为 AGPIO。这些引脚只能在输入模式下工作。默认情况下，这些引脚将用作模拟引脚，并且 GPIO 处于高阻抗状态。GPHAMSEL 寄存器用于配置这些引脚的数字或模拟操作。

如果将具有尖锐边缘（高  $dv/dt$ ）的数字信号连接到 AGPIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户应限制连接到 AGPIO 的信号的边沿速率。

#### 4.4.3 ADC 引脚上的数字输入和输出 (AGPIO)

一些 GPIO 与模拟引脚进行多路复用，并具有数字输入和输出功能。这些也称为 AGPIO。与 AGPIO 不同，AGPIO具有完整的输入和输出能力。

默认情况下，AGPIO未连接，必须进行配置。表4-7显示了如何配置 AGPIO。要启用数字功能请设置通用输入/输出(GPIO) 一章中的寄存器 GPxAMSEL。

**表 4-7. AGPIO 配置**

GPxAMSEL. GPIOy (默认值 = 0)	引脚连接到:	
	ADC	GPIOy
0	是	-
1	-	是

(1) 默认情况下，没有信号连接到 AGPIO 引脚。必须选择表中的其他行之一来实现引脚功能。

如果将具有尖锐边缘（高  $dv/dt$ ）的数字信号连接到 AGPIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户可以限制连接到 AGPIO 的信号的边沿速率。



#### 4.4.4 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，如 ADC、eCAP、ePWM 和外部中断（见图 4-8）。表 4-8 列举了输入 X-BAR 目的。更多有关输入 X-BAR 的详细配置，请参见《QXS320F2800137参考手册》的交叉开关（X-BAR）章节。

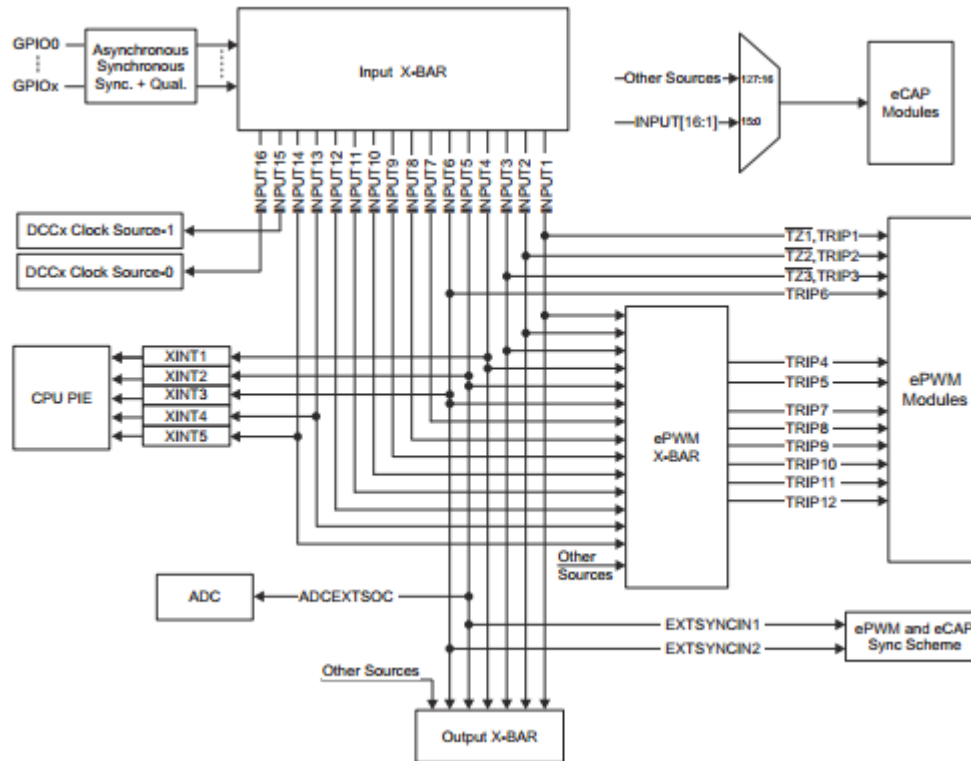


图 4-6. 输入 X-BAR

表 4-8. 输入 X-BAR 目标模块

输入	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
ECAP	是	是	是	是	是	是	是	是	是	是	是	是	是	是	是	是
EPWM X-BAR	是	是	是	是	是	是	是	是	是	是	是	是	是	是		
输出 X-BAR	是	是	是	是	是	是										
CPU XINT				XINT1	XINT2	XINT3							XINT4	XINT5		
EPWM 跳闸	TZ1、TRIP1	TZ2、TRIP2	TZ3、TRIP3			TRIP6										
ADC 转换启动					ADCEXTSOC											
EPWM/ECAP 同步					EXTSYNCIN1	EXTSYNCIN2										
DCCx											CLK1	CLK1			CLK1	CLK0
EPG													EPG1 IN1	EPG1 IN2	EPG1 IN3	EPG1 IN4

#### 4.4.5 GPIO 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 具有八个路由到 GPIO 模块的输出。ePWM X-BAR 具有八个路由到每个 ePWM 模块的输出。图 4-7 显示了输出 X-BAR 和 ePWM X-BAR 的源。有关输出 X-BAR 和 ePWM X-BAR 的详细信息，请参阅《QXS320F2800137参考手册》的交叉开关 (X-BAR) 章节。

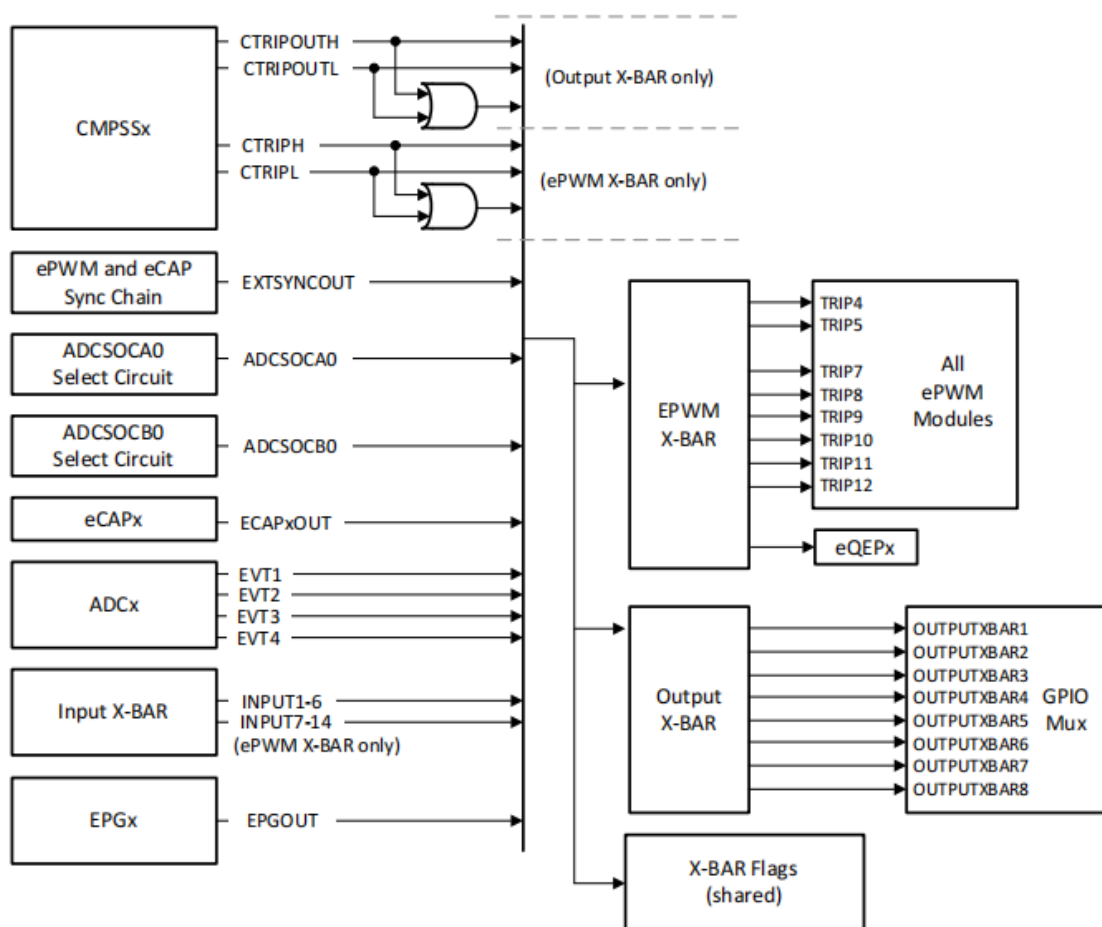


图 4-7. 输出 X-BAR 和 ePWM X-BAR 的源

#### 4.4.6 GPIO 和 ADC 分配

**表 4-9. GPIO 和 ADC 分配**

特性	64 PM	64 PM (具有 VREGENZ) (64 VPM)	48 PT	48 RGZ	32 RHB
<b>GPIO</b>					
GPIO	23	22	13	16	10
AGPIO	21	21	17	17	11
总 GPIO 和 AGPIO	44	43	30	33	22
<b>ADC</b>					
ADC 通道	10	10	9	9	6
AGPIO	11	11	8	8	5
总 ADC 通道数 (单端)	21	21	17	17	11

#### 4.4.7 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表4-10列出了拉动方向及其活动时间。

默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。表4-10中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

**表 4-10. 带有内部上拉和下拉的引脚**

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx	禁用上拉	禁用上拉(1)	应用定义
GPIO35/TDI	禁用上拉		应用定义
GPIO37/TDO	禁用上拉		应用定义
TCK	上拉有效		
TMS	上拉有效		
XRSn	上拉有效		
其他引脚 (包括AGPIO)	上拉或下拉未存在		

#### 4.4.8 未使用引脚的连接

对于不需要使用器件所有功能的应用，表4-11列出了对任何未使用引脚的可接受条件。当表4-11中列出了多个选项时，任何选项都可接受。表4-11 中未列的引脚需按照中所述进行连接。

**表 4-11. 未使用引脚的连接**

信号名称	可接受的做法
<b>模拟</b>	
VREFHI	连接至 VDDA (仅在应用中未使用 ADC 时适用)
VREFLO	绑定到VSSA
模拟输入引脚	<ul style="list-style-type: none"> <li>无连接</li> <li>绑定到 VSSA</li> <li>通过电阻器连接到 VSSA</li> </ul>
模拟输入引脚 (与 GPIO 共用)	<ul style="list-style-type: none"> <li>无连接</li> <li>通过电阻器连接到 VSSA</li> </ul>
<b>数字</b>	
GPIOx	<ul style="list-style-type: none"> <li>无连接 (启用内部上拉的输入模式)</li> <li>无连接 (禁用内部上拉的输出模式)</li> <li>上拉或下拉电阻器 (任意值电阻器, 输入模式, 禁用内部上拉)</li> </ul>
GPIO35/TDI	选择 TDI 多路复用器选项 (默认) 时, GPIO 处于输入模式。 <ul style="list-style-type: none"> <li>启用内部上拉电阻</li> <li>外部上拉电阻</li> </ul>
GPIO37/TDO	当 TDO 复用选项被选中时 (默认), GPIO 只在 JTAG 活动期间处于输出模式; 否则, 它处于三态条件。必须对该引脚进行偏置, 以避免在输入缓冲器上产生额外电流。 <ul style="list-style-type: none"> <li>启用内部上拉电阻</li> <li>外部上拉电阻</li> </ul>
TCK	<ul style="list-style-type: none"> <li>无连接</li> <li>上拉电阻器</li> </ul>
TMS	上拉电阻器
GPIO19/X1	关闭 XTAL 和: <ul style="list-style-type: none"> <li>输入模式, 启用内部上拉电阻</li> <li>输入模式, 使用外部上拉或下拉电阻</li> <li>输出模式, 禁用内部上拉电阻</li> </ul>
GPIO18/X2	关闭 XTAL 和: <ul style="list-style-type: none"> <li>输入模式, 启用内部上拉电阻</li> <li>输入模式, 使用外部上拉或下拉电阻</li> <li>输出模式, 禁用内部上拉电阻</li> </ul>
<b>电源和接地</b>	
VDD	所有 VDD 引脚必须按照 所述进行连接。不应使用引脚来偏置任何外部电路。
VDDA	如果未使用专用模拟电源, 则连接到VDDIO。
VDDIO	所有 VDDIO 引脚必须按 所述进行连接。
VSS	所有 VSS 引脚必须连接到电路板接地。
VSSA	如果未使用模拟接地, 则连接到VSS。

## 5 规格

### 5.1 绝对最大值范围

在自然通风条件下的工作温度范围内（除非另有说明）

表 5-1. 绝对最大值范围

参数	最小值	最大值	单位	
电源电压	VDDIO 以 VSS 为基准	2.97	3.63	V
	VDDA 以 VSSA 为基准	2.97	3.63	
	VDD 以 VSS 为基准	1.08	1.32	V
输入电压	V <sub>IN</sub> (3.3V)	2.97	3.63	V
输出电压	V <sub>O</sub>	2.97	3.63	
输入钳位电流 <sup>(4)</sup>	数字输入 ( 每引脚 ), I <sub>IK</sub> ( V <sub>IN</sub> < VSS 或 V <sub>IN</sub> > VDDIO )	-10	10	mA
	模拟输入 ( 每引脚 ), I <sub>IKANALOG</sub> ( V <sub>IN</sub> < VSSA 或 V <sub>IN</sub> > VDDA )	-10	10	
	所有输入的总计, I <sub>IKTOTAL</sub> ( V <sub>IN</sub> < VSS/VSSA 或 V <sub>IN</sub> > VDDIO/VDDA )	-10	10	
输出电流	数字输出 ( 每引脚 ), I <sub>OUT</sub>	2.5	10	mA
自然通风温度	T <sub>A</sub>	-40	125	°C
结温	T <sub>J</sub>	-40	125	°C
贮存温度 <sup>(3)</sup>	T <sub>stg</sub>	-40	125	°C

(1) 应力超出绝对最大值范围所列的值可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些值可正常工作或者任何其他超过节 5.3 所述条件下可正常工作。长时间处于绝对最大值范围情况下会影响设备的可靠性。

(2) 除非另有说明，否则所有电压值均以 VSS 为基准。

(3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。

(4) 每个引脚的连续钳位电流为  $\pm 2\text{mA}$ 。请勿在此条件下连续工作，因为 VDDIO/VDDA 电压可能会在内上升并影响其他电气规格。

## 5.2 推荐工作条件

表 5-2. 推荐工作条件

参数		最小值	额定值	最大值	单位
设备供电电压, VDDIO 与VDDA	启用内部BOR	VBOR-VDDIO (MAX) +VBOR-GB	3.3	3.63	V
	禁用内部BOR	2.8	3.3	3.63	
设备电源电压, VDD		1.14	1.2	1.32	V
设备接地, VSS			0		V
模拟地, VSSA			0		V
SR <sub>SUPPLY</sub>	VDDIO, VDDA到VSS的供电斜率速率	20		100	mV/us
t <sub>VDDIO-RAMP</sub>	从1V到VBOR-VDDIO (MAX) ) VDDIO供电斜坡时间			10	ms
V <sub>IN</sub>	数字输入电压	VSS-0.3		VDDIO+0.3	V
	模拟输入电压	VSSA-0.3		VDDA+0.3	V
V <sub>BOR-GB</sub>	VDDIO BOR 保护带		0.1		V
结温, T <sub>J</sub>		-40		125	°C

(1) T<sub>J</sub>= 105°C以上操作持续扩展将减少设备寿命。

(2) 电气特性表中的 VDDIO BOR 电压(VBOR-VDDIO[*MAX*])决定了设备操作的电压下限。HX 建议系统设计人员预算额外的保护带 (VBOR-GB),如图 5-1 供电电压图所示。

(3) 默认启用内部 BOR。

(4) 电源斜坡速率快于该值, 能触发片上 ESD 保护。

(5) HX 建议采用 VBOR-GB, 以避免 3.3V VDDIO 系统因正常电源噪声或负载瞬态事件而导致 BOR 复位。良好的系统调节器设计和解耦电容(遵循系统调节器规格)是重要的。VBOR-GB 的值是系统级设计考虑因素; 这里列出的是许多应用程序的典型示例。

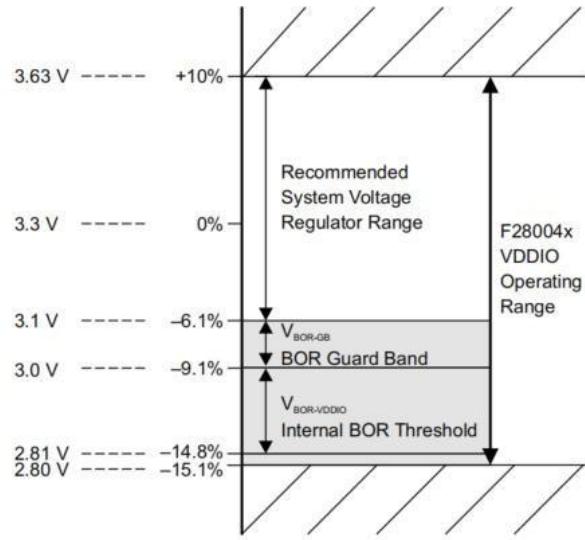


图 5-1. 供电电压



### 5.3 产品 ESD 范围

表 5-3. 产品的 ESD 范围

			值	单位
采用 64 引脚 PM 封装的 F2800137、F2800135、F2800133				
V(ESD) 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型(CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
		64 引脚 PM 上的转角引脚: 1、16、17、32、33、48、49、64	±750	
采用 48 引脚 PT 封装的 F2800137、F2800135、F2800133、F2800132				
V(ESD) 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型(CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
		48 引脚 PT 上的转角引脚: 1、12、13、24、25、36、37、48	±750	
采用 48 引脚 RGZ 封装的 F2800137、F2800135、F2800133、F2800132				
V(ESD) 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型(CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
		48 引脚 RGZ 上的转角引脚: 1、12、13、24、25、36、37、48	±750	
采用 32 引脚 RHB 封装的 F2800137、F2800135、F2800133、F2800132				
			值	单位
V(ESD) 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型(CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
		32 引脚 RHB 上的转角引脚: 1、8、9、16、17、24、25、32	±750	

(1) JEDEC 目录 JEP155 状态表明 500V HBM 允许带有标准 ESD 控制过程的安全制造。

(2) JEDEC 目录 JEP157 状态表明 250V CDM 允许带有标准 ESD 控制过程的安全制造。

## 5.4 耗电概述

本节中列出的电流值仅代表给定的测试条件，而不是绝对的最大的可能。应用程序中的实际设备电流将随应用程序代码和引脚而变化配置。第 5.4.1 节列出了系统电流消耗值。

### 5.4.1 系统电流消耗（外部电源）

在自然通风条件下的工作温度范围内测得（除非另有说明）。

典型值：Vnom, 30°C

表 5-4. 系统电流消耗（外部电源）

参数		测试条件	最小值	典型值	最大值	单位
<b>工作模式</b>						
IDD	运行期间的 VDD 电流消耗	这是典型重负载应用中电流的估算值。实际电流会因系统活动、I/O 电气负载和开关频率而异。这包括启用内部Vreg时的内核电源电流。	30°C	70		mA
			125°C	104		mA
IDDIO+IDDA	运行期间的 VDDIO 电流消耗	- CPU 从 RAM 运行- 闪存加电 - X1/X2 晶振加电 - PLL 被启用, SYSCLK=最大器件频率120M - 模拟模块加电 - 输出在没有直流负载的情况下是静态 - 输入是静态高电平或低电平	30°C	20		mA
			125°C	20		mA
<b>空闲模式</b>						
IDD	器件处于空闲模式时的 VDD 电流消耗	- CPU 处于空闲模式 - 闪存断电	30°C	40		mA
IDDIO+IDDA	器件处于空闲模式时的 VDDIO 电流消耗	- PLL 被启用, SYSCLK=最大器件频率, CPUCLK 被选通 - X1/X2 晶振被加电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C	8		mA
<b>待机模式 (PLL 启用)</b>						
IDD	器件处于待机模式时的 VDD 电流消耗	- CPU 处于待机模式 - 闪存断电	30°C	10		mA
IDDIO+IDDA	器件处于待机模式时的 VDDIO 电流消耗	- PLL 被启用, SYSCLK 和CPUCLK 会选通 - X1/X2 晶振断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C	6		mA

## 5.4.2 系统电流消耗 (内部电源)

表 5-5. 系统电流消耗 (内部电源)

参数		测试条件	最小值	典型值	最大值	单位
<b>工作模式</b>						
I <sub>DD</sub>	运行期间的 VDD 电流消耗	这是典型重负载应用中电流的估算值。实际电流会因系统活动、I/O 电气负载和开关频率而异。这包括启用内部Vreg时的内核电源电流。 - CPU 从 RAM 运行- 闪存加电 - X1/X2 晶振加电 - PLL 被启用, SYSCLK=最大器件频率120M - 模拟模块加电 - 输出在没有直流负载的情况下是静态 - 输入是静态高电平或低电平	30°C	60		mA
			125°C	95		mA
I <sub>DDIO</sub> +I <sub>DDA</sub>	运行期间的 VDDIO 电流消耗	- CPU 从 RAM 运行- 闪存加电 - X1/X2 晶振加电 - PLL 被启用, SYSCLK=最大器件频率120M - 模拟模块加电 - 输出在没有直流负载的情况下是静态 - 输入是静态高电平或低电平	30°C	17		mA
			125°C	17		mA
<b>空闲模式</b>						
I <sub>DD</sub>	器件处于空闲模式时的 VDD 电流消耗	- CPU 处于空闲模式 - 闪存断电 - PLL 被启用, SYSCLK=最大器件频率, CPUCLK 被选通	30°C	32		mA
I <sub>DDIO</sub> +I <sub>DDA</sub>	器件处于空闲模式时的 VDDIO 电流消耗	- X1/X2 晶振被加电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C	6		mA
<b>待机模式 (PLL 启用)</b>						
I <sub>DD</sub>	器件处于待机模式时的 VDD 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被启用, SYSCLK 和CPUCLK 会选通 - X1/X2 晶振断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C	8		mA
I <sub>DDIO</sub> +I <sub>DDA</sub>	器件处于待机模式时的 VDDIO 电流消耗		30°C	5		mA

 在建议的工作条件下测得 (除非另有说明) 典型V<sub>nom</sub>

### 5.4.2 工作模式测试描述

第 5.4.1 节，节 5.4.2 和第 5.4.3 节列出了设备运行模式的当前电流消耗值。运行模式提供了应用程序可能遇到情况的预测。为实现所示值运行的测试用例将循环执行以下操作。以下列表中未列出的外设已禁用其时钟：

- | 代码从 RAM 中执行。
- | 读取 FLASH 并保持激活状态。
- | I/O 引脚不驱动任何外部组件。
- | 使用以下所有通信外设：SPI-A；SCI-A 至 SCI-C；I2C-A，B；CAN-A。
- | ePWM-1 至 ePWM-3 在 6 个引脚上生成 5MHz 输出。
- | EPWM-4 至 EPWM-7 处于 HRPWM 模式，并在 6 个引脚上生成 25MHz 输出。
- | CPU 计时器激活。
- | CPU 进行 FIR16 计算。
- | DMA 进行连续 32 位传输。
- | 所有 ADC 执行连续转换。
- | 所有 DAC 都在环路频率约为 11kHz 时改变电压。
- | 所有 CMPSS 都会生成频率为 100kHz 的方波。
- | eCAP-1 处于 APWM 模式，切换频率为 250kHz。
- | 启用所有 eQEP 看门狗并执行计数。
- | 启用系统看门狗并执行计数。

### 5.4.3 减少电流消耗

图 5-2、图 5-3、图 5-4 显示了器件上的频率与电流消耗之间关系的典型代表。节 5.4.1 中的工作测试是在 VNOM 和室温下的整个频率范围内运行的。实际结果因系统实施和条件而异。

VDD 内核电源上的漏电流将以指数方式随工作温度的升高而增加，如图 5-5 所示。停机模式下的电流消耗主要是漏电流，因为内部振荡器已断电时，就不会有有源开关。

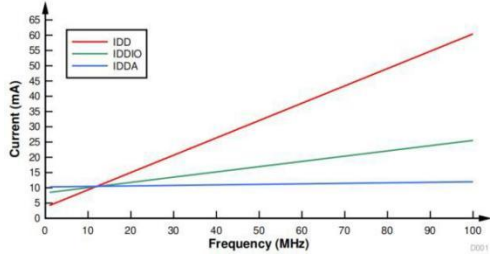


图 5-2. 电流与频率间的关系-外部电源

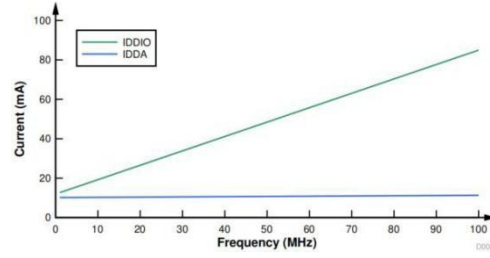


图 5-3. 电流与频率间的关系-内部 VREG

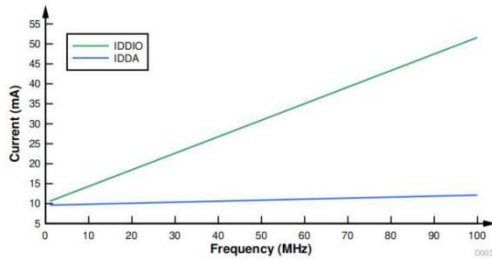


图 5-4. 电流与频率间的关系-直流/直流

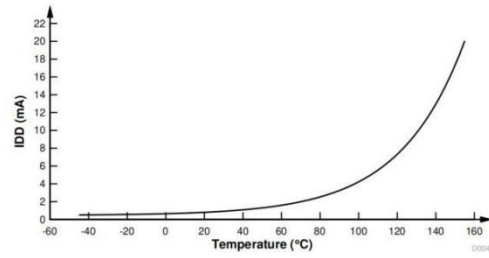


图 5-5. 停机(HALT)模式电流与温度间的关系(°C)



#### 5.4.4 减少电流消耗

QXS320F2800137设备提供了一些降低设备电流消耗的方法:

- 为进一步降低应用在空闲期间的电流消耗,可以进入两种低功耗模式之一 — IDLE 或 STANDBY。

- 如果代码从 RAM 中运行,闪存模块可能会断电。

- 禁用输出功能引脚的上拉。

- 每个外设都有一个单独的时钟使能位(PCLKCRx)。减少电流消耗可通过关闭给定应用程序中不使用的任何外设的时钟来实现。典型的电流减少可以通过使用 PCLKCRx 寄存器禁用时钟来实现。

- 要在 LPM 中实现最低的 VDDA 电流消耗,请参阅《QXS320F2800137参考手册》模数转换器(ADC)章节,以确保每个模块也被关闭。

表 5-6. 外设关闭典型电流

外设	IDDIO 电流减少 (mA)
ADC <sup>(1)</sup>	1.32
CMPSS <sup>(1)</sup>	0.31
CPU 计时器	0.06
DCAN	1.25
DCC	0.08
eCAP	0.12
EPG	0.32
ePWM	4.13
HRPWM	1.98
eQEP	0.18
SCI	0.50
I2C	0.51
SPI	0.11

(1) 复位时,所有外设均禁用。使用PCLKCRx寄存器以单独地启用外设。对于具有多个实例的外设,针对每个模块引用电流。

注:该电流消耗值为实验室测得,仅供参考

## 5.5 电气特性

在建议运行条件下测得（除非另有说明）。

表 5-7. 电气特性

参数	测试条件		最小值	典型值	最大值	单位
<b>数字与模拟 IO</b>						
$V_{OH}$	高电平输出电压		VDDIO-0.2			V
$V_{OL}$	低电平输出电压				0.4	V
$I_{OH}$	所有输出引脚的高电平输出源电流			10		mA
$I_{OL}$	所有输出引脚的低电平输出源电流			10		mA
$R_{OH}$	所有输出引脚的高电平输出阻抗		$V_{OH}=V_{DDIS}-0.4V$	60		$\Omega$
$R_{OL}$	所有输出引脚的低电平输出阻抗		$V_{OH}=V_{DDIS}-0.4V$	60		$\Omega$
$V_{IH}$	高电平输入电压 (3.3V)		2.0			V
$V_{IL}$	低电平输入电压 (3.3V)				0.8	V
$V_{HYSTERESIS}$	输入滞后		250		390	mV
$I_{PULLDOWN}$	输入电流	使能下拉	VDDIO=3.3V $V_{IN}=V_{DDIO}$	150		$\mu A$
$I_{PULLUP}$	输入电流	使能上拉	VDDIO=VDD A=3.3V $V_{IN}=0V$	150		$\mu A$
$R_{PULLDOWN}$	弱下拉电阻			39		K $\Omega$
$R_{PULLUP}$	弱上拉电阻			39		K $\Omega$
$I_{LEAK}$	引脚漏电流	数字输入	上拉和输出被禁用 $0V \leq V_{IN} \leq V_{DDIO}$		0.1	$\mu A$
		模拟引脚	上拉和输出被禁用 $0V \leq V_{IN} \leq V_{DDIO}$		0.1	
CI	输入电容	数字输入		1.6		pF
		模拟引脚				
<b>VREG、直流/直流和 BOR</b>						
$V_{POR-VDDIO}$	VDDIO 上电复位电压			1.8		V
$V_{BOR-VDDIO}$	VDDIO 掉电复位电压			2.0		V

## 5.6 热阻特征

### 5.6.1 PM 封装的热阻特性

		°C/W <sup>(1)</sup>
R $\theta$ Jc	结至外壳热阻, 顶部	21.9
	结至外壳热阻, 底部	不适用
R $\theta$ Jb	结至电路板热阻	39.6
R $\theta$ JA (高 k PCB)	结至大气热阻	62.5
PsiJT	结至封装顶部	1.1
PsiJb	结至电路板	39.2

(1) 这些值基于 JEDEC 定义的 2S2P 系统(Theta JC [R $\theta$ JC]值除外, 该值基于 JEDEC 定义的 1S0P 系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些 EIA/JEDEC 热测试标准:

| JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)

| JESD51-3, 含铅表面贴装封装的有效导热测试板

| JESD51-7, 含铅表面贴装封装的高效导热测试板

| JESD51-9, 区域阵列表面贴装包热测量测试板



## 5.6.2 PT 封装的热阻特性

表 5-8. PT 封装的热阻特性

		°C/W <sup>(1)</sup>
R $\theta$ Jc	结至外壳热阻, 顶部	21.2
	结至外壳热阻, 底部	不适用
R $\theta$ Jb	结至电路板热阻	35.1
R $\theta$ JA (高 k PCB)	结至大气热阻	60.1
PsiJT	结至封装顶部	0.9
PsiJb	结至电路板	34.7

(1) 这些值基于 JEDEC 定义的 2S2P 系统(Theta JC [R $\theta$ JC]值除外, 该值基于 JEDEC 定义的 1S0P 系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些 EIA/JEDEC 热测试标准:

- | JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)
- | JESD51-3, 含铅表面贴装封装的有效导热测试板
- | JESD51-7, 含铅表面贴装封装的高效导热测试板
- | JESD51-9, 区域阵列表面贴装包热测量测试板

## 5.6.3 RGZ 封装的热阻特性

表 5-9. RGZ 封装的热阻特性

		°C/W <sup>(1)</sup>
R $\theta$ Jc	结至外壳热阻, 顶部	18.6
	结至外壳热阻, 底部	2.8
R $\theta$ Jb	结至电路板热阻	10.7
R $\theta$ JA (高 k PCB)	结至大气热阻	28.4
PsiJT	结至封装顶部	0.2
PsiJb	结至电路板	10.7

(1) 这些值基于 JEDEC 定义的 2S2P 系统(Theta JC [R $\theta$ JC]值除外, 该值基于 JEDEC 定义的 1S0P 系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些 EIA/JEDEC 热测试标准:

- | JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)
- | JESD51-3, 含铅表面贴装封装的有效导热测试板
- | JESD51-7, 含铅表面贴装封装的高效导热测试板
- | JESD51-9, 区域阵列表面贴装包热测量测试板

### 5.6.3 RHB 封装的热阻特性

表 5-10. RHB 封装的热阻特性

		°C/W(1)
R $\theta$ Jc	结至外壳热阻, 顶部	22.5
	结至外壳热阻, 底部	2.8
R $\theta$ Jb	结至电路板热阻	12.3
R $\theta$ Ja (高 k PCB)	结至大气热阻	31.3
PsiJT	结至封装顶部	0.3
PsiJb	结至电路板	12.2

(1) 这些值基于 JEDEC 定义的 2S2P 系统(Theta JC [R $\theta$ JC]值除外, 该值基于 JEDEC 定义的 1S0P 系统), 并根据环境和应用而变化。要了解更多信息, 请参见这些 EIA/JEDEC 热测试标准:

I JESD51-2, 集成电路热测试方法环境条件-自然对流(静止空气)

I JESD51-3, 含铅表面贴装封装的有效导热测试板

I JESD51-5, 含铅表面贴装封装的高效导热测试板

I JESD51-7, 区域阵列表面贴装包热测量测试板

## 5.7 散热设计注意事项

根据最终应用程序的设计和配置, IDD 和 IDDIO 电流可能会有所不同。最终产品中超过推荐的最大功耗耗散可能需要额外的散热增强措施。环境温度(TA)随最终应用和产品设计而变化。影响可靠性和功能性的关键因素是 TJ 结温, 而不是环境温度。因此, 应采取保持 TJ 在规定的限度内。应测量 Tcase (封装体表面温度) 以估计 TJ 结温情况。

## 5.8 模拟外设

本节介绍了模拟子系统模块。

该器件上的模拟模块包括模数转换器 (ADC)、温度传感器、比较器子系统 (CMPSS)。

模拟子系统具有以下特性：

- 灵活的电压基准
  - ADC 以 VREFHI 和 VSSA 引脚为基准
- VREFHI 引脚电压可由外部驱动或由内部带隙电压基准生成。
- 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V
  - 比较器 DAC 以 VDDA 和 VSSA 为基准
- 灵活地使用引脚
  - 比较器子系统输入和数字输入 (AGPIO)/输出 (AGPIO) 与 ADC 输入进行多路复用
  - 低比较器 DAC (CMPx\_DACL) 可选择性输出到多路复用 ADC 引脚供外部使用（不能与 CMPSS 比较功能同时使用，仅在某些 CMPSS 实例中可用）
  - 内部连接到所有 ADC 上的 VREFLO，用于偏移量自校准

图 5-6 展示了所有封装的模拟子系统方框图。图 5-7展示了模拟组连接



图 5-6 显示了模拟组连接。请参阅模拟引脚和内部连接表，了解每个封装的每个组的特定连接。模拟信号说明表提供了模拟信号的说明。

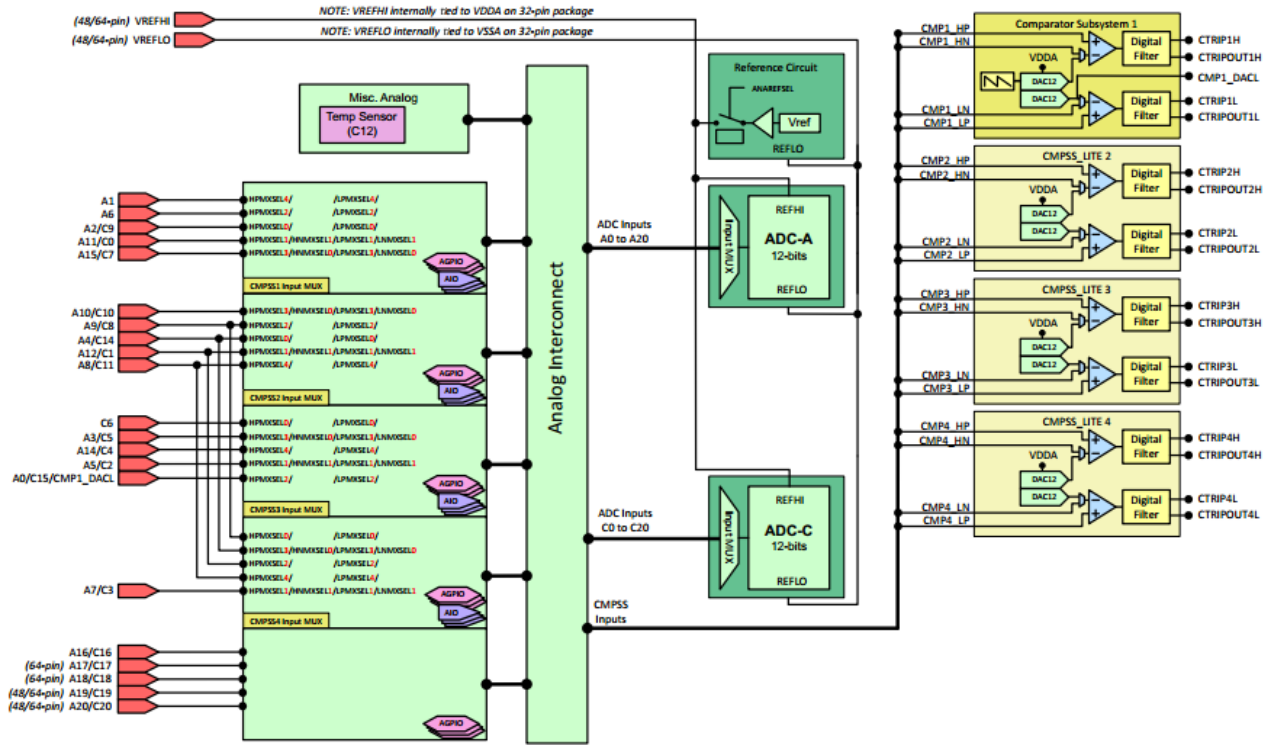


图 5-6. 模拟子系统方框图



表 5-11. 模拟信号说明

信号名称	说明
AGPIOx	ADC 引脚上的数字输入
Ax	ADC A 输入
Cx	ADC C 输入
CMPx_HNy	比较器子系统高电平比较器负输入
CMPx_HPy	比较器子系统高电平比较器正输入
CMPx_LNy	比较器子系统低电平比较器负输入
CMPx_LPy	比较器子系统低电平比较器正输入
CMPx_DACL	来自较低 CMPSS DAC 的 DAC 输出 (可连接到外部引脚)
温度传感器	内部温度传感器

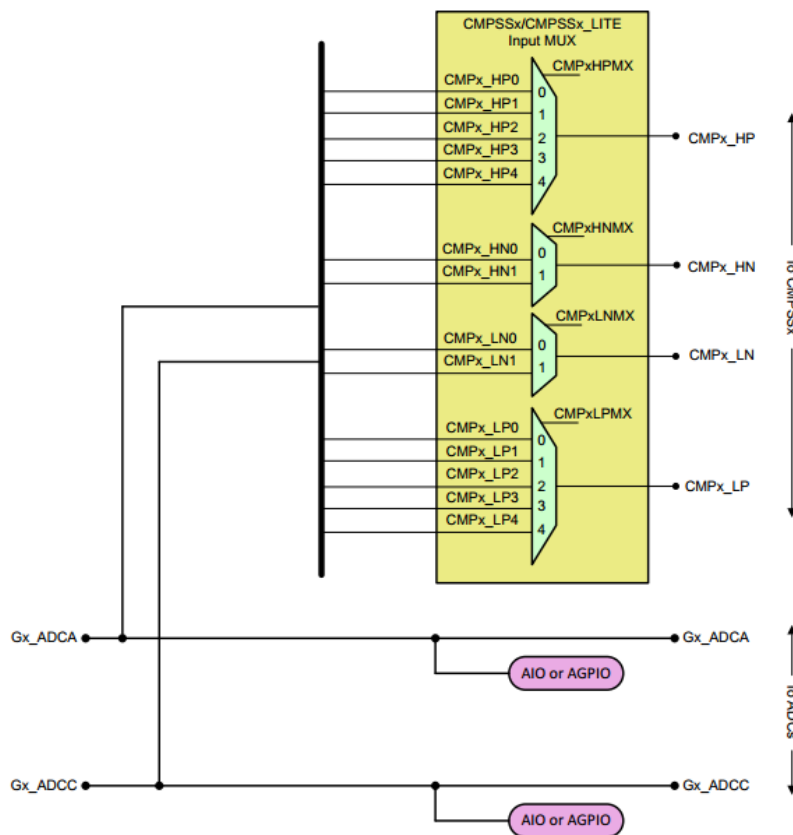


图 5-7. 模拟组连接

### 5.8.1 模数转换器 (ADC)

此处所述的 ADC 模块是一个逐次逼近 (SAR) 型 ADC，具有 12 位分辨率。本节将转换器的模拟电路称为“内核”，包括通道选择 MUX、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。转换器的数字电路被称为“包装器”，包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片上模块接口。每个 ADC 模块都包含一个采样保持 (S/H) 电路。ADC 模块被设计成在同一个芯片上重复多次，从而实现多个 ADC 的同步采样或独立运行。ADC 包装器基于转换启动 (SOC)

每个 ADC 具有以下特性：

- 12 位分辨率
- 由 VREFHI/VREFLO 设定的比例式外部基准
- 2.5V 或 3.3V 的可选内部基准电压
- 单端信号模式
- 具有多达 21 个通道的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 多个触发源
  - 软件立即启动
  - 所有 ePWM: ADCSOC A 或 B
  - GPIO XINT2
  - CPU 计时器 0/1/2
  - ADCINT1/2
- 四个灵活的 PIE 中断
- 突发模式触发选项
- 四个后处理块，每块具有：
  - 饱和偏移量校准
  - 设定点计算的误差
  - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
  - 触发至采样延迟采集

ADC 内核和 ADC 包装器的方框图如图 5-8 所示。

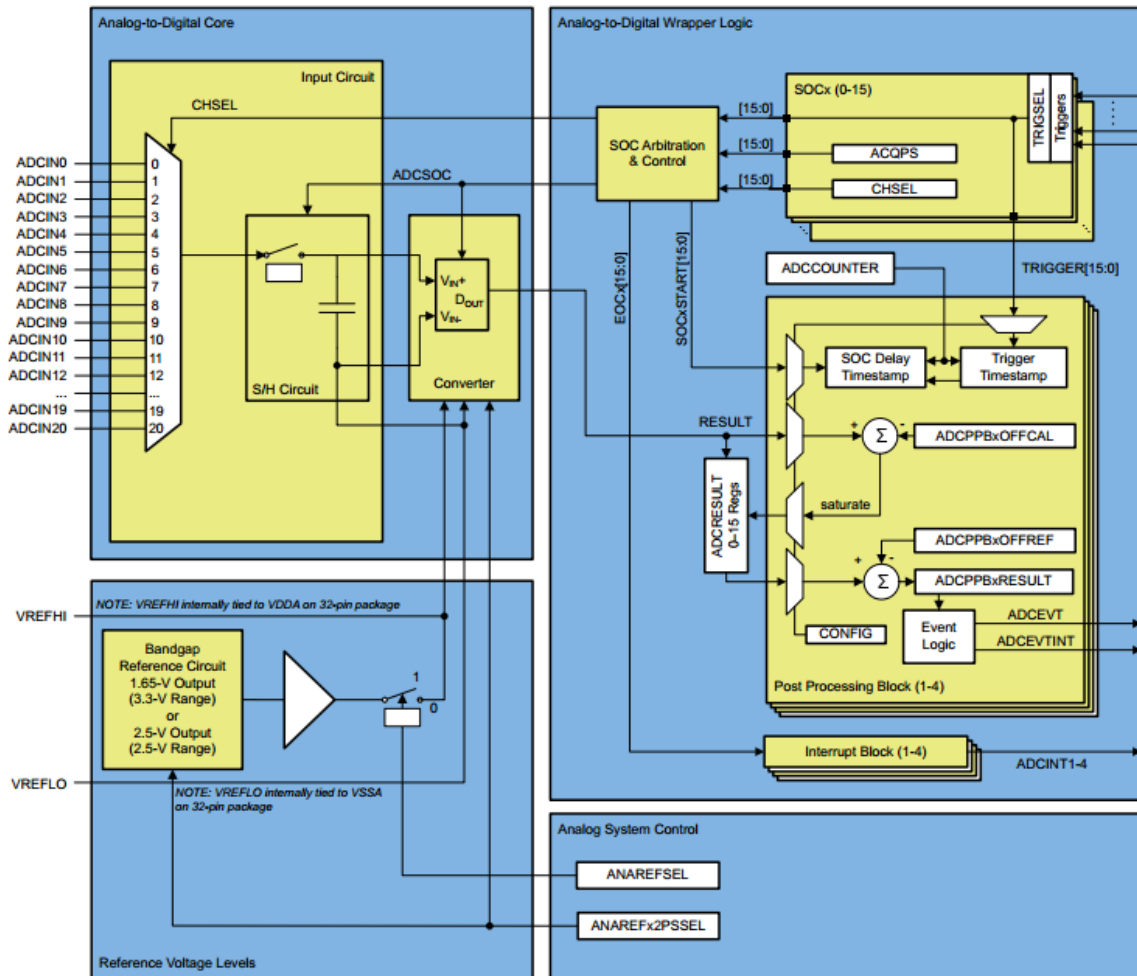


图 5-8. ADC 模块方框图

### 5.8.1.1 结果寄存器映射

系统中每个存储器总线控制器的 ADC 结果和 ADC 结果是相同的。总线控制器包括特定器件系列和器件型号上的 CPU 和 DMA。对于每个总线控制器，无需进行访问配置即可读取结果寄存器，并且在多个总线控制器尝试同时读取 ADC 结果时不会发生冲突。

### 5.8.1.2 ADC 配置

ADC模块的通道选择、采样时间和触发源是由SOCx单独控制，其他配置由每个ADC模块全局控制。表 5-12总结了ADC所有可配置的选项。

**表5-12. ADC 选项和配置级别**

选项	可配置性
时钟	按照模块 <sup>(1)</sup>
分辨率	不可配置 (仅限 12 位分辨率)
信号模式	不可配置 (仅限单端信号模式)
基准电压源	对所有模块均为外部或内部
触发源	按照SOC <sup>(1)</sup>
转换后的通道	按照SOC
采集窗口持续时间	按照SOC <sup>(1)</sup>
EOC 位置	按照模块
突发模式	按照模块 <sup>(1)</sup>

(1) 这些值写入不同的ADC模块可能会导致ADC运行异步。有关ADC何时同步或异步操作的指导请参阅《QXS320F2800137参考手册》模数转换器(ADC)章节的确保同步操作部分。



### 5.8.1.3 ADC 电气数据与时序

表 5-13 列举了ADC 工作条件。表 5-14 列举了 ADC 电气特性。

#### 5.8.1.3.1 ADC工作条件

注:

(1) ADC输入应在工作期间保持低于 $VDDA+0.3V$ 。若ADC输入超过该值，设备的内部参考VREF将会受到干扰，将影响使用相同VREF的其他ADC或DAC输入的结果。

(2) VREFHI引脚必须保持低于  $VDDA+0.3V$ ，以确保常工作。若VREFHI超过该值，阻塞电路将激活，VREFHI的内部值可能浮动到 0V，将导致不正确的ADC转换或者DAC输出。

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 5-13. ADC 工作条件

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK (源自 PERx.SYSCLK)	F2800137	5	60		MHz
采样率	120MHzSYSCLK F2800137	1	3		每秒百万次采样 (MSPS)
采样窗口持续时间 (由 ACQPS 和 PERx.SYSCLK设置) (	具有 50Ω 或更小的 Rs		100		ns
	内部 VREFLO 连接		100		
VREFHI	外部基准	2.4	2.5或3	VDDA	V
VREFHI	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFHI		VDDA	VDDA	VDDA	V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		3.5	
	外部基准		VREFLO	VREFHI	
	封装 = 32QFN	0		VDDA	

(1) 该采样窗口必须至少达到正常ADC操作的1个ADCCLK周期长度;

(2) 内部参考模式，设备VREFHI引脚由参考电压驱动。用户在该模式时不应使用引脚驱动。

## 5.8.1.3.2 ADC 特性

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 5-14. 12bit ADC 特性

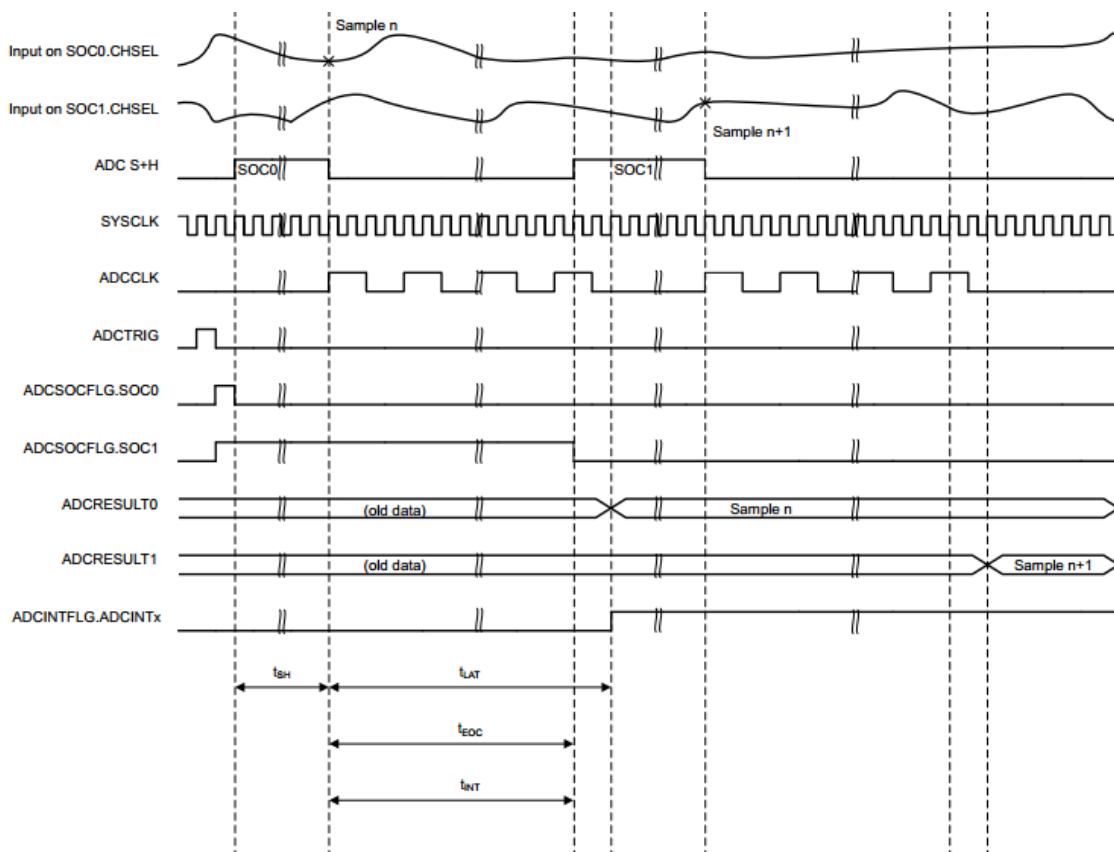
12bit ADC 特性					
参数	测试条件	最小值	典型值	最大值	单位
<b>通用</b>					
ADCCLK 转换周期	120MHz SYSCLK	17	18	96	ADCCLK
上电时间	外部基准模式			500	μs
	内部基准模式			500	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式			5000	μs
VREFHI 输入电流					μA
内部基准电容值		2.2			μF
外部基准电容值		2.2			μF
<b>直流特性</b>					
增益误差	内部基准电压	-45		45	LSB
	外部基准	-5	+3	5	
偏移量误差		-5	+2	5	LSB
通道间增益误差					LSB
通道间偏移量误差					LSB
ADC 间增益误差	所有 ADC 的 VREFHI 和 VREFLO 都相同				LSB
ADC 间偏移量误差	所有 ADC 的 VREFHI 和 VREFLO 都相同				LSB
DNL 误差		-1	+0.5	1	LSB
INL 误差		-2	+1	2	LSB
ADC 间隔	VREFHI = 2.5V, 同步 ADC				LSB
<b>交流特性</b>					
SNR	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1		66		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 INTOSC		60		
THD	VREFHI = 2.5V, fin = 100kHz		-80		dB
SFDR	VREFHI = 2.5V, fin = 100kHz		79		dB
SINAD	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1		66		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 INTOSC		60		
ENOB	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 单个 ADC		11		位
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 同步 ADC		11		
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 异步 ADC				
PSRR	VDD = 1.2V 直流 100mV 直流至正弦 (1kHz 时)		60		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦 (300kHz 时)		60		
	VDDA = 3.3V 直流 + 200mV 直流至正弦 (1kHz 时)		60		
	VDDA = 3.3V 直流 + 200mV 正弦 (900kHz 时)		60		

- (1) 当 ADC 输入电压上升到高于  $V_{DDA}$  时, INL 将会降低。
- (2) 建议使用0805封装电容或者更小的陶瓷电容, 接受 $\pm 20\%$ 的容差。
- (3) 为尽量减少电容耦合和串扰, 在毗邻ADC输入引脚和VREFHI引脚的IO活动已经最小化。
- (4) 直流/直流稳压器对ADC的噪声影响在很大程度上取决于PCB布局。

### 5.8.1.3.3 ADC 时序框图

图5-9 展示了在下列假设下两个 SOC 的 ADC 转换时序:

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时, 没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志 (该标志是否传播到 CPU 以引起中断由 PIE 模块中的配置决定)。



注:采样时间可以通过配置 SOC 信号来调整。

图 5-9. 12bit ADC 转换时序-连续转换

## 5.8.2 温度传感器

### 5.8.2.1 温度传感器电气数据和时序

该温度传感器可用于测量器件结温。温度传感器通过ADC的内部连接进行采样，并通过QX提供的软件转换为温度。当温度传感器采样时，ADC必须满足5.8.2.1.1中的采样时间。

#### 5.8.2.1.1 温度传感器特性

理论设计指标（除非另作说明）

**表 5-15. 温度传感器特性**

T <sub>acc</sub>	温度精度	内部基准 (-40°C 至 30°C)	-15	±2	15	°C
		内部基准 (30°C 至 85°C)	-9	±2	7	°C
		内部基准 (85°C 至 125°C)	-5	±2	8	°C
		内部基准 (125°C 至 140°C)	-6	±2	12	°C
		外部基准 (-40°C 至 30°C)	-8	±2	10	°C
		外部基准 (30°C 至 140°C)	-5	±2	8	°C
t <sub>startup</sub>	启动时间 ( TSN SCTL[ENABLE] 至采样温度传感器)			500		µs
t <sub>acq</sub>	ADC 采集时间		450			ns



### 5.8.3 比较器子系统(CMPSS)

每个 CMPSS 包含一个比较器，一个 12 位参考 DAC，一个斜坡发生器。每个比较器产生一个数字输出，表示正输入端的电压是否大于负输入端的电压。比较器的正输入可以由外部引脚。负输入可以由外部引脚或可编程参考 12 位 DAC 来驱动。如果不需要过滤，也可以使用未经过滤的输出。斜坡发生器电路可选择控制子系统中比较器的 12 位 DAC 参考值

CMPSS 连接如图 5-10所示。

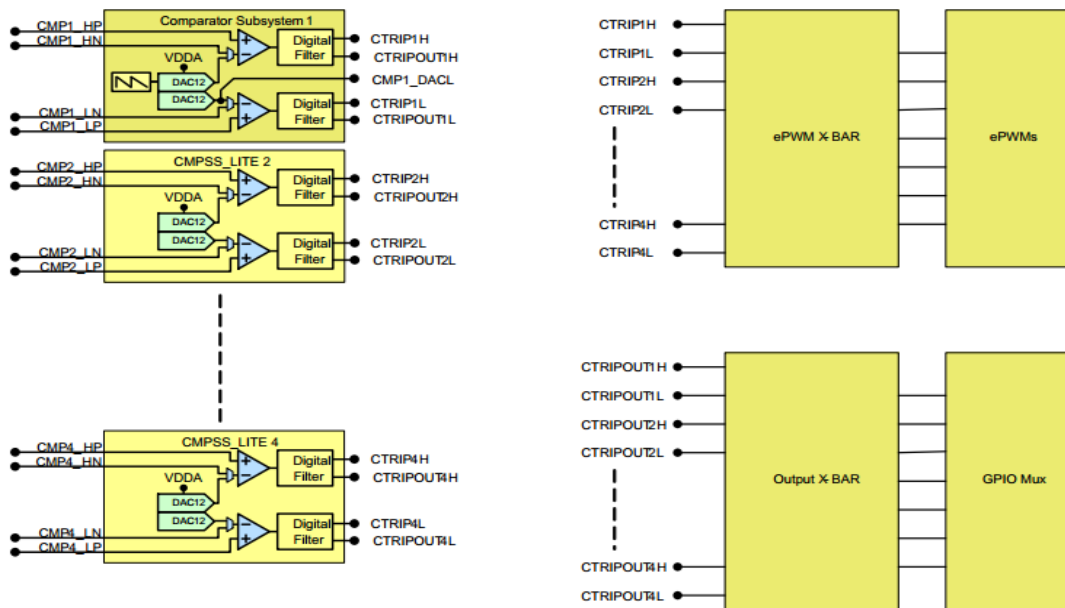


图 5-10. CMPSS 连接

注：并非所有封装都具有所有 CMPSS 引脚。请参阅模拟引脚和内部连接表

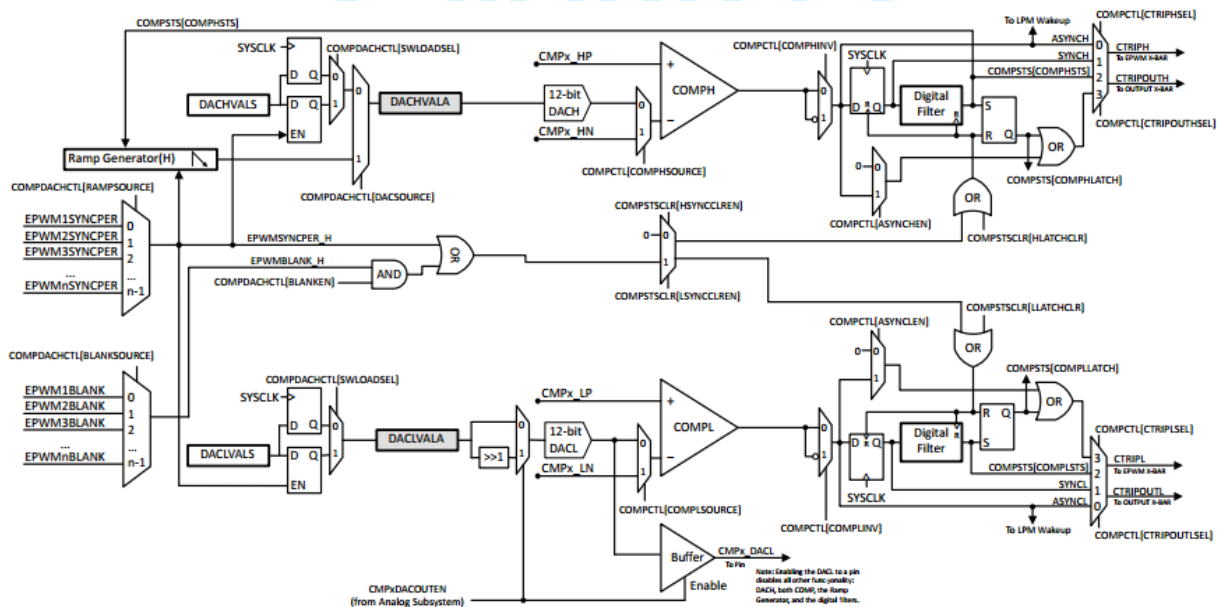


图 5-11. CMPSS 模块方框图

每个基准 12 位 DAC 都可以配置为将基准电压驱动到相应比较器的负输入端。一些 CMPSS 实例还允许将低 DAC 输出路由到一个引脚以用作外部 DAC。在这种情况下、所有其他 CMPSS 模块功能都不可用、包括高 DAC、两个比较器、斜坡生成和数字滤波器。

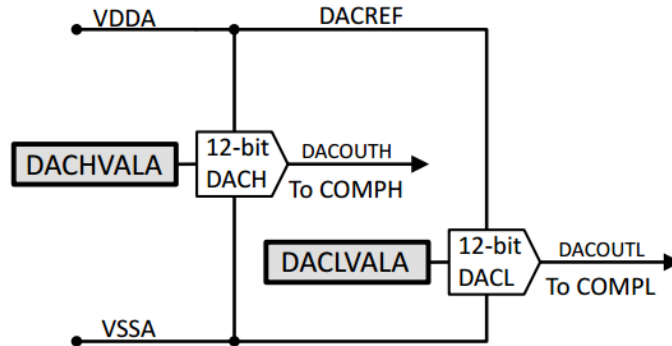


图 5-12. 参考设计方框图

### 5.8.3.1 CMPSS 比较器电气特性

表5-16. 比较器的电气特性

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间				500	μs
比较器输入 (CMPINxx) 范围			0		VDDA	V
以输入为基准的偏移量误差		低共模, 反相输入设置为50mV	-20		20	mV
迟滞	1x		4	12	20	LSB
	2x		17	24	33	
	3x		25	36	50	
	4x		30	48	67	
响应时间 (从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟)		阶跃响应		21	60	ns
		斜坡响应 (1.65V/μs)		26		
PSRR	电源抑制比	高达250kHz		46		dB
CMRR	共模抑制比		40			dB

### 5.8.3.2 CMPSS DAC 静态电气特性

表5-17. 比较器DAV的电气特性

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
静态偏移量误差		-25		25	mV
静态增益误差		-2		2	FSR 百分比
静态DNL	已更正端点	>-1		4	LSB
静态INL	已更正端点	-16		16	LSB
趋稳时间	满量程输出变化后稳定到1LSB			1	μs
分辨率			12		位
CMPSS DAC 输出干扰	由同一 CMPSS 模块内的比较器跳闸或CMPSS DAC 代码更改引起的误差	-100		100	LSB
CMPSS DAC 干扰时间				200	ns

## 5.9 控制外设

### 5.9.1 增强型捕获(eCAP)

1 类增强型捕捉(eCAP) 模块用于注重外部事件精确时序的系统。

eCAP 模块的应用包括：

- 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性：

- 4 事件时间戳寄存器（每个 32 位）
- 边缘极性选择，最多选择四个序列时间戳捕获事件
- 四个事件中的任何一个发生时的 CPU 中断
- 独立的 DMA 触发器
- 多达 4 个事件时间戳的单脉冲捕捉
- 在一个 4 深循环缓冲区中连续捕获时间戳的模式
- 绝对时间戳采集
- 差分( $\Delta$ ) 模式时间戳采集
- 128:1 输入多路复用器
- 事件预分频器
- 当未用于捕获模式时，eCAP 模块可配置为单通道 PWM 输出。

1 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强，增加了以下特性：

- 事件过滤器复位位
  - 向 ECCTL2[CTRFILTRESET] 写入1将清零事件滤波器、模计数器和任何挂起的中断标志。这对于初始化和调试很有用。
- 模数计数器状态位。
  - 模数计数器(ECCTL2[MODCTRSTS]) 指示接下来将加载哪个捕捉寄存器。在 0 类 eCAP中，无法知道模数计数器的当前状态。
- DMA 触发源
  - eCAPxDMA被添加为一个DMA触发器。CEVT[1–4] 可以配置为 eCAPxDMA的源。
- I输入多路复用器
  - ECCTL0[INPUTSEL] 选择128个输入信号之一。
- EALLOW 保护
  - EALLOW 保护已添加到关键寄存器。

输入 X-BAR 必须用于将器件输入引脚连接到模块。输出 X-BAR 必须用于将输出信号连接到OUTPUTXBARx 输出位置。

图 5-13 显示了eCAP方框图。

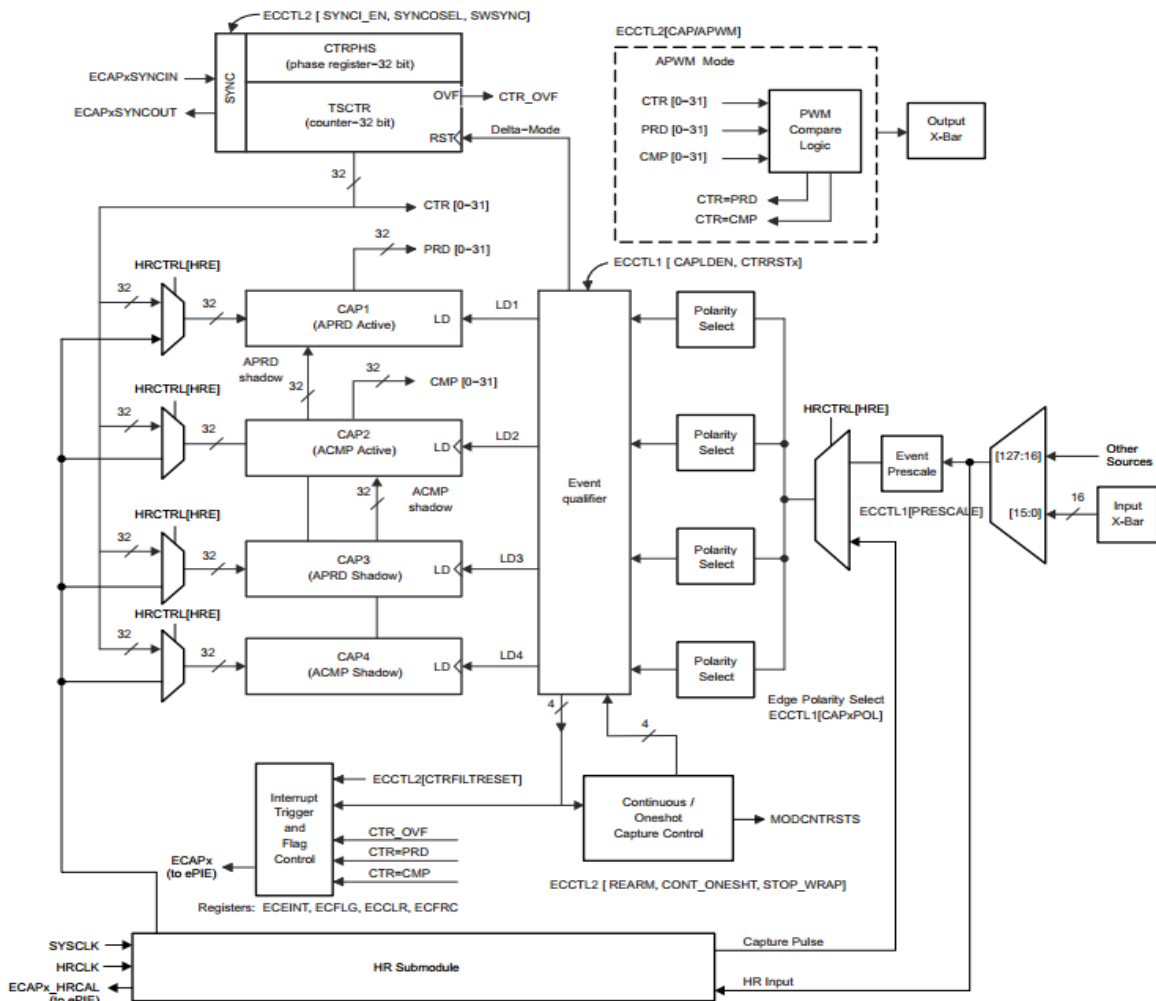


图 5-13. eCAP 方框图

### 5.9.1.1 eCAP电气数据和时序

节 5.9.1.1.1 列出了 eCAP 时序要求。节 5.9.1.1.2 列出了 eCAP 开关特性。

#### 5.9.1.1.1 eCAP 时序要求

表 5-18. eCAP 时序要求

参数		最小值	标称值	最大值	单位
tw(CAP) 宽度	采集输入脉冲	异步		2tc(SCO)	ns
		同步		2tc(SCO)	
		带输入限定器		1tc(SCO) + tw_(QSW)	

#### 5.9.1.1.2 eCAP 开关特性

理论设计指标（除非另作说明）

表 5-19. eCAP开关特性

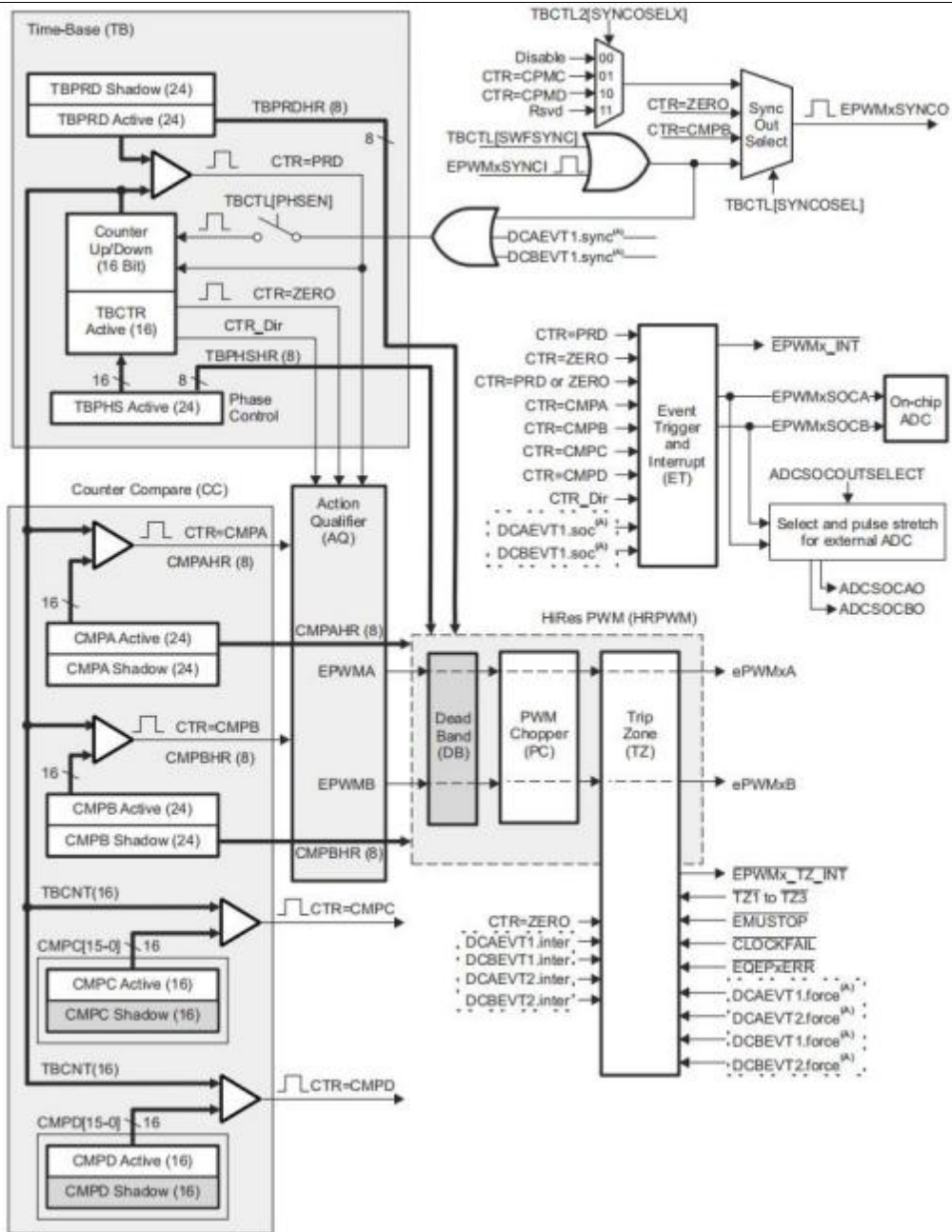
参数	最小值	典型值	最大值	单位
tw(APWM) 脉冲持续时间, APWMx 输出高电平/低电平		20		ns

### 5.9.2 增强脉冲宽度调制(ePWM)

ePWM 外设是许多商业和工业设备中电力电子系统控制的关键部分。ePWM 模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形，将具有独立资源的小模块构建为各个外设，并将这些资源共同组成系统运行。ePWM 模块的一些特性包括复杂波形生成、死区生成、灵活的同步配置、高级错误联防功能和全局寄存器重新加载功能。

ePWM 模块如图 5-17 所示。





A. 根据 TRIPIN 输入的电平经过 ePWM 中的数字比较(DC)子模块生成的事件。

图 5-17. ePWM 子模块和关键内部信号连接

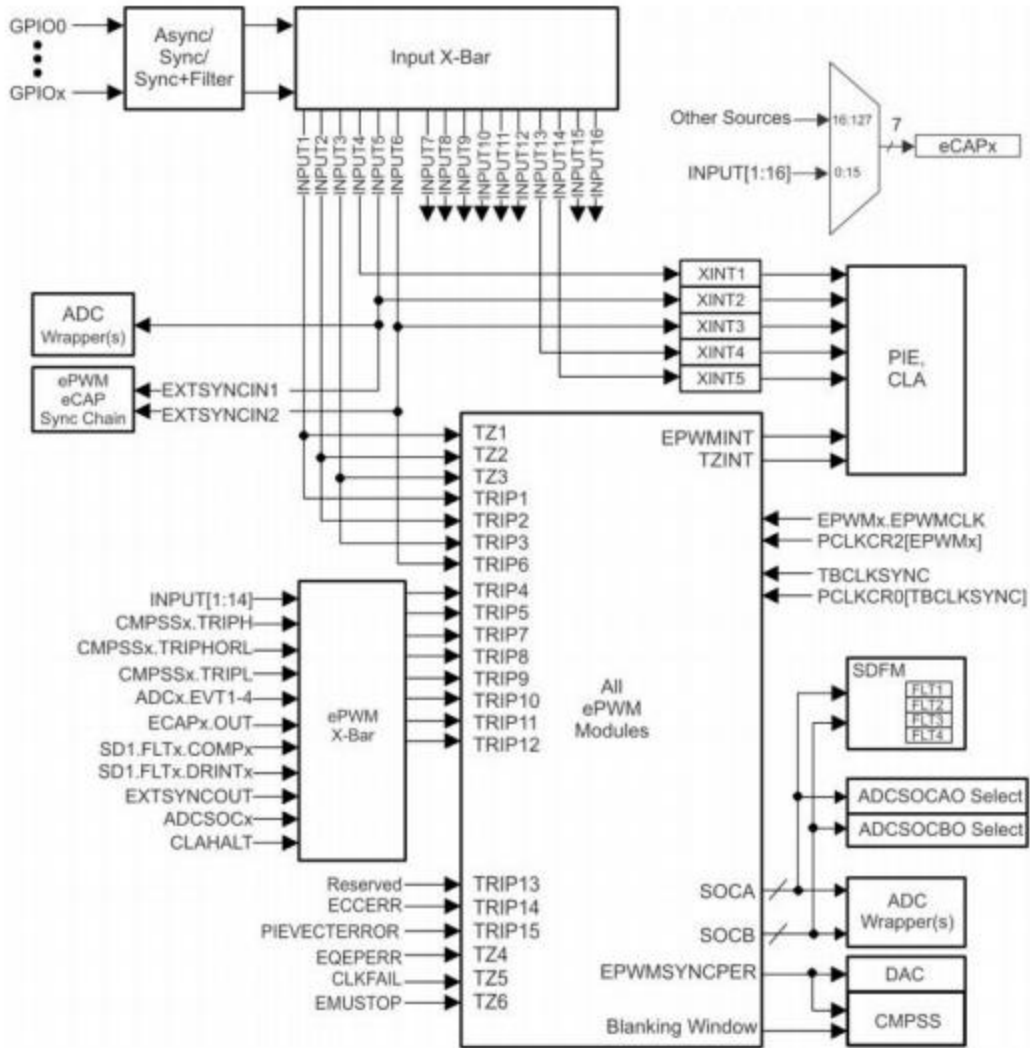


图 5-18. ePWM 跳闸输入连接





### 5.9.2.2 ePWM电气数据和时序

第 5.9.2.2.1 节列出了 ePWM 时序要求，第 5.9.2.2.2 节列出了 ePWM 开关特性。

#### 5.9.2.2.1 ePWM 时序要求

表 5-21. ePWM 时序要求

参数		最小值	最大值	单位
tw(SYNCIN)	同步输入脉冲宽度	异步	2tc(EPWMCLK)	cycles
		同步	2tc(EPWMCLK)	
		使用输入限定	1tc(EPWMCLK) + tw(IQSW)	

#### 5.9.2.2.2 ePWM 开关特性

超过推荐的运行条件（除注明外）

表 5-22. ePWM 开关特性

参数		最小值	最大值	单位
tw(PWM)	脉冲持续时间, PWMx输出高/低	12.5		ns
tw(SYNCOUT)	同步输出脉冲宽度	8tc(SYSCLK)		cycles
td(TZ-PWM)	延时时间, 跳闸输入使PWM强制高 延时时间, 跳闸输入使到PWM强制低 延时时间, 跳闸输入使PWM Hi-Z	25		ns

#### 5.9.2.2.3 Trip-Zone 输入时序

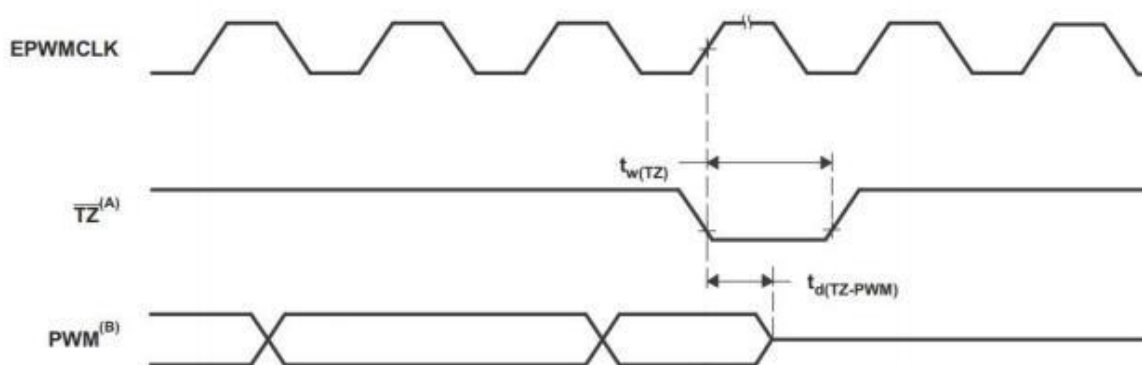


图 5-20. Trip-Zone 输入时序

(1) TZ : TZ1 、 TZ2 、 TZ3 、 TRIP1 至 TRIP12

(2) PWM 指的是设备中所有的 PWM 引脚。TZ 至高后 PWM 引脚的状态由PWM恢复软件恢复决定。

### 5.9.2.3 外部ADC转换脉冲开始的电气数据和时序

ADCSOCAO或ADCSOCBO定时如图 5-21 所示。

#### 5.9.2.3.1 外部ADC转换脉冲开始的开关特性

超出建议的运行条件(除非另有说明)

表 5-23. 外部 ADC 转换脉冲开始的开关特性

参数	最小值	最大值	单位
tw(ADCSOCL) 脉冲持续时间, ADCSOCxO 低	32tc(SYSCLK)		cycles

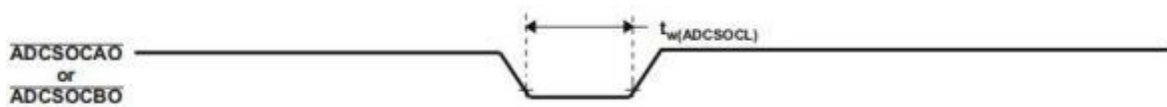


图 5-21. ADCSOCAO或ADCSOCBO时序



### 5.9.3 高分辨率脉冲宽度调制器(HRPWM)

HRPWM 将多个延迟线组合在一个模块中，并通过使用专用的校准延迟线简化校准系统。对于每个

ePWM 模块，有两个 HR 输出：

- 通道 A 的 HR 占空比与死区控制
- 通道 B 的 HR 占空比与死区控制

HRPWM 模块提供的 PWM 分辨率(时间间隔尺寸)明显优于使用传统的数字 PWM 方式所能实现的分辨率。

HRPWM 模块的关键点是：

- 显著提高了传统数字 PWM 的时间分辨率能力
- 此功能可用于单边缘(占空比和相移控制)以及频率/周期调制的双边缘控制。
- 通过对 ePWM 模块的 Compare A, B，相位，周期和死区寄存器的扩展功能，可以控制更细的时间粒度控制或边缘定位。

注意：HRPWM 允许的最低 HRPWMCLK 频率为 60 MHz。

#### 5.9.3.1 HRPWM 电气数据和时序

##### 5.9.3.1.1 高分辨率 PWM 特性

表 5-24. 高分辨率 PWM 特性

参数	最差值	典型值	最好值	单位
微边缘 (MEP) 定位步长(1)		110		ps

(1) 在 VDD 上，MEP 步长在高温和最低电压时最大。MEP 步长随温度升高、电压降低而增大，随温度降低、电压升高而减小。应用程序根据 HRPWM 特性应使用 MEP 比例因子优化器(SFO)估算软件功能。

(2) 当 HRPWM 工作时，SFO 函数会协助动态估算每个 SYSCLK 周期的 MEP 步数。

### 5.9.4 增强型正交编码器脉冲(eQEP)

eQEP 接口直接与线性或旋转增量编码器接口，从高性能运动和位置控制系统的旋转机器中获取位置、方向和速度信息。

eQEP 外设包括以下主要功能单元:

- ┆ 每个引脚均可编程输入(部分 GPIO MUX)
- ┆ 正交解码单元(QDU)
- ┆ 位置计数器和位置测量控制单元 (PCCU)
- ┆ 用于低速测量的正交边缘捕获单元 (QCAP)
- ┆ 测量速度/频率的单位时基 (UTIME)
- ┆ 检测档位的看门狗定时器(QWDOG)
- ┆ 正交模式适配器(QMA)

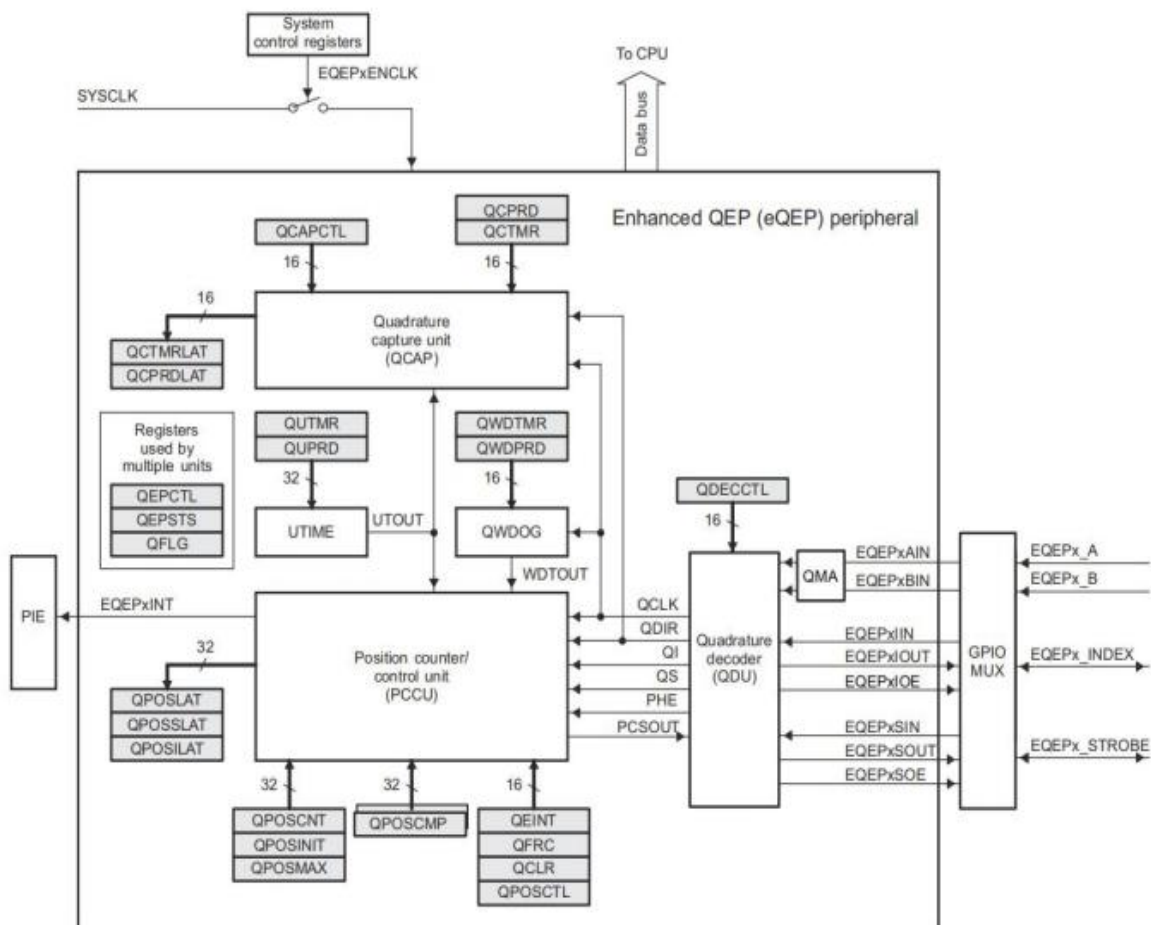


图 5-22. eQEP 框图

### 5.9.4.1 eQEP电气数据和时序

第 5.9.4.1.1 节列出了 eQEP 时序要求，第 5.9.4.1.2 节列出了 eQEP 切换特性。

#### 5.9.4.1.1 eQEP 时序要求

表 5-25. eQEP时序要求

参数			最小值	最大值	单位
tw(QEPP)	QEP输入周期	同步 <sup>(1)</sup>	2tc(SYSCLK)		cycles
		与输入限定同步	2[1tc(SYSCLK)+ tw(IQSW)]		
tw(INDEXH)	QEP Index Input High time 索引高输入时间	同步 <sup>(1)</sup>	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(INDEXL)	QEP Index Input Low time 索引低输入时间	同步 <sup>(1)</sup>	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(STROBH)	QEP Strobe input High time 闪烁高输入时间	同步 <sup>(1)</sup>	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(STROBL)	QEP Strobe Input Low time 闪烁低输入时间	同步 <sup>(1)</sup>	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		

(1)GPIO GPxQSELn 异步模式不应该用于 eQEP 模块的输入引脚。

#### 5.9.4.1.2 eQEP 开关特性

理论设计指标（除非另作说明）

表 5-26. eQEP开关特性

参数		最小值	最大值	单位
td(CNTR)xin	延迟时间，外部时钟计数器增量		5tc(SYSCLK)	cycles
td(PCS-OUT)QEP	延迟时间，QEP 输入边沿到位置比较同步输出		7tc(SYSCLK)	cycles

## 5.10 通信外设

### 5.10.1 控制局域网(CAN)

CAN 模块使用称为 CAN FD 的 IP。本文档交替使用名称 CAN 和 CAN FD 来引用此外设。

CAN 模块实现了以下功能:

- 支持CAN规范
  - CAN2.0B (最多支持8字节的有效载荷, 由Bosch参考模型进行验证)
  - 可选支持CAN FD (最多支持64字节的有效载荷, 符合ISO 11898-1:2015或非ISO Bosch标准)
- 可自由编程的数据率:
  - CAN 2.0B定义了最高1Mbit/s的数据率
  - CAN FD收发器和CAN-CTRL核心的时钟频率限制
- 可编程的波特率分频器 (1至1/256)
- 主机接口和CAN协议机使用独立的时钟域
- 可配置的接收缓冲区 (RB) 大小
  - 通用参数选择缓冲区槽位数量
  - 类似FIFO的行为
  - 未被“接受”或“错误”的接收消息不会覆盖已存储的消息
- 两个发送缓冲区
  - 一个主要发送缓冲区 (PTB)
  - 可选的可配置次要发送缓冲区 (STB)
- STB是可选的。通用参数选择缓冲区槽位的数量
- 可以以FIFO或优先级决策模式运行
- 独立且可编程的内部29位验收滤波器
  - 可以通过通用参数选择验收滤波器的数量, 范围为1到16
- 扩展功能
  - 单次发送模式 (适用于PTB和/或STB)
  - 仅监听模式
  - 环回模式 (内部和外部)
  - 收发器待机模式

- 扩展状态和错误报告
  - 捕获最后发生的错误类型和仲裁丢失位置
  - 可编程错误警告限制值
- 不同的主机控制器接口
  - 32位同步主机控制器接口；为8位主机提供包装
  - 32位AMBA APB协议规范v2.0
  - 32位AMBA 3 AHB-Lite协议v1.0
  - 32位Wishbone
  - 根据需求，可选的特定应用接口到主机控制器
- 可配置的中断源
- 一个双端口内存块或两个伪双端口内存块用于帧缓冲区
- 时间戳：
  - ISO 11898-4具有部分硬件支持的定时触发CAN
  - CiA 603时间戳
- 完全同步和可综合的HDL设计（Verilog 2001， VHDL 93）
- 兼容AUTOSAR
- 优化用于SAE J1939
- 包含Linux驱动程序

CAN 模块框图如图 5-23所示。

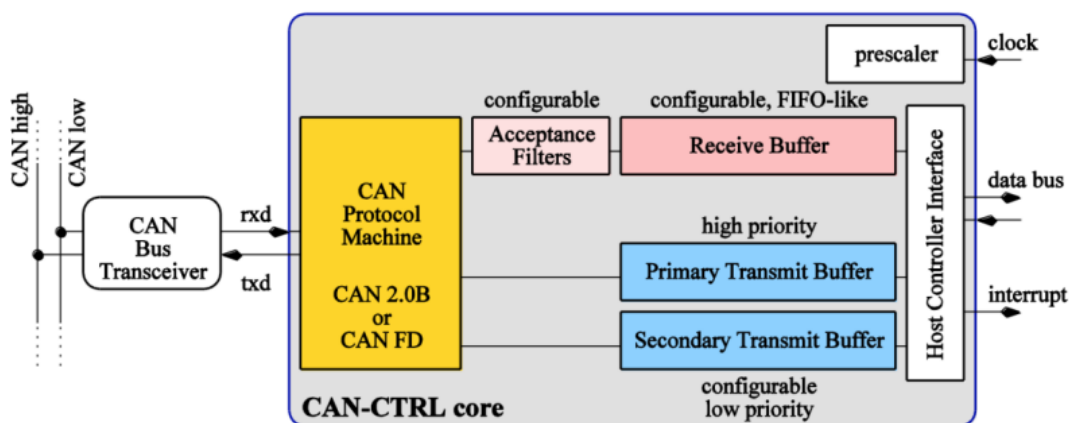


图 5-23. CAN 框图

### 5.10.2 内置集成电路(I2C)

I2C 模块具有以下特点:

- | 符合 NXP 半导体 I2C 总线规范(2.1 版)
  - 支持 8 位格式传输
  - 7 位和 10 位寻址模式
  - 通用寻呼
  - START 字节模式
  - 支持多个主发射机和从接收机
  - 支持多个从发射机和主接收机
  - 主发送/接收和接收/发送组合模式
  - 数据传输速率从 10kbps 提高到 400kbps(Fast-mode)
- | 一个 16 字节的接收 FIFO 和一个 16 字节的发送FIFO
- | 支持两个 ePIE 中断
  - I2Cx 中断-下列任何一条件都可以配置生成 I2Cx 中断 :
    - 发送就绪
    - 接受就绪
    - 存取寄存器就绪
    - 未应答
    - 仲裁丢失
    - 检测停止状态
    - 从机地址
      - I2Cx\_FIFO 中断 :
    - 发送 FIFO 中断
    - 接收 FIFO 中断
- | 模块启用和禁用功能
- | 自由数据格式模式



设备 I2C 外设模块接口如图 5-24 所示。

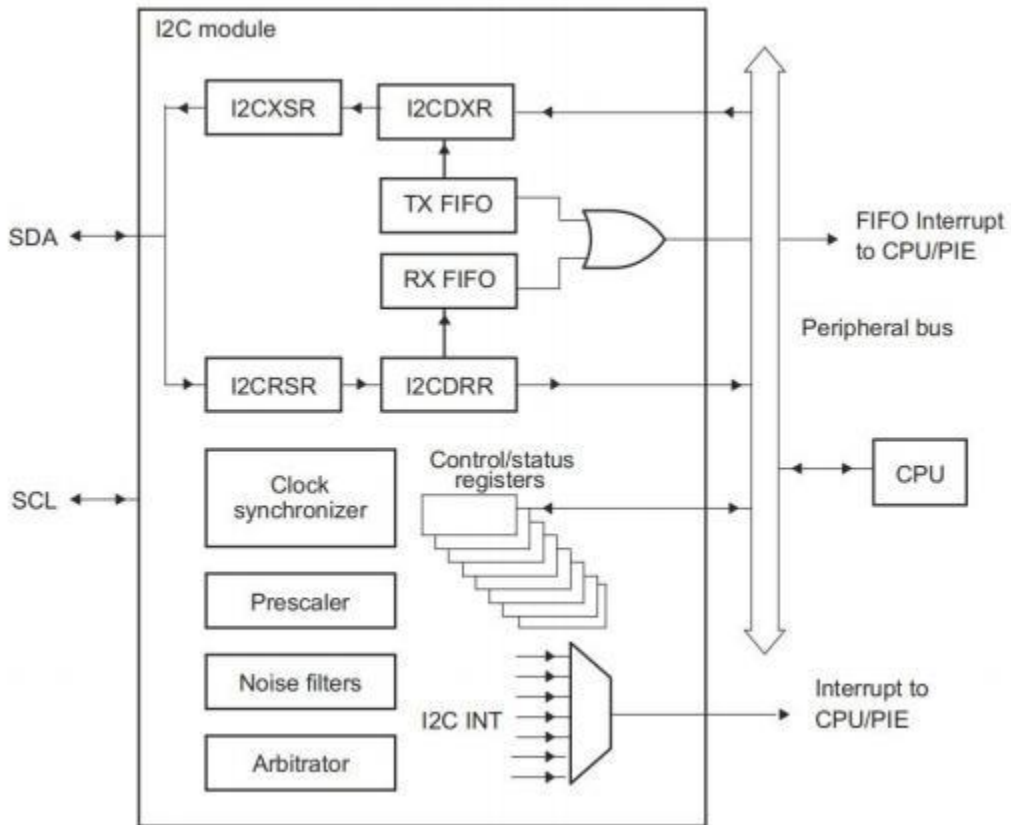


图 5-24. I2C 外设模块接口

注意:为了满足所有 I2C 协议时序规范, I2C 模块时钟必须配置在 7MHz ~ 12MHz 范围内。



### 5.10.2.1 I2C电气数据和时序

I2C 定时要求请参见章节 5.10.2.1.1。I2C 开关特性请参见 5.10.2.1.2。

#### 5.10.2.1.1 I2C时序要求

表 5-27. I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	$f_{mod}$	I2C 模块频率	7 12		MHz
T1	$t_{h(SDA-SCL)START}$	保持时间, 启动条件, SDA 下降后 SCL 下降延迟	4.0		$\mu s$
T2	$t_{su(SCL-SDA)START}$	设置时间, 重复启动, SDA 下降延迟之前 SCL 上升	4.0		$\mu s$
T3	$t_{h(SCL-DAT)}$	保持时间, SCL 下降后的数据	0		$\mu s$
T4	$t_{su(DAT-SCL)}$	设置时间, SCL 上升前的数据	250		ns
T5	$t_r(SDA)$	上升时间, SDA		1000	ns
T6	$t_r(SCL)$	上升时间, SCL		1000	ns
T7	$t_f(SDA)$	下降时间, SDA		300	ns
T8	$t_f(SCL)$	下降时间, SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间, 停止条件, SDA 上升延迟之前 SCL 上升	4.0		$\mu s$
T10	$t_w(SP)$	将由滤波器抑制的尖峰脉冲持续时间	0 50		ns
T11	$C_b$	每条总线上的电容负载		400	pF
快速模式					
T0	$f_{mod}$	I2C 模块频率	7 12		MHz
T1	$t_{h(SDA-SCL)START}$	保持时间, 启动条件, SDA 下降后 SCL 下降延迟	0.6		$\mu s$
T2	$t_{su(SCL-SDA)START}$	设置时间, 重复启动, SDA 下降延迟之前 SCL 上升	0.6		$\mu s$
T3	$t_{h(SCL-DAT)}$	保持时间, SCL 下降后的数据	0		$\mu s$
T4	$t_{su(DAT-SCL)}$	设置时间, SCL 上升前的数据	100		ns
T5	$t_r(SDA)$	上升时间, SDA	20 300		ns
T6	$t_r(SCL)$	上升时间, SCL	20 300		ns
T7	$t_f(SDA)$	下降时间, SDA	11.4 300		ns
T8	$t_f(SCL)$	下降时间, SCL	11.4 300		ns
编号			最小值	最大值	单位
T9	$t_{su(SCL-SDA)STOP}$	设置时间, 停止条件, SDA 上升延迟之前 SCL 上升	0.6		$\mu s$
T10	$t_w(SP)$	将由滤波器抑制的尖峰脉冲持续时间	0 50		ns

T11	C <sub>b</sub>	每条总线上的电容负载	400	pF
-----	----------------	------------	-----	----

### 5.10.2.1.2 I2C 开关特性

在推荐的工作条件下（除非另有说明）

表 5- 28. I2C 开关特性

编号	参数	测试条件	最小值	最大值	单位
标准模式					
S1	f <sub>SCL</sub>	SCL 时钟频率	0	100	kHz
S2	T <sub>SCL</sub>	SCL 时钟周期	10		μs
S3	t <sub>w</sub> (SCLL)	脉冲持续时间, SCL 时钟低电平	4.7		μs
S4	t <sub>w</sub> (SCLH)	脉冲持续时间, SCL 时钟高电平	4.0		μs
S5	t <sub>BUF</sub>	停止和启动条件之间的总线空闲时间	4.7		μs
S6	t <sub>v</sub> (SCL-DAT)	有效时间, SCL 下降后的数据		3.45	μs
S7	t <sub>v</sub> (SCL-ACK)	有效时间, SCL 下降后的确认		3.45	μs
S8	I <sub>I</sub>	引脚上的输入电流	0.1 V <sub>bus</sub> < V <sub>i</sub> < 0.9 V <sub>bus</sub>	-10 10	μA
快速模式					
S1	f <sub>SCL</sub>	SCL 时钟频率	0 400		kHz
S2	T <sub>SCL</sub>	SCL 时钟周期	2.5		μs
S3	t <sub>w</sub> (SCLL)	脉冲持续时间, SCL 时钟低电平	1.3		μs
S4	t <sub>w</sub> (SCLH)	脉冲持续时间, SCL 时钟高电平	0.6		μs
S5	t <sub>BUF</sub>	停止和启动条件之间的总线空闲时间	1.3		μs
S6	t <sub>v</sub> (SCL-DAT)	有效时间, SCL 下降后的数据	0.9		μs
S7	t <sub>v</sub> (SCL-ACK)	有效时间, SCL 下降后的确认	0.9		μs
S8	I <sub>I</sub>	引脚上的输入电流	0.1 V <sub>bus</sub> < V <sub>i</sub> < 0.9 V <sub>bus</sub>	-10 10	μA

5.10.2.1.3 I2C 时序图

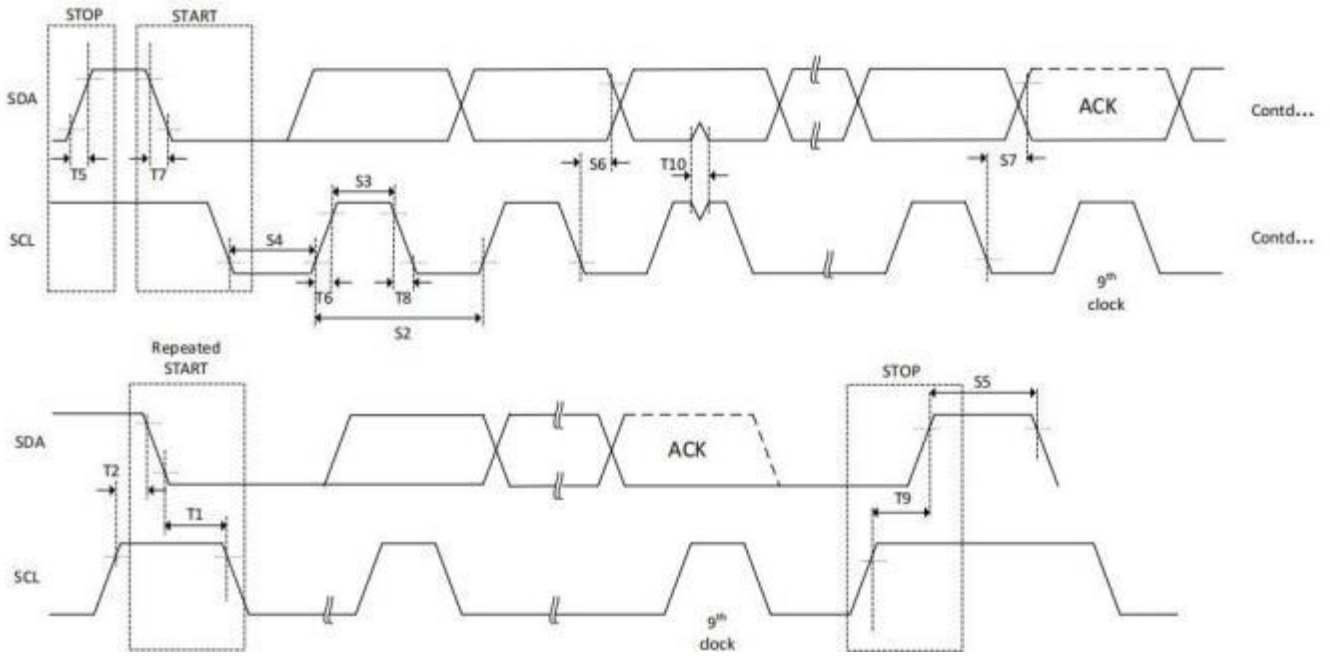


图 5-25. I2C 时序图



### 5.10.3 串行通信接口(SCI)

SCI 是一种两线异步串行端口，通常称为 UART。SCI模块支持 CPU 和其他使用标准非归零(NRZ) 格式的异步外设的数字通信。SCI接收器和发射器都有一个 16 层的FIFO，可以减少CPU 工作开销，每个都有单独的使能和中断位。可以独立进行半双工通信，或同时进行全双工通信。为了确定数据完整性，SCI检查接收到的数据是否有中断检查、奇偶校验、溢出和帧格式错误。通过 16 位寄存器修改可以编程不同的波特率速度。

SCI模块的特点包括:

两个外部引脚：(如果不用于 SCI，则两个引脚都可以用作 GPIO)

- SCITXD: SCI发送输出引脚
- SCIRXD: SCI接收输入引脚
- 波特率可编程到921600 不同的速率

数据字格式:

- 1 起始位
- 数据字长可编程从 1 到 8 位
- 可选偶数/奇数/无奇偶 校验位
- 1 或 2 个停止位

4 个错误检测标志:奇偶校验，溢出，帧格式和中断检测

半双工或全双工操作

双缓冲接收和发送功能

发射器和接收器操作可以通过带有状态标志的中断驱动或轮询算法来完成

- 发射器:TXRDY 标志(发射器-缓冲寄存器准备接收另一个字符 char)和TX\_EMPTY标志(发射器-移位寄存器为空)
- 接收器:RXRDY 标志(接收缓冲区寄存器准备接收另一个字符 char)，BRKDT 标志(中断条件发生)，RX\_ERROR 标志(监控四种中断条件)

独立的发射机和接收机的中断使能位(BRKDT 除外)

16 级发送和接收 FIFO

注意：此模块中的所有寄存器都是 8 位寄存器。当访问寄存器时，寄存器数据位于低字节(位7-0)，高字节(位 15-8)被读取为零。写入高字节没有效果。



#### 5.10.4 串行外设接口(SPI)

串行外设接口(SPI)是一个高速同步串行输入和输出(I/O)端口, 允许一个可编程长度(4~32位)的串行比特流被移进和移出设备, 可根据配置的传输速率传输。SPI通常用于 DSP 控制器与外设或其他控制器之间的通信。典型的应用包括通过移位寄存器、显示驱动和模数转换器(ADC等)设备进行外部 I/O 或外围扩展。SPI 的主或从运行支持多设备通信。支持 8 级收发 FIFO, 可减少 CPU 工作开销。

SPI模块的特点包括:

- | ADC 中断和 EVT 信号SPISOMI : SPI 从输出/主输入引脚
- | SPISIMO : SPI 从输入/主输出引脚
- | SPSTE : SPI 从传输使能引脚
- | SPICLK: SPI 串行时钟引脚
- | 两种操作模式:主和从
- | 波特率:65530个不同的可编程速率。可用的最大波特率受限于 SPI 引脚上 I/O 缓冲区的最大速度。
- | 数据字长:4 ~ 32 位
- | 四种时钟策略(由时钟极性和时钟相位位控制)包括:
  - 无相位延迟下降沿: SPICLK 高电平有效。SPI在 SPICLK 信号的下降沿传输数据, 在 SPICLK 信号的上升沿接收数据。
  - 有相位延迟下降沿: SPICLK 高电平有效。SPI在 SPICLK 信号下降沿前半个周期发送数据, 在 SPICLK 信号的下降沿接收数据。
  - 无相位延迟的上升沿: SPICLK 低电平无效。SPI在 SPICLK 信号的上升沿发送数据, 在 SPICLK 信号的下降沿接收数据。
  - 有相位延迟的上升沿: SPICLK 低电平无效。SPI在 SPICLK 信号上升沿前半个周期发送数据, 并在 SPICLK 信号上升沿接收数据。
- | 同时进行收发操作(可在软件中禁用发送功能)
- | 发送机和接收机操作通过中断驱动或轮询算法来完成
- | 8 级 发送/接收 FIFO
- | 支持 DMA

3-线 SPI 模式

SPI CPU 接口如图 5-27 所示。

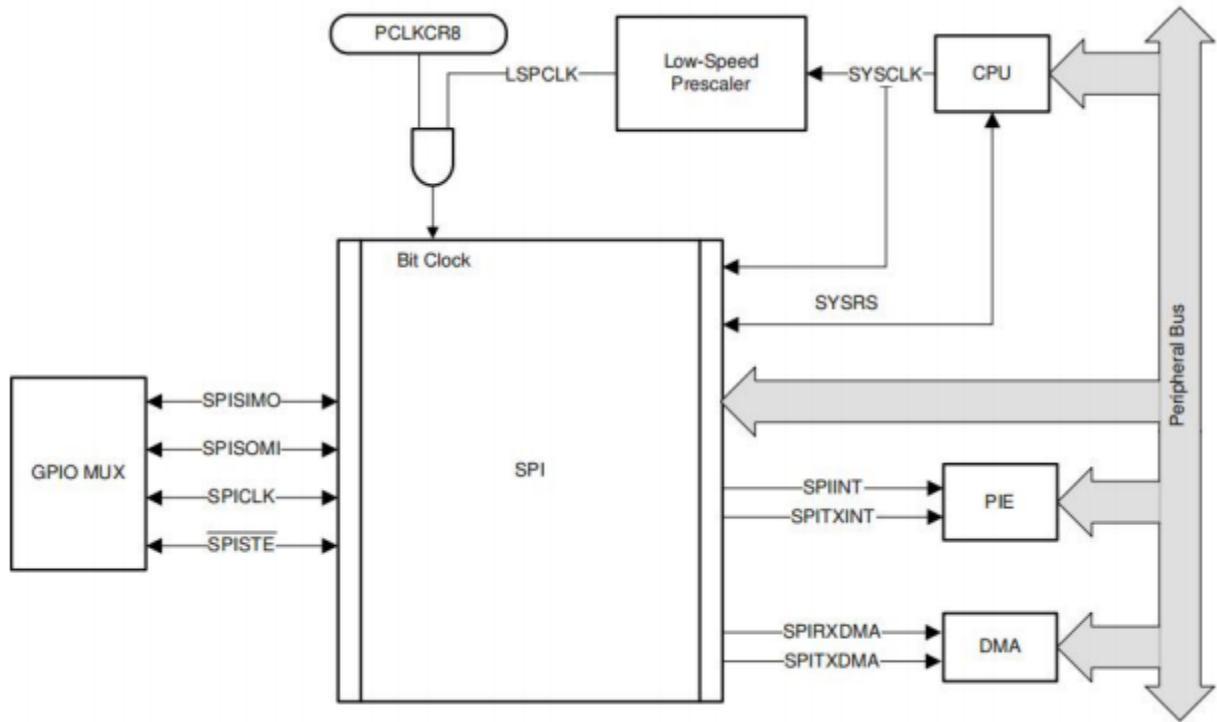


图 5- 27. SPI CPU 接口

5.10.4.1 SPI 主模式时序

第 5.10.4.1.1 节列出了 SPI 主模式时序要求。

第 5.10.4.1.2 节列出了 SPI 主模式开关特性，其中时钟相位= 0。时钟相位为 0 的 SPI 主模式

外部时序如图 5-28 所示。

第 5.10.4.1.3 节列出了时钟相位= 1 的 SPI 主模式切换特性。时钟相位为 1 的 SPI 主模式外部

时序如图 5-29 所示。

注意：SPI 高速模式的所有定时参数在 SPICLK、SPISIMO 和 SPISOMI 上假定负载电容为 5pf。

## 5.10.4.1.1 SPI主模式定时要求

表 5- 29. SPI 主模式定时要求

NO.		(BRR + 1) <sup>(1)</sup>	最小值	最大值	单位
<b>高速模式</b>					
8	$t_{su(SOMI)M}$	建立时间, SPISOMI 在 SPICLK 之前有效	偶数, 奇数	1	ns
9	$t_{h(SOMI)M}$	保持时间, SPISOMI 在 SPICLK 之后有效	偶数, 奇数	5	ns
<b>正常模式</b>					
NO.		(BRR + 1) <sup>(1)</sup>	最小值	最大值	单位
8	$t_{su(SOMI)M}$	建立时间, SPISOMI 在 SPICLK 之前有效	偶数, 奇数	15	ns
9	$t_{h(SOMI)M}$	保持时间, SPISOMI 在 SPICLK 之后有效	偶数, 奇数		ns

(1) 当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1)条件为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

## 5.10.4.1.2 SPI 主模式开关特性(时钟相位= 0)

理论设计指标 (除非另作说明)

表 5-30. SPI 主模式开关特性(时钟相位= 0)

NO.	参数	(BRR + 1) <sup>(1)</sup>	最小值	最大值	单位
<b>通用</b>					
1	$t_c(SPC)M$	周期时间, SPICLK	偶数	$4t_c(LSPCLK)$ $128t_c(LSPCLK)$	ns
			奇数	$5t_c(LSPCLK)$ $127t_c(LSPCLK)$	
2	$t_w(SPC1)M$	脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_c(SPC)M - 1$	ns
			奇数	$0.5t_c(SPC)M + 0.5t_c(LSPCLK) - 1$	
3	$t_w(SPC2)M$	脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_c(SPC)M + 1$	ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 1$	
23	$t_d(SPC)M$	延迟时间, SPISIMO到SPICLK 有效	偶数	$1.5t_c(SPC)M - 3t_c(SYSCLK) - 3$	ns
			奇数	$1.5t_c(SPC)M - 4t_c(SYSCLK) - 3$	
24	$t_v(STE)M$	有效时间, SPICLK 到 SPISIMO无效	偶数	$0.5t_c(SPC)M - 3$	ns
			奇数	$0.5t_c(SPC)M - 0.5t_c(LSPCLK) - 3$	
<b>高速模式</b>					
4	$t_d(SIMO)M$	延迟时间, SPICLK 到SPISIMO 有效	偶数, 奇数		1 ns

5	$t_{v(SIMO)M}$	有效时间, 在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	
<b>普通模式</b>					
4	$t_{d(SIMO)M}$	延迟时间, SPICLK 到 SPISIMO 有效	偶数, 奇数		1 ns
5	$t_{v(SIMO)M}$	有效时间, 在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	

(1) 当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

#### 5.10.4.1.3 SPI主模式开关特性(时钟相位= 1)

理论设计指标 (除非另作说明)

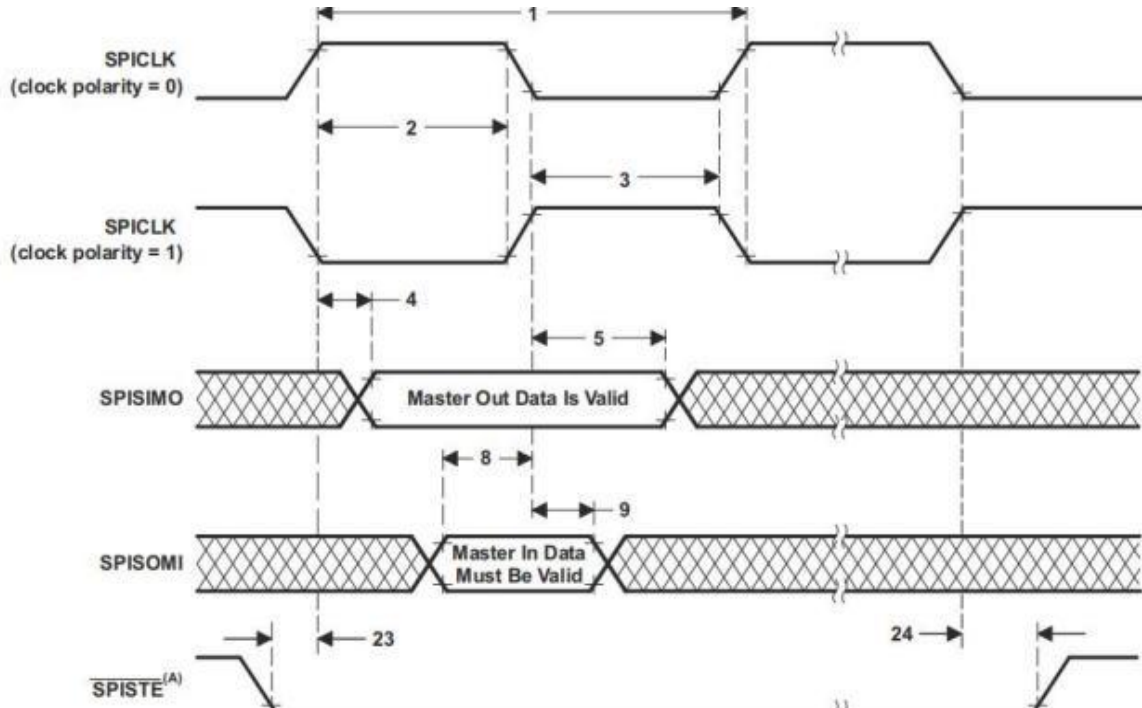
表 5- 31. SPI 主模式开关特性(时钟相位= 1)

NO.	参数	(BRR + 1)	最小	最大值	单位
<b>通用</b>					
1	$t_{c(SPC)M}$	周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$ $128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$ $127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK,第一脉冲	偶数	$0.5t_{c(SPC)M} - 1$ $0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 1$ $0.5t_{c(LSPCLK)} - 1$ $0.5t_{c(SPC)M}$ $0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间, SPICLK,第二脉冲	偶数	$0.5t_{c(SPC)M} - 1$ $0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 1$ $0.5t_{c(LSPCLK)} - 1$ $0.5t_{c(SPC)M} + 1$ $0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间, $\overline{SPISTE}$ 到 SPICLK 有效	偶数, 奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLOCK)} - 3$ $2t_{c(SPC)M} - 3t_{c(SYSCLOCK)} + 2$	ns
24	$t_{d(STE)M}$	延迟时间, SPICLK 到 $\overline{SPISTE}$ 无效	偶数	-3 2	ns
			奇数	-3 2	
<b>高速模式</b>					
4	$t_{d(SIMO)M}$	延迟时间, SPISIMO 到 SPICLK 为有效	偶数	$0.5t_{c(SPC)M} - 2$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$	
5	$t_{v(SIMO)M}$	有效时间, SPISIMO 在 SPICLK 后 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	
<b>普通模式</b>					
4	$t_{d(SIMO)M}$	延迟时间, SPISIMO 到 SPICLK 为有效	偶数	$0.5t_{c(SPC)M} - 2$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$	

5	$t_{v(SIMO)M}$	有效时间, 在 SPICLK 之后 SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	

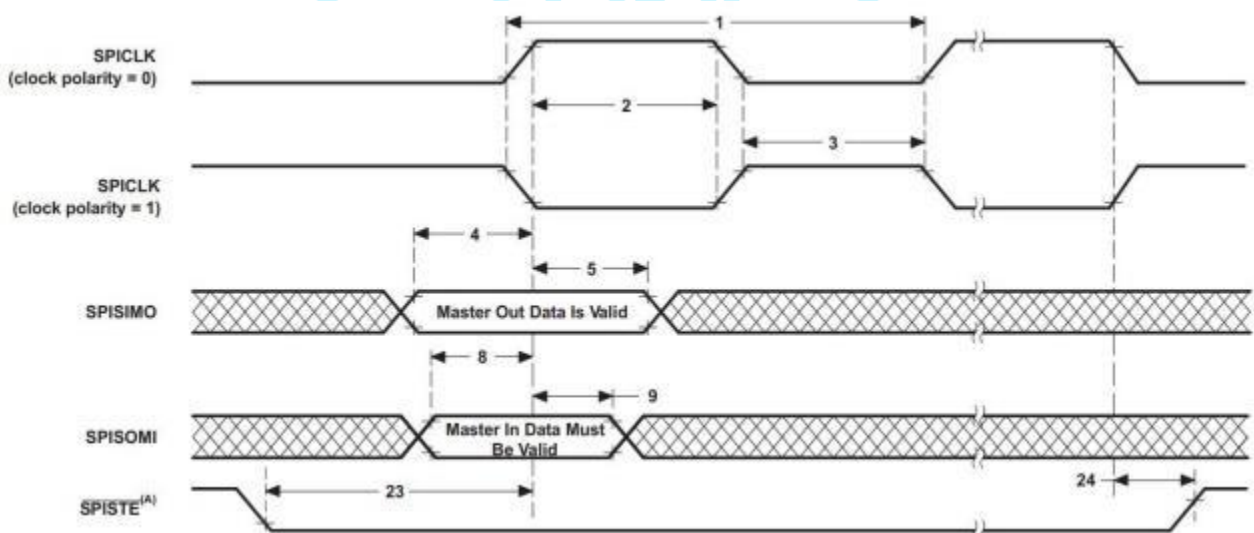
(1) 当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

#### 5.10.4.1.4 SPI主模式时序图



A.在字段的尾端, 在 FIFO 和非 FIFO 模式下的除非连续发送字,  $\overline{SP1STE}$ 处于非活动状态。

图 5-28. 主模式外部时序(时钟相位 = 0)



A.在字的尾端, 除了在 FIFO 和非 FIFO 模式下的背对背传输单词之间, SPISTE 将处于非活动状态。

图 5-29. SPI 主模式外部时序 (时钟相位 = 1)

### 5.10.5 SPI从模式时序

下面的部分包含 SPI从模式时序。

章节 5.10.5.1.1 列出了 SPI 从模式时序要求。章节 5.10.5.1.2 列出了 SPI 从模式开关特性.时钟相位为 0 的 SPI从模式外部时序如图 5-54 所示。时钟相位为 1 的 SPI从模式外部时序如图5-55 所示。

#### 5.10.5.1.1 SPI 从模式时序要求

表 5-32. SPI 从模式时序要求

NO.	参数		最小值	最大值	单位
12	$t_c(\text{SPC})\text{S}$	周期时间, SPICLK		$4t_c(\text{SYSCLK})$	ns
13	$t_w(\text{SPC1})\text{S}$	脉冲持续时间, SPICLK, 第一脉冲		$2t_c(\text{SYSCLK}) - 1$	ns
14	$t_w(\text{SPC2})\text{S}$	脉冲持续时间, SPICLK, 第二脉冲		$2t_c(\text{SYSCLK}) - 1$	ns
19	$t_{su}(\text{SIMO})\text{S}$	建立时间, 在 SPICLK 之前 $\overline{\text{SPISIMO}}$ 有效		$1.5t_c(\text{SYSCLK})$	ns
20	$t_h(\text{SIMO})\text{S}$	保持时间, 在 SPICLK 之后 $\overline{\text{SPISIMO}}$ 有效		$1.5t_c(\text{SYSCLK})$	ns
25	$t_{su}(\text{STE})\text{S}$	建立时间, 在 SPICLK 之前 $\overline{\text{SPISTE}}$ 有效 (时钟相位 = 0)		$2t_c(\text{SYSCLK}) + 3$	ns
		建立时间, 在 SPICLK 之前 $\overline{\text{SPISTE}}$ 有效 (时钟相位 = 1)		$2t_c(\text{SYSCLK}) + 23$	ns
26	$t_h(\text{STE})\text{S}$	保持时间, 在 SPICLK 之后 $\overline{\text{SPISTE}}$ 无效		$1.5t_c(\text{SYSCLK})$	ns

### 5.10.5.1.2 SPI 从模式开关特性

理论设计指标（除非另作说明）

表 5-33. SPI 从模式开关特性

NO.	参数	最小值	最大值	单位
15	$t_{d(SOMI)S}$	延迟时间, SPICLK 到 SPISOMI 有效	12	ns
16	$t_{v(SOMI)S}$	有效时间, 在 SPICLK 之后 SPISOMI 有效	0	ns

### 5.10.5.1.3 SPI 从模式时序图

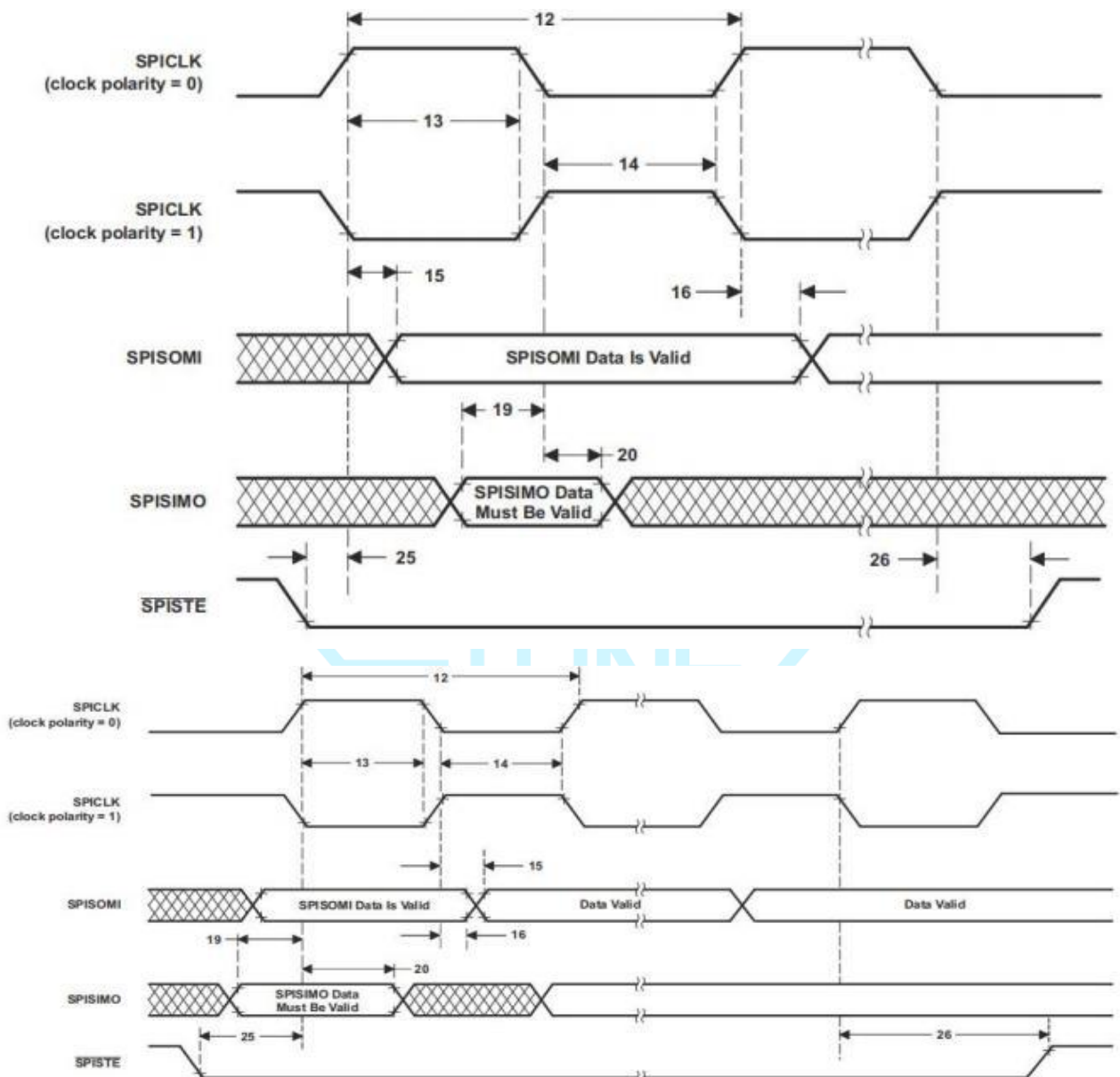


图 5-30. SPI 从模式外部时序 (时钟相位 = 1)

## 5.11 系统

### 5.11.1 电源管理

QXS320F2800137可以配置为使用两种选项之一来提供所需的1.2 V到核心(VDD)

- 外部电源
- 内部1.2 V LDO稳压器(VREG)

#### 5.11.1.1 内部1.2 V LDO稳压器(VREG)

内部VREG由VDDIO提供，并产生为VDD引脚供电所需的1.2 V。通过将VREGENZ引脚拉低至VSS来启用此功能。较小的

引脚数封装可能不包括VREGENZ引脚;因此，内部VREG总是启用的，因此，它是VDD引脚所需的电源源。查看表4-5中VREGENZ的描述来确定包的配置。虽然内部VREG消除了VDD使用外部电源的需要，但为了VREG的稳定性，每个VDD引脚上都需要去耦电容器。当使用内部VREG时，VDD导轨有两种推荐的电容器配置(如下所示)。VDD的信号说明如表4-4所示。

- 配置1:在尽可能靠近器件的每个引脚上放置一个小的VSS去耦电容。此外，必须在VDD节点上放置一个电容到VSS(一个10 $\mu$ F电容器)。
- 配置2:将VSS的总电容均匀分布在所有VDD引脚上(总电容除以4个VDD引脚)。

#### 5.11.1.2 推荐的外部组件

表 5-34. 推荐的外部组件

		最小值	典型值	最大值	单位
C <sub>VDDIO</sub>	VDDIO的滤波电容		4.7		$\mu$ F
C <sub>VDDA</sub>	VDDA引脚上的电容		4.7		$\mu$ F
C <sub>VDD</sub>	VDD上滤波电容		10		$\mu$ F

### 5.11.1.3 电源排序

信号引脚要求:设备上电前,任何数字引脚不能加高于VDDIO+0.3 V的电压,任何模拟引脚(包括VREFHI)不能加高于VDDA+0.3 V的电压。

VDDIO、VDDIO\_SW和VDDA要求:3.3 V电源VDDIO、VDDIO\_SW和VDDA应一起上电,在功能运行时应保持彼此之间的电压不超过0.3 V。

VDD要求:当VREGENZ绑定到VSS时,VDD上电顺序由芯片内部自己决定。

当VDD使用外部源(VREGENZ与VDDIO绑定)时,VDDIO和VDD必须同时上电和下电。当VDD关闭时,不应该打开VDDIO。在坡道期间,VDD应保持在VDDIO上方不超过0.3 V。

### 5.11.1.4 上电复位(POR)

内部上电复位(POR)电路使设备处于复位状态,并在上电期间使I/O处于高阻抗状态。POR处于控制状态,并在内部强制XRSn低,直到VDDIO上的电压超过POR阈值。当电压超过POR阈值时,内部的BOR (brownout-reset)电路进行控制,使设备处于复位状态,直到电压超过BOR阈值(关于内部BOR的详细信息,请参见5.11.1.5)。

### 5.11.1.5 停电复位(BOR)

内部的BOR电路监视VDDIO导轨的电压下降,导致电源电压下降到工作范围之外。当VDDIO电压降至BOR阈值以下时,设备强制复位,XRSn被拉低。XRSn将保持复位状态,直到电压返回到工作范围。缺省情况下,启用BOR功能。要禁用BOR,请在VMONCTL寄存器中设置BORLVMONDIS位。内部的BOR电路只监控VDDIO轨道。有关BOR特性,请参见5.5节。外部电源电压监控器(SVS)设备可用于监控3.3 V和1.2 V导轨上的电压,并在电源超出操作规范时驱动XRSn降低。

## 5.11.2 时钟规范

### 5.11.2.1 时钟资源

表5-35列举了三个可以使用的时钟资源,图5-31为时钟系统。

表 5-35. 可以使用的时钟资源

CLOCK SOURCE	MODULES CLOCKED	COMMENTS
INTOSC1	可以被用于: <ul style="list-style-type: none"> <li>● 看门狗模块</li> <li>● 作为PLL的参考时钟</li> <li>● 作为CPU的时钟</li> </ul>	内部振荡器1 无外部引脚的10Mhz振荡器
INTOSC2(1)	可以被用于: <ul style="list-style-type: none"> <li>● 作为PLL的参考时钟</li> </ul>	内部振荡器2 无外部引脚的10Mhz振荡器

	<ul style="list-style-type: none"> <li>• 作为CPU的时钟</li> </ul>	
X1 (XTAL)	可以被用于: <ul style="list-style-type: none"> <li>• 作为PLL的参考时钟</li> <li>• 作为CPU的时钟</li> </ul>	外部晶体或谐振器连接在X1和X2引脚之间或单端时钟连接到X1引脚

(1) 复位时, 内部振荡器2 (INTOSC2)是系统锁相环(OSCCLK)的默认时钟源。

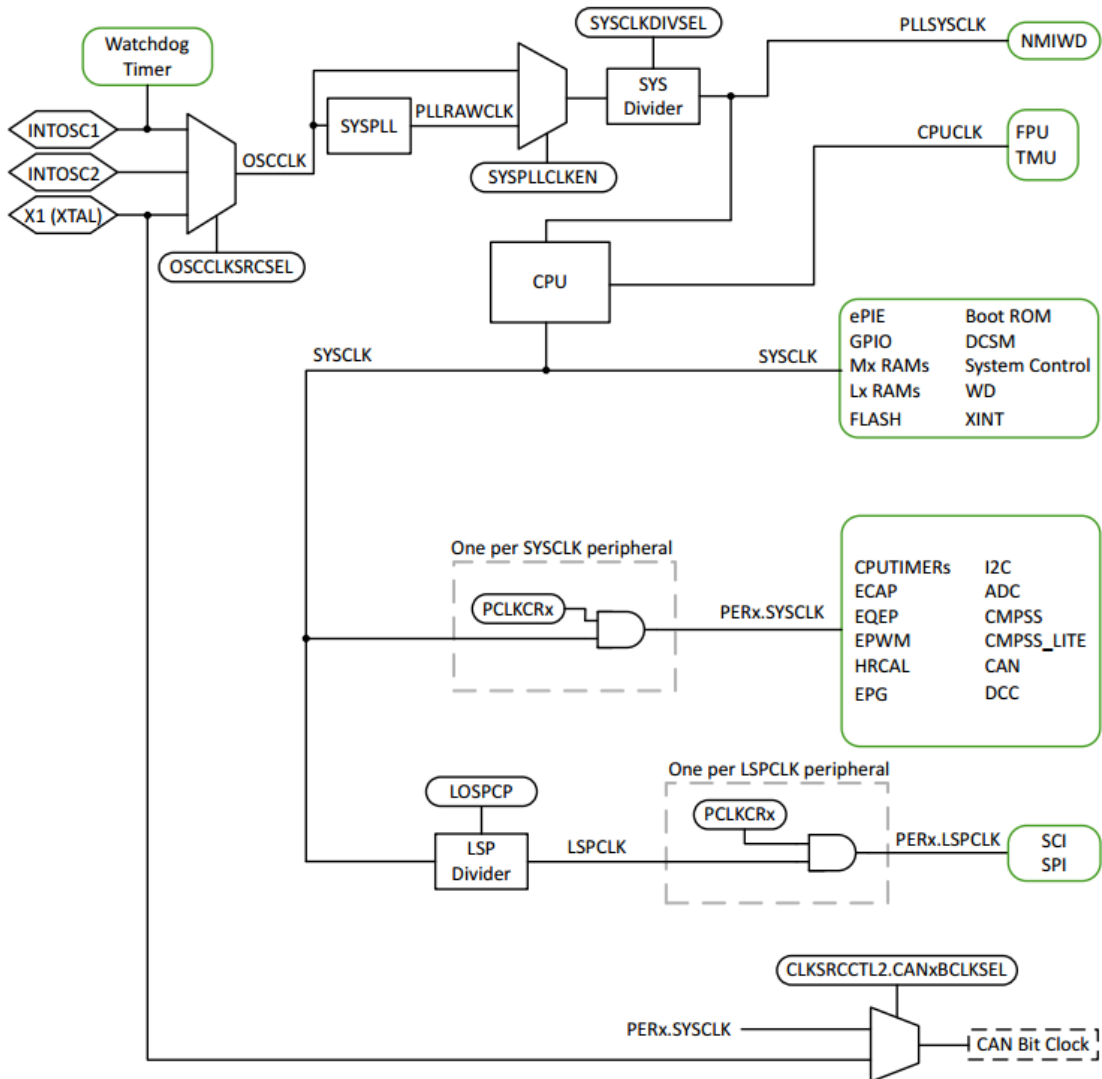


图 5-31. 系统时钟

### 5.11.2.2 时钟频率、要求和特性

介绍输入时钟的频率和定时要求、锁相环的锁相次数、内部时钟的频率要求以及输出时钟的频率和开关特性。

#### 5.11.2.2.1 输入时钟频率和定时要求，锁相环锁定时间

输入时钟的频率要求请参见5.11.2.2.1.1。章节5.11.2.2.1.2列出了XTAL振荡器的特性。X1时序要求请参见5.11.2.2.1.3。章节5.11.2.2.1.4列出了主锁相环的锁相环时间。

##### 5.11.2.2.1.1 输入时钟频率

	MIN	MAX	UNIT
$f_{(XTAL)}$ Frequency, X1/X2, from external crystal or resonator	10	20	MHz
$f_{(X1)}$ Frequency, X1, from external oscillator	2	20	MHz

##### 5.11.2.2.1.2 XTAL振荡器特性

超过推荐的操作条件(除非另有说明)

	MIN	TYP	MAX	UNIT
X1 VIL Valid low-level input voltage	- 0.3		$0.3 * VDDIO$	V
X1 VIH Valid high-level input voltage	$0.7 * VDDIO$		$VDDIO + 0.3$	V

##### 5.11.2.2.1.3 时间要求

	MIN	MAX	UNIT
$t_{f(X1)}$ Fall time, X1		6	ns
$t_{r(X1)}$ Rise time, X1		6	ns
$t_{w(X1L)}$ Pulse duration, X1 low as a percentage of $t_c(X1)$	45%	55%	
$t_{w(X1H)}$ Pulse duration, X1 high as a percentage of $t_c(X1)$	45%	55%	

##### 5.11.2.2.1.4 锁相环锁定时间

	MIN NOM	MAX	UNIT
$t_{(PLL)}$ Lock time, Main PLL	$50\mu s + 5\mu s (t_{OSC\_stable})$		$\mu s$

### 5.11.2.2.2 内部时钟频率

章节5.11.2.2.1给出了内部时钟的时钟频率。

#### 5.11.2.2.1 内部时钟频率

	MIN	NOM	MAX	UNIT
$f_{(SYSCLK)}$ Frequency, device (system) clock			120	MHz
$t_{d(SYSCLK)}$ Period, device (system) clock	6.67			ns
$f_{(VCO)}$ Frequency, VCO output clock	400		600	MHz
$f_{(CLK\_Q)}$ Frequency, CLK_Q output frequency	26		600	MHz
$f_{(CLK\_S)}$ Frequency, CLK_S output frequency	26		600	MHz
$f_{(LSP)}$ Frequency, LSPCLK			120	MHz
$f_{(HRPWM)}$ Frequency, HRPWMCLK	50		120	MHz
$f_{(OSCCLK)}$ Frequency, OSCCLK (INTOSC1 or INTOSC2 or XTAL or X1)	See respective clock			MHz

### 5.11.2.3 外部输入时钟

除了内部振荡器外，还支持三种外部时钟源：

- 单端的3.3 v外部时钟，如图5 - 32：

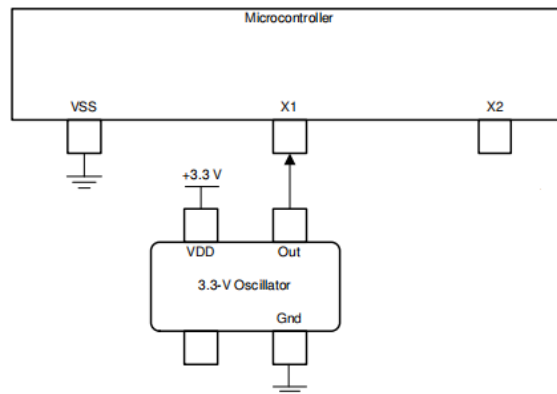


图 5-32. 单端的3.3 v外部时钟

- 外部晶振，如图5 - 33：

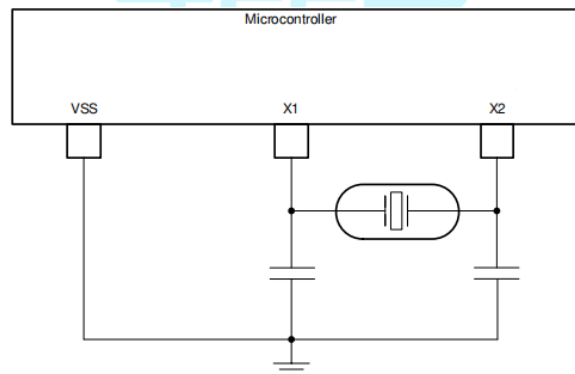


图 5-33. 外部晶振

- 外部谐振器，如图5 - 34:

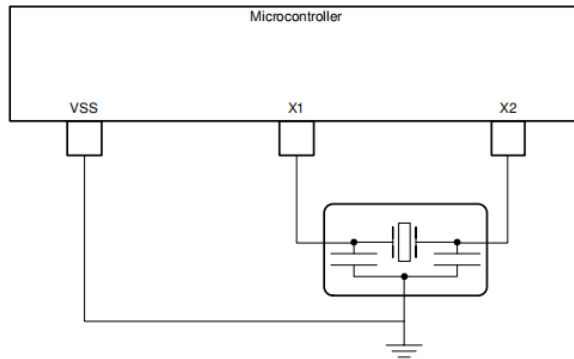


图 5-34. 外部谐振器

#### 5.11.2.4 内部振荡器

为了降低生产板成本和应用程序开发时间，QXS320F2800137包含两个独立的内部振荡器，称为INTOSC1和INTOSC2。默认情况下，两个振荡器在上电时都使能。设置INTOSC2为系统参考时钟(OSCCLK)源，设置INTOSC1为备份时钟源。INTOSC1也可以手动配置为系统参考时钟(OSCCLK)。

##### 5.11.2.4.1 内部振荡器特性

超过推荐的操作条件(除非另有说明)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f <sub>INTOSC</sub> Output clock frequency	Without trimming	7	10	13	MHz
	After trimming @ 25°C	9.8	10	10.2	MHz
f <sub>STEP</sub> Output frequency adjust step			250		KHz
f <sub>T</sub> coefficient Output frequency temperature coefficient	@ -40°C~125°C		±1.5		%
T <sub>S</sub> OSC stabilization time				20	μs
D <sub>TC</sub> Output Duty Cycle		45	50	55	%

## 6 详细描述

### 6.1 概述

QXS320F2800137配备一个功能强大的32位浮点微控制器单元(MCU)， 可让设计人员在单个器件上集成关键的控制外设、差分模拟和非易失性存储器。

实时控制子系统基于QX的32位C28xCPU， 可提供120MHz的信号处理性能。QX C28xCPU的性能通过新的TMU扩展指令集得到了进一步提升， TMU扩展指令集可快速执行包含变换和扭矩环路计算中常见三角运算的算法。

QXS320F2800137支持高达512KB的闪存和高达320KB的片上SRAM， 支持闪存ECC、SRAMECC/奇偶校验和双区安全性。

QXS320F2800137集成了高性能模拟块， 以进一步支持系统整合。两个个独立的12位ADC可准确、高效地管理多个模拟信号， 从而最终提高系统吞吐量。三个模拟比较器模块针对跳闸情况下的对输入电压电平进行连续监控。

QXS320F2800137包含先进的控制外设(具有独立于频率的ePWM/HRPWM和eCAP)， 可对系统进行出色的控制。

通过各种业界通用通信端口(如 SPI、SCI、I2C 和 CAN)支持连接， 并且提供了多个多路复用选项， 可在各种应用中实现出色的信号布局。



## 6.2 功能框图

CPU 系统及其外设如图 6-1 所示。

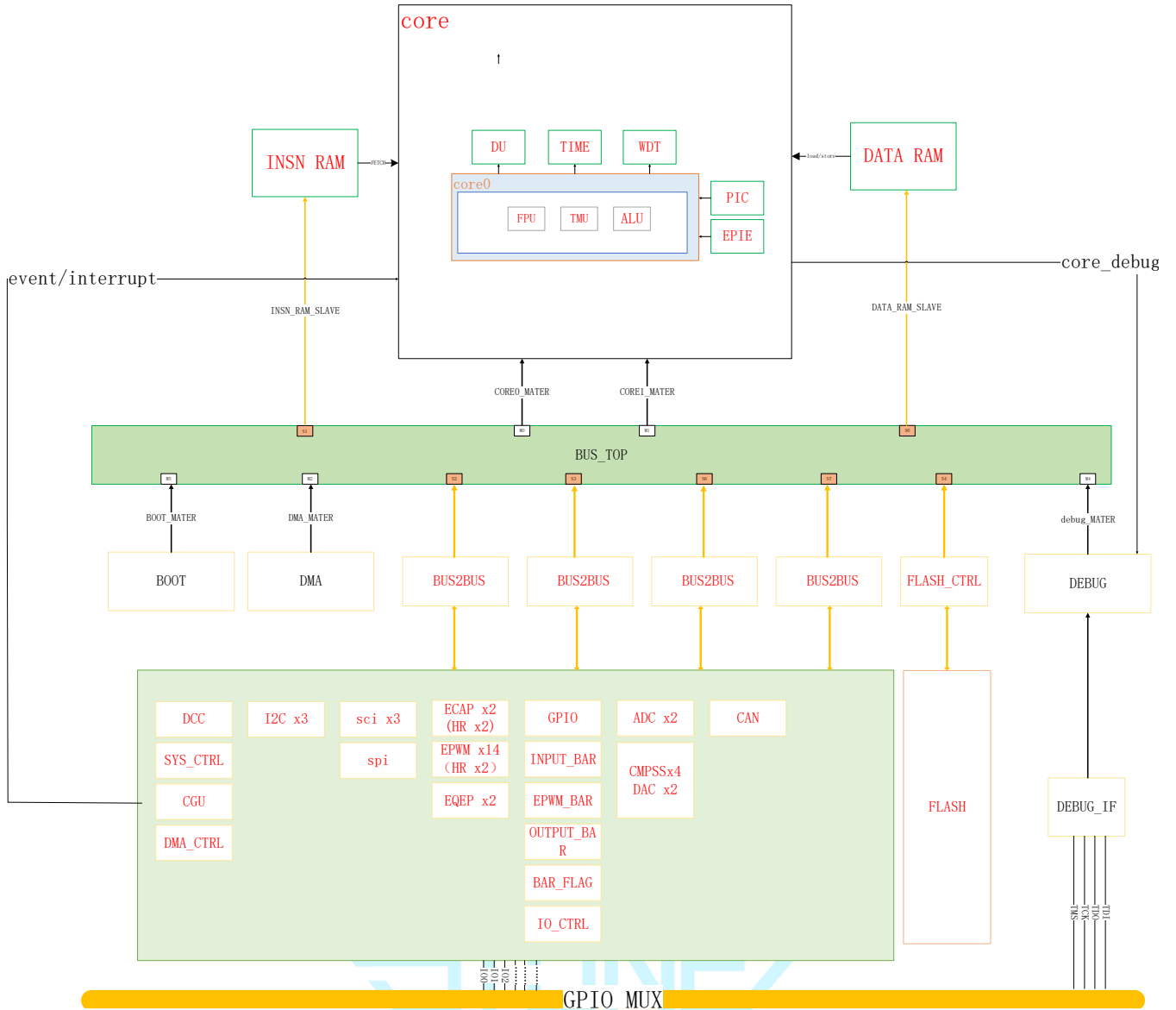


图 6-1. 功能框图

## 6.3 内存

### 6.3.1 内存映射

表 6-1. 内存映射

RAM	GS0 RAM	16KB	0x00000000	0x00003FFF	数据和指令共享存储区，4个bank共64KB大小，支持取指、存数、读数访问	
	GS1 RAM	16KB	0x00004000	0x00007FFF		
	GS2 RAM	16KB	0x00008000	0x0000BFFF		
	GS3 RAM	16KB	0x0000C000	0x0000FFFF		
IRAM	GSIO RAM	256KB	0x00010000	0x0004FFFF	指令共享存储区，1个bank共256KB大小，支持CPU取指、总线读写访问	
SRAM_BOOT	CPU0 BOOT RAM	8KB	0x00280000	0x00281FFF	CPU0 BOOT代码存放区	
SPRS	PIECTRL	256B	0x007F0100	0x007F01FF	PIE中断控制器	
	DEBUG	256B	0x007F0200	0x007F02FF	DEBUG调试	
	TIMER0	20B	0x007F0300	0x007F0310	CPUTIMER0 定时器	
	TIMER1	20B	0x007F0314	0x007F0324	CPUTIMER1 定时器	
	TIMER2	20B	0x007F0328	0x007F0338	CPUER2 定	
	CR	256B	0x007F0400	0x007F04FF	控制寄存器	
	GR	256B	0x007F0500	0x007F05FF	通用寄存器	
	MOB	256B	0x007F0600	0x007F06FF	MOB寄存器	
	EXP	256B	0x007F0700	0x007F07FF	异常处理控制器	
	WD	256B	0x007F0800	0x007F08FF	看门狗寄存器	
		TRACE_BUFFER	256B	0x007F0C00	0x007F0CFF	TRACE_BUFFER寄存器
		WATCH_POINT	256B	0x007F0D00	0x007F0DFF	WATCHPOINT寄存器
		ECC	256B	0x007F0E00	0x007F0EFF	ECC寄存器
PERIPHERAL	CLKCFG	4KB	0x01000000	0x01000FFF	CGU模块寄存器	
	CPUSYS	432B	0x01001000	0x010011AF	SYSCTL模块寄存器	
	DEVCFG	432B	0x01001000	0x010011AF	DEVCFG寄存器(和SYSCTL共享地址范围)	
	XINT	80B	0x010011B0	0x010011FF	XINT寄存器	
	NMIINTRUPT	256B	0x01001200	0x010012FF	SYSCTL模块寄存器	
	DCC0	4KB	0x01002000	0x01002FFF	DCC寄存器	
	DMA	256B	0x01003000	0x010030FF	DMA寄存器	
	DMACH1	256B	0x01003100	0x010031FF	DMACH1寄存器	
	DMACH2	256B	0x01003200	0x010032FF	DMACH2寄存器	

ANALOGSUBSYS	4KB	0x01004000	0x01004FFF	模拟子系统寄存器
REGFILE	4KB	0x01005000	0x01005FFF	REGFILE寄存器
DCSM_Z1	1KB	0x01006000	0x010063FF	DCSM_Z1寄存器
DCSM_Z1_SHADOW	1KB	0x01006400	0x010067FF	DCSM_Z1_SHADOW影子寄存器
DCSM_COMMON	4KB	0x01007000	0x01007FFF	DCSM_COMMON寄存器
DCSM_Z2	1KB	0x01008000	0x010083FF	DCSM_Z2寄存器
DCSM_Z2_SHADOW	1KB	0x01008400	0x010087FF	DCSM_Z2_SHADOW影子寄存器
EPG	4KB	0x01009000	0x01009FFF	EPG寄存器
SYSERR	4KB	0x0100A000	0x0100AFFF	SYSERR寄存器
ECAP1	128B	0x01010280	0x010102BF	ECAP1寄存器
ECAP2	64B	0x01010300	0x0101033F	ECAP2寄存器
SYNCSOC	128B	0x01010380	0x010103FF	SYNCSOC寄存器
SFO	128B	0x01010400	0x0101047F	HRPWM校准数据
EPWM1	512B	0x01012000	0x010121FF	EPWM1寄存器
EPWM2	512B	0x01012200	0x010123FF	EPWM2寄存器
EPWM3	512B	0x01012400	0x010125FF	EPWM3寄存器
EPWM4	512B	0x01012600	0x010127FF	EPWM4寄存器
EPWM5	512B	0x01012800	0x010129FF	EPWM5寄存器
EPWM6	512B	0x01012A00	0x01012BFF	EPWM6寄存器
EPWM7	512B	0x01012C00	0x01012DFF	EPWM7寄存器
EQEP1	2KB	0x01014000	0x010147FF	EQEP1寄存器
CMPSS1	256B	0x01016000	0x010160FF	CMPSS1寄存器
CMPSS2	256B	0x01016100	0x010161FF	CMPSS2寄存器
CMPSS3	256B	0x01016200	0x010162FF	CMPSS3寄存器
CMPSS4	256B	0x01016300	0x010163FF	CMPSS4寄存器
ADCARESLT	256B	0x01020110	0x010201FF	ADCARESLT寄存器
ADCCRESULT	256B	0x01020510	0x010205FF	ADCCRESULT寄存器
ADCA	256B	0x01030000	0x010300FF	ADCA寄存器
ADCC	256B	0x01030400	0x010304FF	ADCC寄存器
GPIODATA	4KB	0x01040000	0x01040FFF	GPIO DATA寄存器
GPIOCTRL	4KB	0x01050000	0x01050FFF	GPIO CTRL寄存器
INPUTXBAR	4KB	0x01051000	0x01051FFF	INPUT_BAR寄存器
OUTPUTXBAR	4KB	0x01052000	0x01052FFF	EPWM_BAR寄存器
EPWMXBAR	4KB	0x01053000	0x01053FFF	OUTPUT_BAR寄存器

	XBAR	4KB	0x01054000	0x01054FFF	XBAR_FLAG寄存器
	SPIA	4KB	0x01060000	0x010603FF	SPIA寄存器
	SCIA	4KB	0x01080000	0x01080FFF	SCIA寄存器
	SCIB	4KB	0x01081000	0x01081FFF	SCIB寄存器
	SCIC	4KB	0x01082000	0x01082FFF	SCIC寄存器
	I2CA	4KB	0x01083000	0x01083FFF	I2CA寄存器
	I2CB	4KB	0x01084000	0x01084FFF	I2CB寄存器
	CANA	4KB	0x01090000	0x01090FFF	CANA (CANFD) 寄存器
FLASH	FLASHOCTRL	4KB	0x010B0000	0x010B0FFF	FLASHO控制寄存器
	FLASHODATA	512KB	0x30000000	0x301FFFFFFF	FLASHO数据寄存器
	FLASHOTP1	1KB	0x30200000	0x302003FF	FLASHO OTP数据寄存器
	FLASHOTP2	1KB	0x30201000	0x302013FF	FLASHO OTP数据寄存器



### 6.3.2 Flash 内存映射

在QXS320F2800137设备上有一个闪存(512KB [128KW])可用。一次可以对一个Sector、Block、Chip进行编程或擦除操作。

在正在进行擦除/编程操作的 FLASH Bank 上不应进行任何访问。

FLASH的Page、Sector、Block、Chip关系如表所示。

Each device has	Each block has	Each sector has	
512K	64K	4K	Bytes
128	16		sectors
8			blocks

可分配的FLASH 扇区地址如表6-3所示。

#### 6.3.2.1 Flash 扇区地址

表 6-2. FLASH OTP扇区地址

扇区	地址		
	大小	开始	结束
OTP 0 扇区			
FLASH0OTP1	1KB	0x30200000	0x302003FF
FLASH0OTP2	1KB	0x30201000	0x302013FF

表 6-3. FLASH Block 地址

Block	Sector	Address range	
7	127	0x3007F000	0x3007FFFF
	.....	.....	.....
	112	0x30070000	0x300F0FFF
6	111	0x3006F000	0x3006FFFF
	.....	.....	.....
	96	0x30060000	0x300E0FFF
.....	.....	.....	.....
	.....	.....	.....
	.....	.....	.....
.....	.....	.....	.....
	.....	.....	.....
	.....	.....	.....
2	47	0x3002F000	0x3002FFFF
	.....	.....	.....
	32	0x30020000	0x30020FFF
1	31	0x3001F000	0x3001FFFF

	.....	.....	.....
	16	0x30010000	0x30010FFF
0	15	0x3000F000	0x3000FFFF
	.....	.....	.....
	0	0x30000000	0x30000FFF

### 6.3.3.2 外设寄存器内存映射

外设寄存器内存映射表(H28x)如下:

表 6-4. 外设寄存器内存映射表 (H28x)

寄存器	大小	起始地址	结束地址
CLKCFG	4KB	0x01000000	0x01000FFF
CPUSYS	432B	0x01001000	0x010011AF
DEVCFG	432B	0x01001000	0x010011AF
XINT	80B	0x010011B0	0x010011FF
NMI INTRUPT	256B	0x01001200	0x01012FFF
DCC0	4KB	0x01002000	0x01002FFF
DMA	256B	0x01003000	0x010030FF
DMACH1	256B	0x01003100	0x010031FF
DMACH2	256B	0x01003200	0x010032FF
ANALOGSUBSYS	4KB	0x01004000	0x01004FFF
REGFILE	4KB	0x01005000	0x01005FFF
DCSM_Z1	1KB	0x01006000	0x010063FF
DCSM_Z1_SHADOW	1KB	0x01006400	0x010067FF
DCSM_COMMON	4KB	0x01007000	0x01007FFF
DCSM_Z2	1KB	0x01008000	0x010083FF
DCSM_Z2_SHADOW	1KB	0x01008400	0x010087FF
EPG	4KB	0x01009000	0x01009FFF
SYSERR	4KB	0x0100A000	0x0100AFFF
ECAP1	128B	0x01010280	0x010102BF
ECAP2	64B	0x01010300	0x0101033F
SYNCSOC	128B	0x01010380	0x010103FF
SFO	128B	0x01010400	0x0101047F
SFOHHR	128B	0x01010480	0x0101047F
EPWM1	512B	0x01012000	0x010121FF
EPWM2	512B	0x01012200	0x010123FF

EPWM3	512B	0x01012400	0x010125FF
EPWM4	512B	0x01012600	0x010127FF
EPWM5	512B	0x01012800	0x010129FF
EPWM6	512B	0x01012A00	0x01012BFF
EPWM7	512B	0x01012C00	0x01012DFF
EQEP1	2KB	0x01014000	0x010147FF
CMPSS1	256B	0x01016000	0x010160FF
CMPSS2	256B	0x01016100	0x010161FF
CMPSS3	256B	0x01016200	0x010162FF
CMPSS4	256B	0x01016300	0x010163FF
ADCARESLT	256B	0x01020110	0x010201FF
ADCCRESULT	256B	0x01020510	0x010205FF
ADCA	256B	0x01030000	0x010300FF
ADCC	256B	0x01030400	0x010304FF
GPIODATA	4KB	0x01040000	0x01040FFF
GPIOCTRL	4KB	0x01050000	0x01050FFF
INPUTXBAR	4KB	0x01051000	0x01051FFF
OUTPUTXBAR	4KB	0x01052000	0x01052FFF
EPWMXBAR	4KB	0x01053000	0x01053FFF
XBAR	4KB	0x01054000	0x01054FFF
SPIA	4KB	0x01060000	0x010603FF
SCIA	4KB	0x01080000	0x01080FFF
SCIB	4KB	0x01081000	0x01081FFF
SCIC	4KB	0x01082000	0x01082FFF
I2CA	4KB	0x01083000	0x01083FFF
I2CB	4KB	0x01084000	0x01084FFF
CANA	4KB	0x01090000	0x01090FFF
FLASHOCTRL	4KB	0x010B0000	0x010B0FFF
FLASHODATA	512KB	0x30000000	0x3007FFFF
FLASHOOTP1	1KB	0x30200000	0x302003FF
FLASHOOTP2	1KB	0x30201000	0x302013FF

### 6.3.3 存储器类型

#### 6.3.3.1 CPU共享数据 RAM (GSDx RAM)

CPU 子系统有三个支持 ECC 功能的数据RAM。

#### 6.3.3.3 CPU共享指令RAM (GSIx RAM)

CPU 子系统有三个支持 ECC 功能的指令RAM。

#### 6.3.3.4 CPU共享指令RAM (BOOT RAM)

CPU的BOOT代码存放区。

## 6.4 总线架构-外设连接

外设连接表列出了每条总线访问外设和配置寄存器。

表 6-5. 外设连接

外设	DMA	CPU
CPU 计时器	是	是
系统配置 ( WD、NMIWD、LPM、外设时钟门控 )		是
器件功能、外设复位	是	是
时钟和PLL配置	是	是
闪存配置	是	是
复位配置	是	是
GPIO 引脚映射和配置	是	是
GPIO 数据)	是	是
DMA 触发源选择	是	是
ePWM/HRPWM	是	是
eCAP	是	是
eQEP	是	是
模拟系统控制	是	是
外设	DMA	CPU
ADC 配置	是	是
ADC 结果	是	是
CMPSS	是	是
CAN	否	是
SPI	是	是
I2C	是	是
SCI	是	是

## 6.5 C28x 处理器

### 6.5.1 介绍

CPU 为具有自主知识产权的高性能低功耗32 位浮点处理器,采用了数字信号处理最佳特性;精简指令集计算 (RISC);以及微控制器架构、固件和工具集。以及微控制器架构、固件和工具集。

### 6.5.2 特点

处理器是一款具有自主知识产权的高性能低功耗数字信号处理器芯片。“高性能”是以、超长指令字 (VLIW) 技术和硬件循环 (hardware loop) 技术为基础,通过对各模块功能的细分和优化来实现的。同时基于对移动多媒体领域应用的分析,精确定义指令集,提高应用程序的代码密度、减少程序执行周期数以降低总能耗。微控制器特性包括易懂易用的指令集、字节打包和解包以及位操作。改进型哈佛体系架构的 CPU 可实现指令和数据的并行获取。CPU 可以在读取指令和数据的同时写入数据,以维持流水线中的单周期指令操作。

完整的处理器主要包含了DSP内核、片上存储器 (I-MEM、D-MEM)、直接存储访问模块 (DMA)、对外接口 (SPI、I2C、GPIO、CAN等) 和调试模块 (Debug)。

### 6.5.3 浮点单元(FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。



#### 6.5.4 三角数学单元(TMU)

三角函数数学单元（TMU）通过添加指令和利用现有 FPU 指令来扩展H28x+FPU 的功能，加速执行常见三角函数和下表中所列算术运算。

表 6-6. TMU支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 Rd, Rs	$a = b * 2\pi$	2/3
DIV2PIF32 Rd, Rs	$a = b / 2\pi$	2/3
FSSQRT Rd, Rs	$a = \text{sqrt}(b)$	7
SINPUF32 Rd, Rs	$a = \sin(b*2\pi)$	5
COSPUF32 Rd, Rs	$a = \cos(b*2\pi)$	5
ATANPUF32 Rd, Rs	$a = \text{atan}(b)/2\pi$	5
QUADF Rd, Rs, Rt	用于协助计算 ATANPU2 的运算	8

TMU单元没有对现有指令、流水线或内存总线架构进行任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集。



## 6.6 直接内存访问(DMA)

DMA 模块提供了一种硬件方法，可以在外设和/或内存之间传输数据，而不需要 CPU 的干预，从而为其他系统功能释放带宽。此外，DMA 具有在传输数据时对数据进行正交重新排列的能力，以及缓冲区之间的“乒乓”数据。这些特性有助于优化 CPU 进程，将数据结构化成块。

DMA 的设备级框图如图 6-2所示。

DMA 特性包括：

- 两个具有独立 PIE 中断的通道
- 外设DMA触发源
  - ADC 中断和 EVT 信号
  - 外部中断
  - ePWM SOC 信号
  - CPU 计时器
  - eCAP
  - SPI 发送和接收
  - SPI 发送和接收
- 数据源和目标：
  - GSx RAM
  - ADC 结果寄存器
  - 控制外设寄存器（ePWM、eQEP、eCAP）
  - DAC
  - SPI
- 字大小：8位、16 位或 32 位
- 数据率：每个字十五个周期，8深度FIFO，无需仲裁

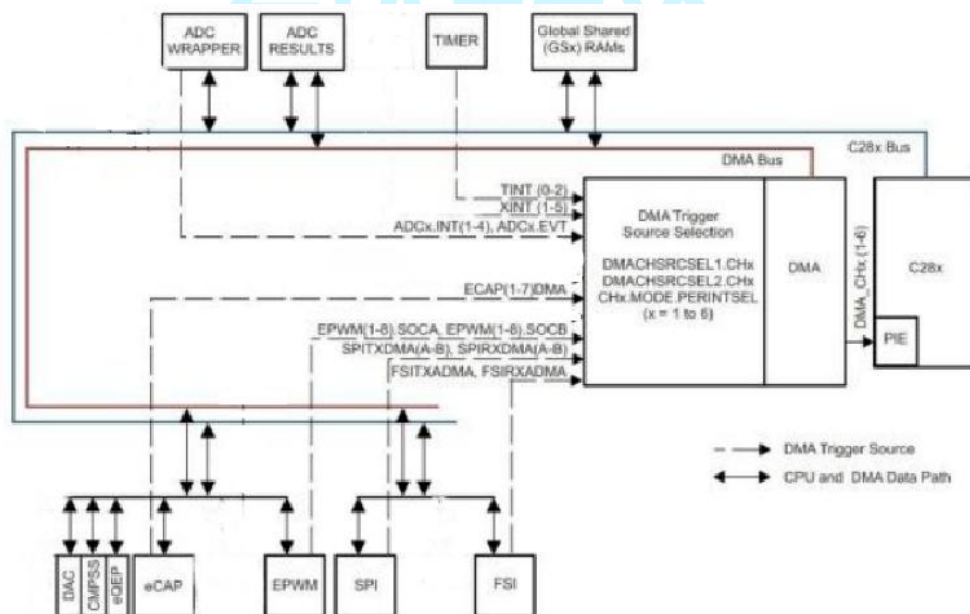


图 6-2. DMA 框图

## 6.7 看门狗

看门狗计数器的软件重置间隔有一个可选的下限时间。这个窗口倒计时默认是禁用的。

看门狗产生复位或中断。它的时钟可以来自内部振荡器与可选择的分频器。看门狗模块各功能模块如图 6-3所示。

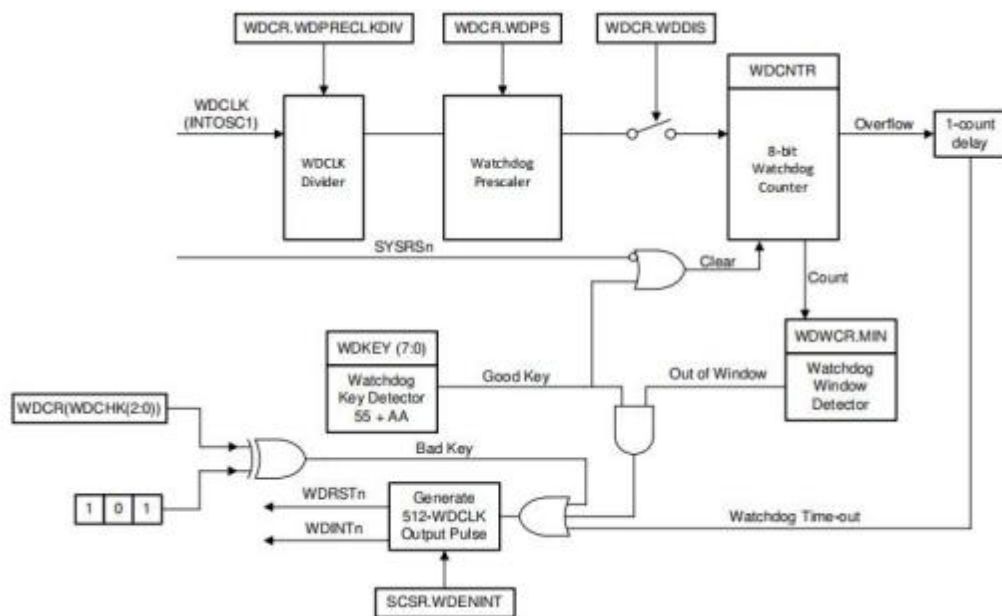


图 6-3. 看门狗

## 6.8 C28x 计时器

CPU 定时器 0、1、2 都是相同的 32 位定时器，具有可预置的周期和预缩放 16 位时钟。计时器有一个 32 位倒计时寄存器，当计数器达到零时产生中断。计数器以 CPU 时钟速度除以预置值的值递减。当计数器达到零时，它会自动用一个 32 位的周期值重新加载。

CPU-Timer 0 用于一般用途，并且已连接到 PIE 块。CPU-timer 1 也是通用的，并且连接到 CPU 的 INT13。CPU-Timer 2 为 QX-RTOS 预留，并且连接 CPU 的 INT14。如果 QX-RTOS 不被使用，CPU-Timer2 可用于一般用途。

CPU-Timer 2 可以通过以下任何一个来计时：

- SYSCLK (默认)
- 内部晶振振荡器 1 (INTOSC1)
- 内部晶振振荡器 2 (INTOSC2)
- X1 (XTAL)

## 6.9 双时钟比较器 (DCC)

双时钟比较器模块用于基于第二个时钟评估和监控时钟输入，第二个时钟可以是更准确可靠的版本。此仪表用于检测时钟源或时钟结构中的故障，从而提高系统的安全性指标。

### 6.9.1 特点

DCC 有以下特点：

- 允许应用程序在两个时钟信号的频率之间保持固定的比例。
- 支持根据参考时钟周期的数量定义可编程公差窗口。
- 支持连续监控，不需要应用程序干预。
- 支持点测的单序列模式。
- 允许为每个计数器选择一个时钟源，从而产生不同的特定的情况。

### 6.9.2 时钟源输入映射

表 6-9. DCCx 时钟源 0

DCCxCLKSRC0[3:0]	时钟名称
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR (输入 xbar 的输出 16)
其它	保留

表 6-10. DCCx 时钟源 1

DCCxCLKSRC1[4:0]	时钟名称
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x9	输入 XBAR (输入 xbar 的输出 15)
0xA	AUXCLKIN
0xB	EPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK
0xF	CAN0BITCLK
其它	保留

## 7 开发支持

### 7.1 集成开发环境QX-IDE

用户可以在“QXDSPC2000系列-开发工具链”的发布地址（如下），下载QX-IDE。

1. [https://pan.baidu.com/s/1bfo-FDc\\_qO7cY8KOFM-vMg](https://pan.baidu.com/s/1bfo-FDc_qO7cY8KOFM-vMg) 提取码: qide
2. <https://pan.quark.cn/s/a4fccb17121f> 提取码: B6Kg

QX-IDE的安装和使用方法参考“QX-IDE\_User\_Manual.pdf”。



图 7-1. QX-IDE欢迎界面

## 7.2 仿真器

### 7.2.1 简介

QXS320f 3槽DSP的仿真环境如**错误!未找到引用源。**所示，包括

- (1) 宿主机：执行调试命令、显示目标机状态
- (2) 目标机：被调试设备
- (3) 接口卡：FT2232HL，负责USB/JTAG接口及协议转换

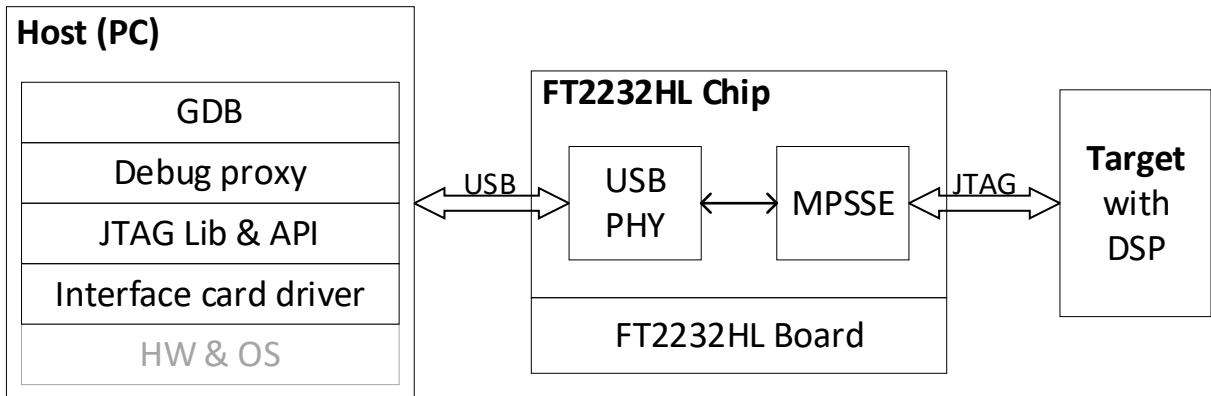


图 7-2. 基本结构

### 7.2.2 结构

#### 7.2.2.1 宿主机

与DSP仿真相关的宿主机软件结构如**错误!未找到引用源。**所示。

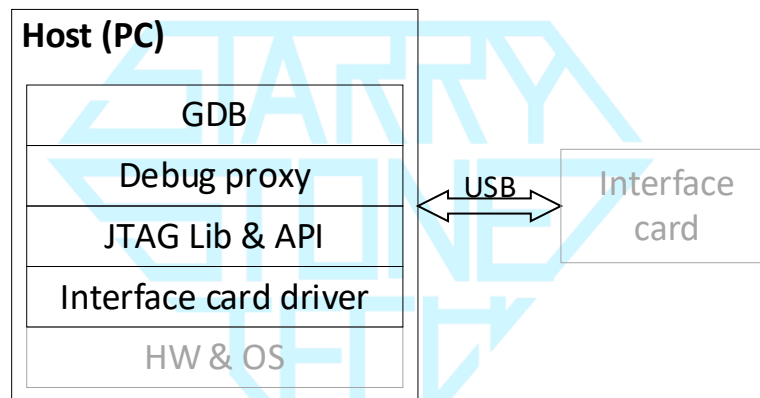


图 7-3. 宿主机软件结构

宿主机通过USB接口和接口卡连接，并包含以下部分

- 1) 接口卡驱动：使宿主机能够通过接口卡收发数据
- 2) JTAG Lib和API：接口卡组件，针对接口卡在USB/JTAG工作模式的函数库及应用程序接口
- 3) GDB：基于GNU Debugger为DSP定制的调试器
- 4) 调试代理：通过调用JTAG API进行JTAG接口配置，以及GDB和JTAG API之间的消息转发。

GDB发出的调试命令被调试代理转换成对应的JTAG API调用，接口卡返回的消息被调试代理转换为对应的GDB packet发送给GDB

### 7.2.2.2 目标机

目标机通过JTAG接口和接口卡连接。

### 7.2.2.3 接口卡

宿主机和目标机的连接、通讯需借助接口卡以进行USB和JTAG接口及协议的相互转换。接口卡的逻辑结构如**错误!未找到引用源。**所示。

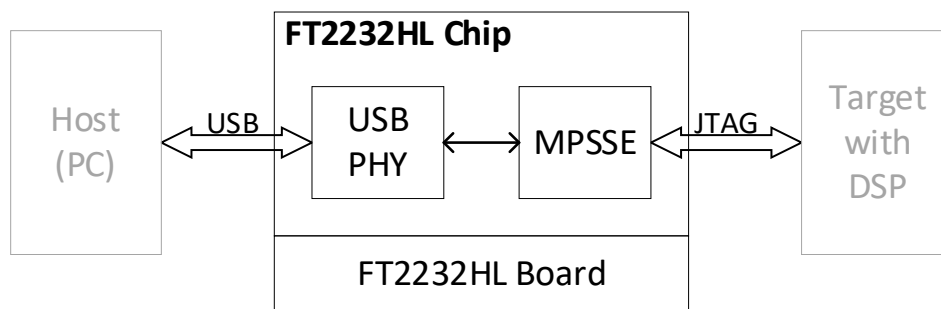


图 7-4. 接口卡逻辑结构

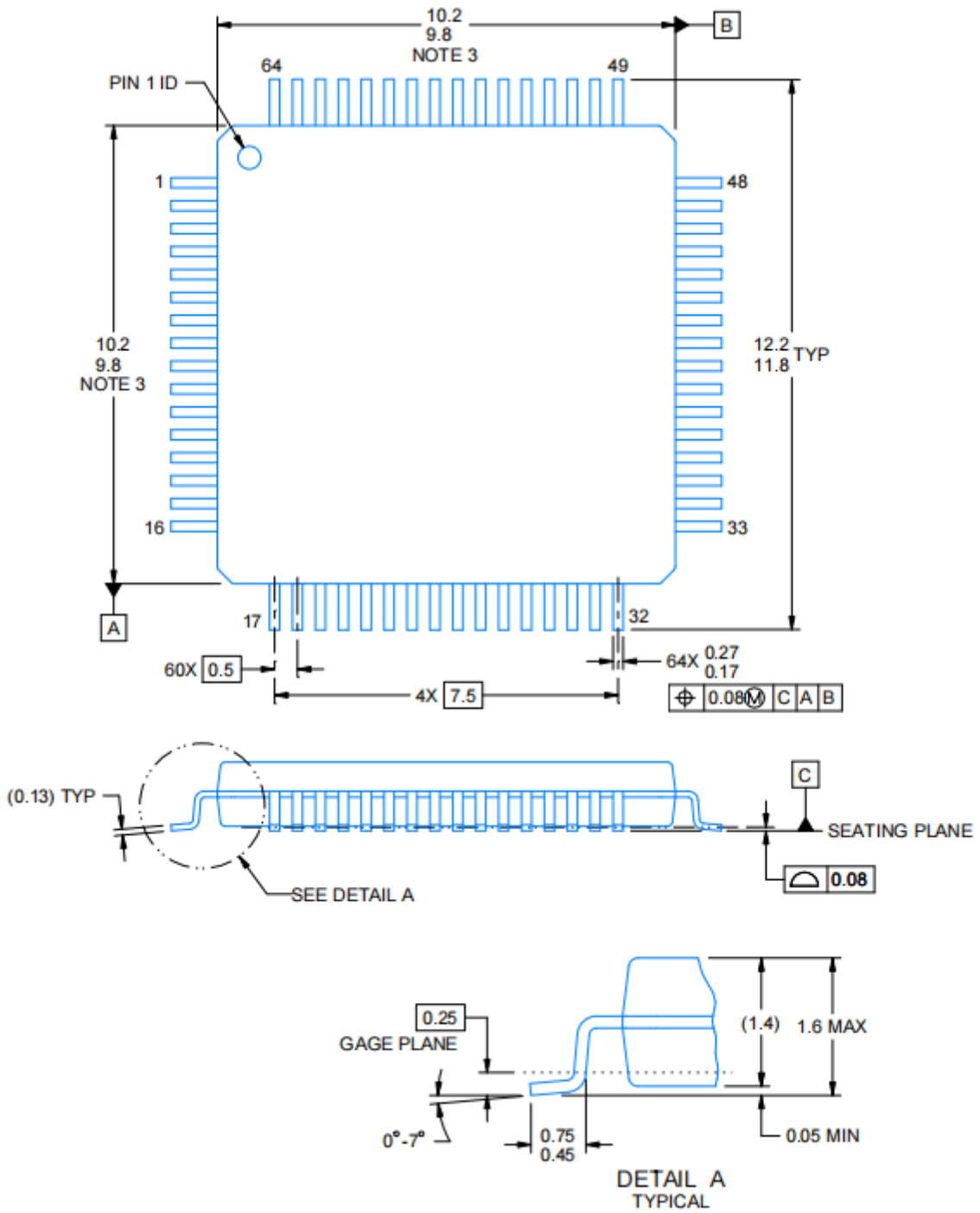
接口卡采用[FTDI公司](#)的[FT2232HL芯片](#)。该芯片一边固定为USB 2.0的物理层和宿主机连接；另一边是可配置的UART/FIFO接口。

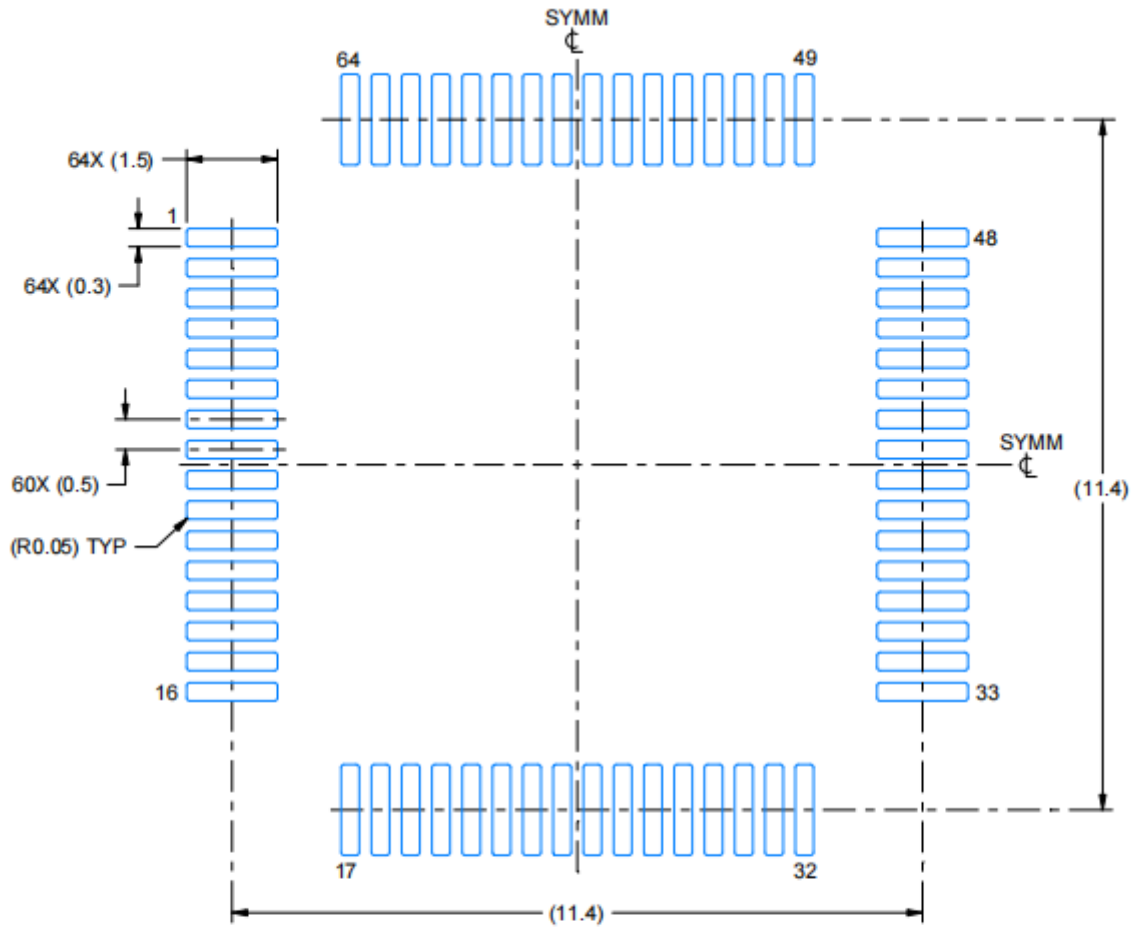
在当前的DSP仿真场景，该接口配置成MPSSE（Multi-Protocol Synchronous Serial Engine），作为JTAG接口和目标机连接。



## 8 封装外形尺寸

### 8.1 LQFP64 PIN

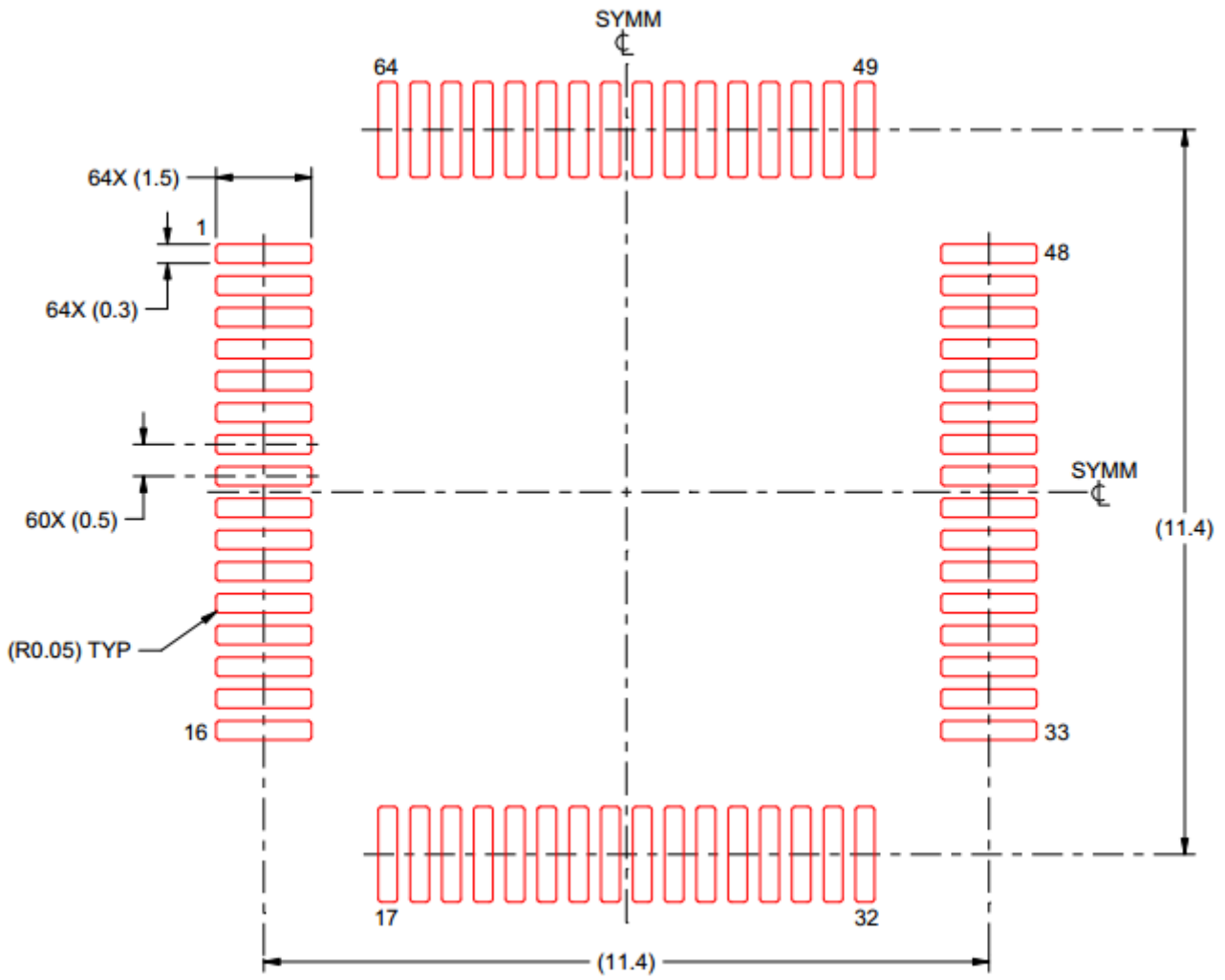




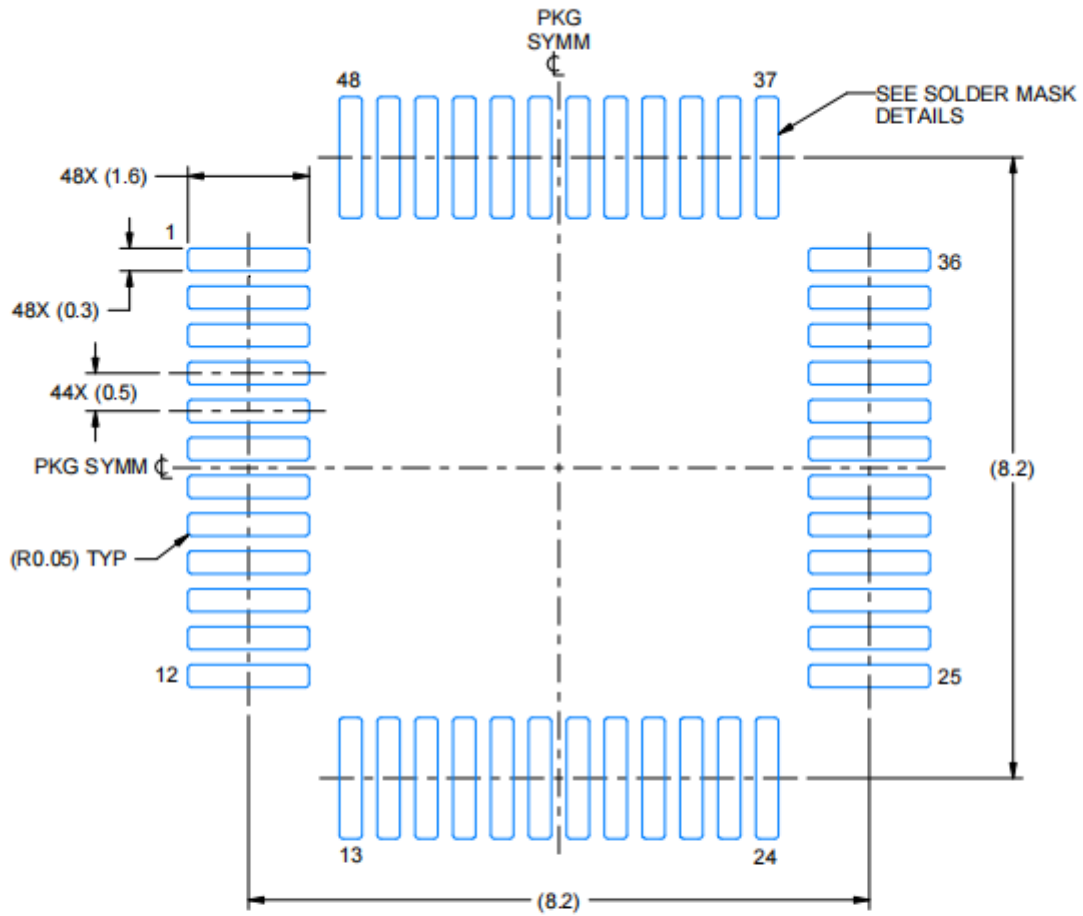
LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



SOLDER MASK DETAILS

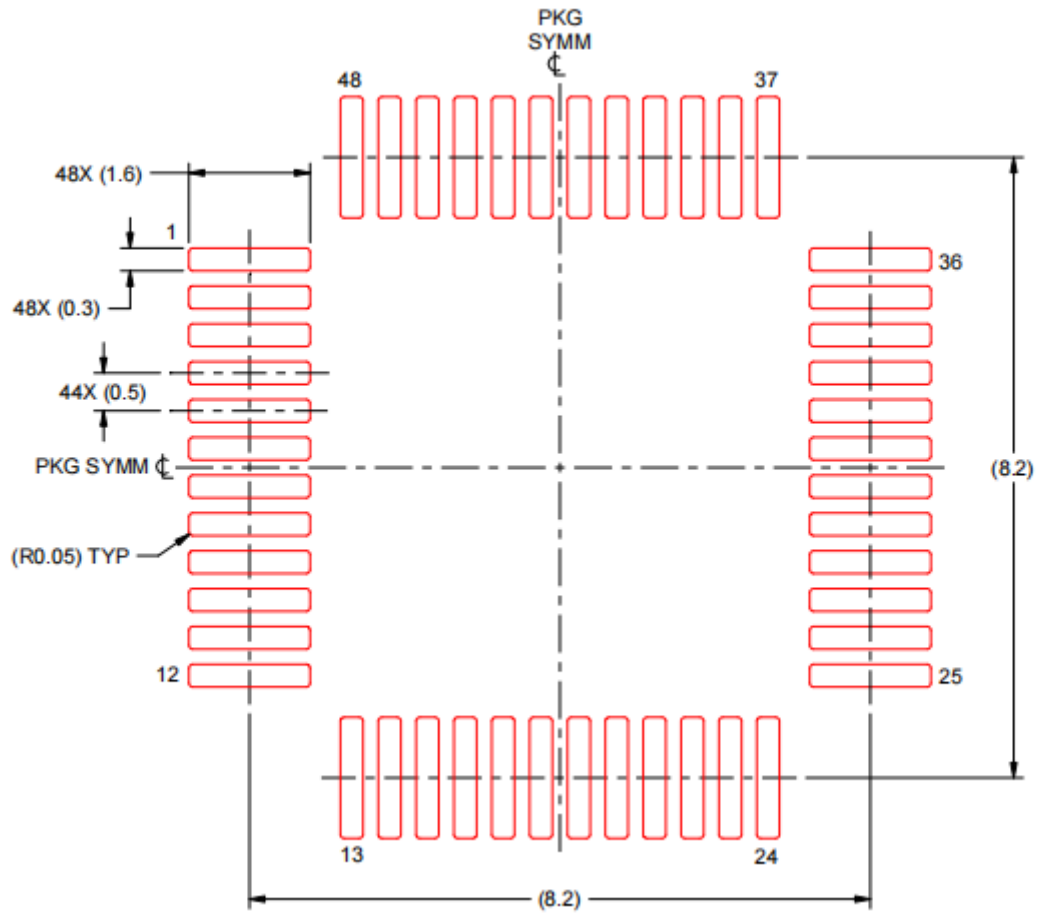




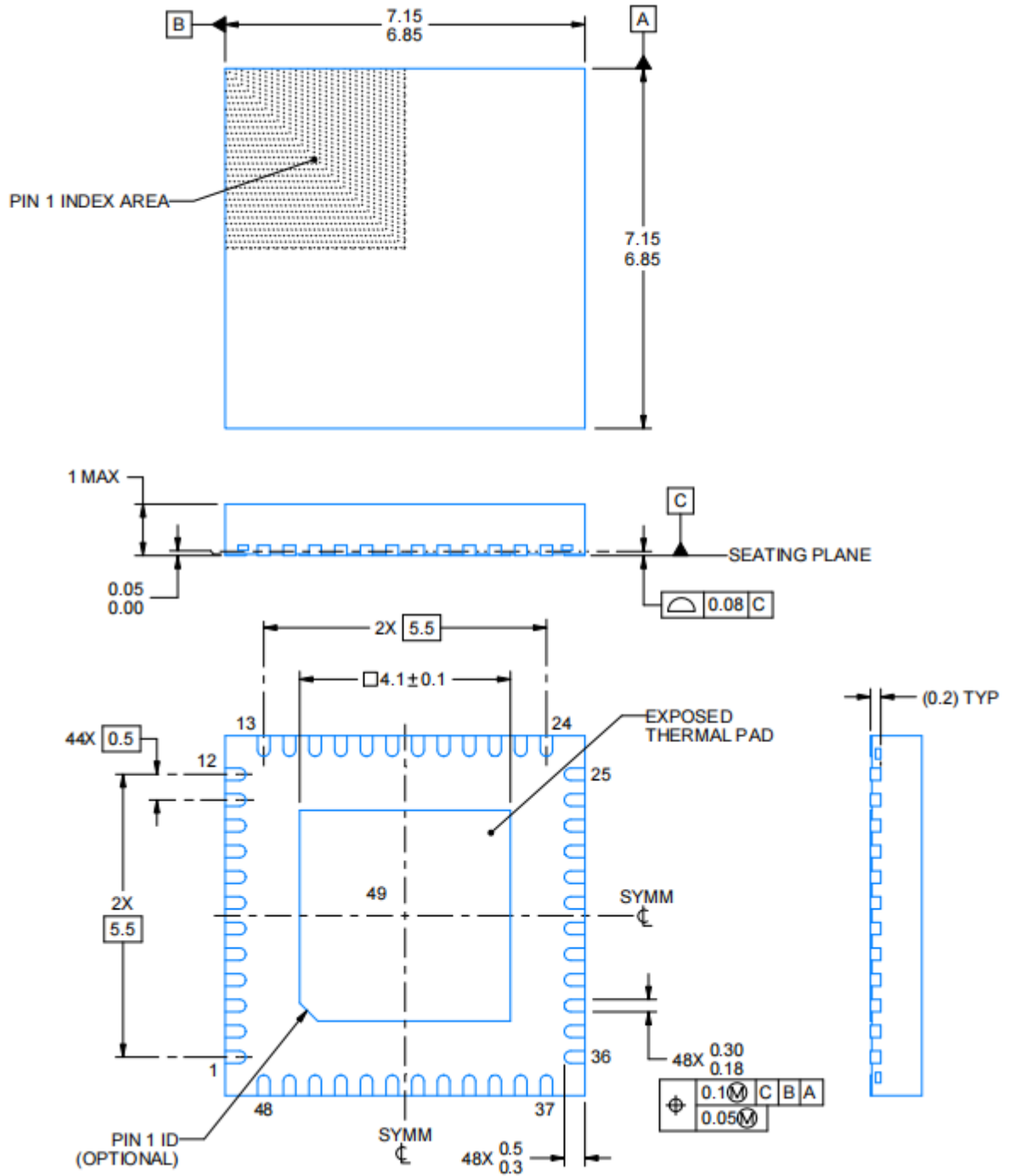


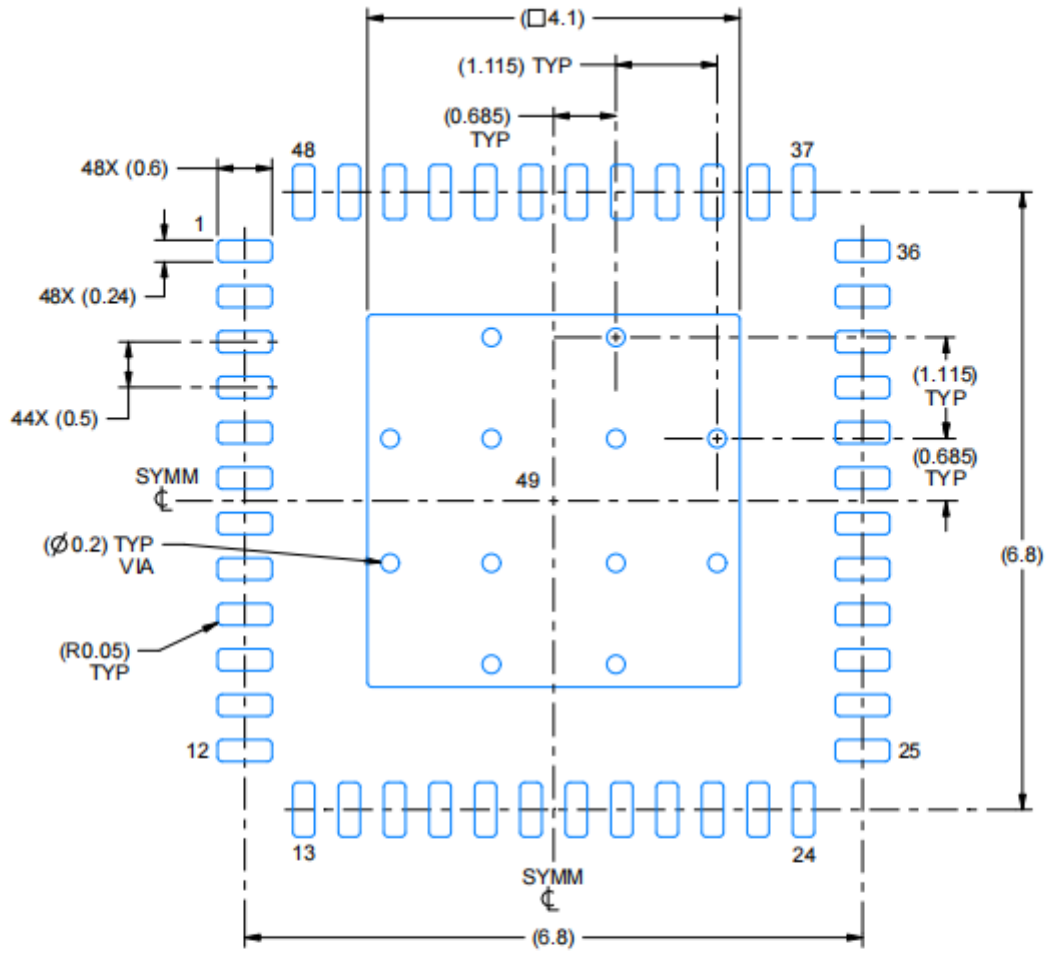
LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE 10.000



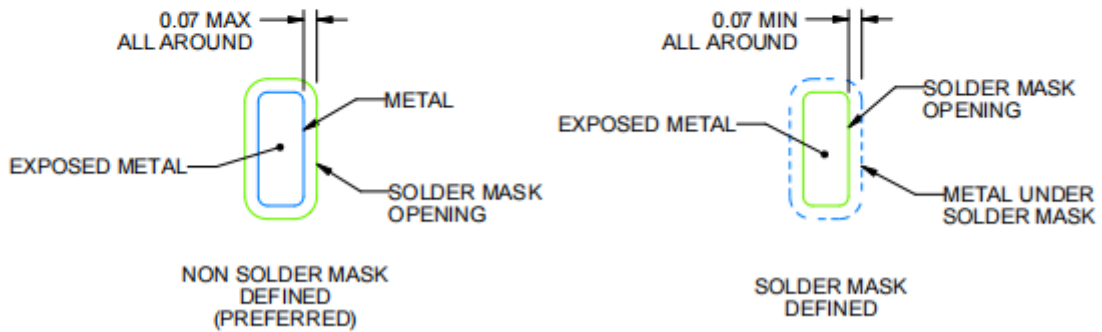


### 8.3 VQFN48 PIN

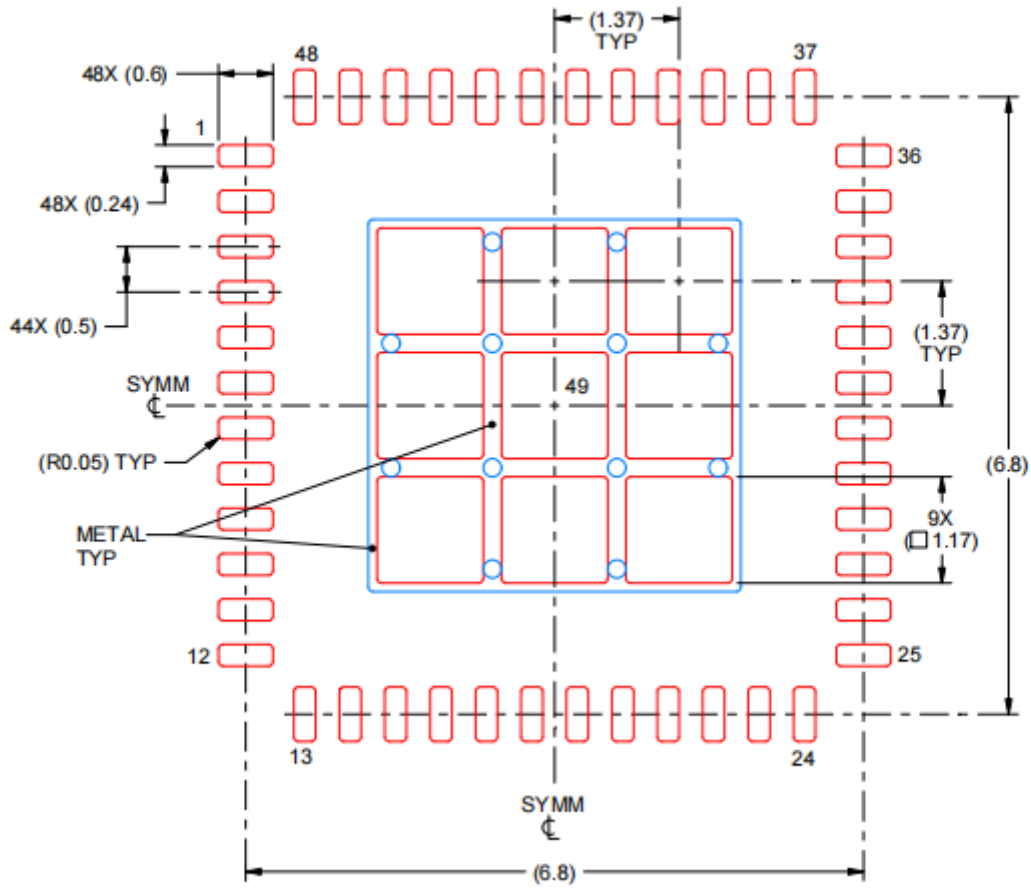




LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:12X



SOLDER MASK DETAILS



## 9 订货信息

### 9.1 封装信息

表 9-1. 封装信息

产品型号	封装系列	封装类型	管脚数	环保标准	引线镀层/球材料	工作温度
QXS32F2800137PM	LQFP	PM	60	Green	NIPDAU	-40° C 至125° C
QXS32F2800137PT	LQFP	PT	48	Green	NIPDAU	-40° C 至125° C
QXS32F2800137RGZR	VQFN	RGZ	48	Green	NIPDAU	-40° C 至125° C

### 9.2 托盘信息

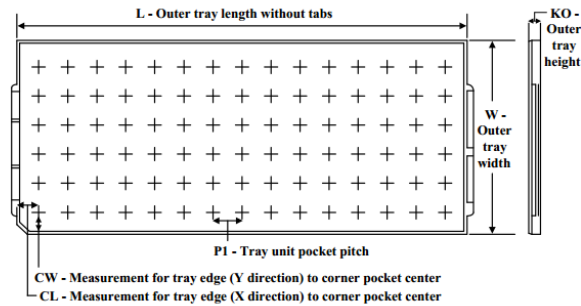


表 9-2. 托盘信息

产品型号	封装系列	封装类型	管脚数	最小包装数量	行x列	最高温度	L (mm) 长度	W (mm) 宽度	KO (mm) 高度	P1 (mm)	CL (mm)	CW (mm)
QXS320F2800137PM	LQFP	PM	64	160	8*20	150	315	135.9	7.620	15.2	13.1	13
QXS320F2800137PT	LQFP	PT	48	250	10*25	150	315	135.9	7.620	12.2	11.1	11.25

### 9.3 包装盒尺寸



表 9-3. 包装盒尺寸

产品型号	封装系列	封装类型	管脚数	最小包装数量	Length (mm) 长度	Width (mm) 宽度	Height (mm) 高度
QXS32F2800137PM	LQFP	PM	60	900	370	150	88
QXS32F2800137PT	LQFP	PT	48	900	370	150	88
QXS32F2800137RGZR	VQFN	RGZ	48	900	370	150	88

### 9.4 封装概览



## 关于乾芯科技

合肥乾芯科技有限公司是一家专业研发各类处理器芯片及IP软核的企业。我们核心产品是以数字信号处理器（DSP）为主，以微控制器（MCU）等产品为外延的处理器系列产品，主要面向数字电源、电机控制、光伏逆变器控制等领域。

公司核心研发团队由工业界知名专家组成，研发设计处理器芯片数十年，具有丰富的研发经验；核心团队成员曾成功大规模量产过多款芯片，研制的各类处理器芯片均达到国际一流技术水平。是国内为数不多的具备涵盖处理器体系结构定义、逻辑设计、物理实现到 GDS 生成全流程，以及工具链、配套函数库和集成开发环境全方位研发能力的团队。

我们的优势在于从指令集到内核微架构再到完整工具链均为自主研发。公司目前已拥有多项发明专利和软著，对核心技术建立专利池并形成完整知识产权保护链。

### 联系方式

公司网址：[www.starrystonetech.com](http://www.starrystonetech.com)

联系邮箱：[qx001@starrystonetech.com](mailto:qx001@starrystonetech.com)

联系电话：0551-68168580

公司地址：安徽合肥高新区创业产业园2期F1栋21楼